

ELEKTROTEHNIČKI FAKULTET
BANJA LUKA

VIII Simpozijum
INDUSTRIJSKA ELEKTRONIKA
INDEL – 2010

ZBORNIK RADOVA

ISBN 978-99955-46-03-8



9 789995 546038

Banja Luka

Republika Srpska

4–6. novembar 2010. godine

VIII Simpozijum
INDUSTRIJSKA ELEKTRONIKA
INDEL – 2010

Banja Luka
4–6. novembar 2010. godine

Organizator



**ELEKTROTEHNIČKI FAKULTET
BANJA LUKA**

Patre 5
78000 Banja Luka
Republika Srpska
Bosna i Hercegovina

centrala: +387 (0)51 - 221 - 820
dekanat: +387 (0)51 - 221 - 824
faks: +387 (0)51 - 211 - 408
web: www.etfbl.net
e-mail: office@etfbl.net

Pokrovitelji

PREDSJEDNIK REPUBLIKE SRPSKE
PREDSJEDNIK NARODNE SKUPŠTINE REPUBLIKE SRPSKE
VLADA REPUBLIKE SRPSKE
MINISTARSTVO NAUKE I TEHNOLOGIJE
ADMINISTRATIVNA SLUŽBA GRADA BANJA LUKA

Tehnički kosponzor



Suorganizator Plenarne sjednice

MH ELEKTROPRIVREDA REPUBLIKE SRPSKE

SPONZORI



SIEMENS

SPONZORI STUDENTSKOG TAKMIČENJA



Predsjednik Simpozijuma

Prof. dr Branko Dokić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Programski odbor

Prof. dr Goce Arsov, Fakultet elektrotehnike i informacionih tehnologija, Skopje, Makedonija

Prof. dr Zdenka Babić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Narcis Behlilović, Elektrotehnički fakultet, Sarajevo, Bosna i Hercegovina

Prof. dr Petar Biljanović, Fakultet elektrotehnike i računarstva, Zagreb, Hrvatska

Prof. dr Milorad Božić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Zlatko Bundalo, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Slobodan Vukosavić, Elektrotehnički fakultet, Beograd, Srbija

Prof. dr Branko Dokić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Željko Jakopović, Fakultet elektrotehnike i računarstva, Zagreb, Hrvatska

Prof. dr Vladimir Katić, Fakultet tehničkih nauka, Novi Sad, Srbija

Prof. dr Branko Kovačević, Elektrotehnički fakultet, Beograd, Srbija

Prof. dr Jordan Kolev, Fakultet za elektroniku, Varna, Bugarska

Prof. dr Đemal Kolonić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Božidar Krstajić, Elektrotehnički fakultet, Istočno Sarajevo, Bosna i Hercegovina

Prof. dr Mirza Kušljugić, Elektrotehnički fakultet, Tuzla, Bosna i Hercegovina

Prof. dr Vančo Litovski, Elektronski fakultet, Niš, Srbija

Dr Duško Lukač, Univerzitet primijenjenih nauka, Keln, Njemačka

Prof. dr Danilo Mandić, Imperijal Koledž, London, Velika Britanija

Prof. dr Petar Marić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Slavko Marić, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Deška Markova, Tehnički univerzitet, Gabrovo, Bugarska

Prof. dr Predrag Pejović, Elektrotehnički fakultet, Beograd, Srbija

Doc. dr Tatjana Pešić-Brđanin, Elektrotehnički fakultet, Banja Luka, Bosna i Hercegovina

Prof. dr Milan Radmanović, Elektronski fakultet, Niš, Srbija

Dr Dejan Raca, Vindtek, Klagenfurt, Austrija

Prof. dr Milić Stojić, Elektrotehnički fakultet, Beograd, Srbija

Prof. dr Folker Cerbe, Tehnički univerzitet, Ilmenau, Njemačka

Organizacioni odbor

Prof. dr Branko Dokić, Elektrotehnički fakultet, Banja Luka
Prof. dr Petar Marić, Elektrotehnički fakultet, Banja Luka
Prof. dr Zdenka Babić, Elektrotehnički fakultet, Banja Luka
Doc. dr Tatjana Pešić-Brđanin, Elektrotehnički fakultet, Banja Luka
Dr Pantelija Dakić, Elektroprivreda Republike Srpske, Trebinje
Mr Vinko Bogdan, Ministarstvo nauke i tehnologije Republike Srpske
Mr Milenko Cvijanović, m:tel, Banja Luka
Dr Slaviša Krunić, Siemens, Banja Luka
Mr Goran Ninković, Nokia Siemens Networks, Banja Luka
Doc. dr Branko Blanuša, Elektrotehnički fakultet, Banja Luka
Mr Igor Krčmar, Elektrotehnički fakultet, Banja Luka
Mr Petar Matić, Elektrotehnički fakultet, Banja Luka
Mr Dražen Brđanin, Elektrotehnički fakultet, Banja Luka

Sekretarijat

Mladen Knežić
Željko Ivanović
Vanja Todorović
Milosava Radonjić
Brankica Oparnica

www.indel.etfbl.net
indel@etfbl.net

PREDGOVOR

Pred Vama je Zbornik radova 8. Simpozijuma Industrijska elektronika INDEL 2010, održanog u Banjoj Luci 4–6. novembra 2010. godine. Organizator Simpozijuma je bio Elektrotehnički fakultet u Banjoj Luci, a suorganizator Plenarne sjednice je bila Elektroprivreda Republike Srpske. Pokrovitelji Simpozijuma su bili: Predsjednik Republike Srpske, Predsjednik Narodne Skupštine Republike Srpske, Ministarstvo nauke i tehnologije Republike Srpske i Administrativna služba grada Banja Luka. Sponzori Simpozijuma: m:tel, Elektroprivreda Republike Srpske, Elektroprenos BiH, ELNOS, Kaldera Company i Siemens Banja Luka. Značajno je navesti da je ove godine Simpozijum dobio podršku IEEE sekcije Bosne i Hercegovine u vidu tehničkog kosponsorstva.

Osim iz oba entiteta Bosne i Hercegovine: Republike Srpske i Federacije BiH, radove su izložili i autori iz svih bivših jugoslovenskih republika: Srbije, Crne Gore, Makedonije, Hrvatske i Slovenije. Pored toga, na Simpozijumu su svoje radove prezentovali i autori iz Njemačke i Austrije.

Ukupno je bilo prijavljeno 96 radova, od čega je 7 vraćeno na doradu, a 14 je odbijeno jer nisu ispunjavali definisane kriterijume Simpozijuma. U Zborniku su, kao i prethodnih godina, štampani samo oni radovi koji su izloženi na Simpozijumu (72). Na Simpozijumu je izloženo ukupno 8 radova po pozivu od strane uglednih naučnih radnika iz zemalja u okruženju i inostranstva.

Radovi su bili podijeljeni u 9 tematskih oblasti: Materijali i komponente, Energetska elektronika, Kola i sistemi, Električne mašine i pogoni, Mjerne metode i sistemi, Obrada i prenos signala, Modelovanje, identifikacija i upravljanje procesima, Obnovljivi izvori energije i obrada signala u elektroenergetici i Informacioni sistemi.

Simpozijum je otvorio mr Igor Radojičić, predsjednik Narodne skupštine Republike Srpske. Simpozijum je otvoren Plenarnom sjednicom na temu razvoja hidroenergetskog potencijala i obnovljivih izvora u Republici Srpskoj i Srbiji, kao i primjene energetske pretvarača u okviru ekološke opreme. Prof. dr Slobodan Vukosavić sa Elektrotehničkog fakulteta u Beogradu prezentovao je iskustva u oblasti primjene energetske pretvarača u okviru ekološke opreme, dok je prof. dr Nikola Rajaković, takođe sa Elektrotehničkog fakulteta u Beogradu, izložio rad pod nazivom “Podsticaji za povlašćene proizvođače električne energije u Srbiji”. Takođe, u okviru ove sjednice, prezentovani su i planovi MH “Elektroprivreda RS” na razvoju hidroenergetskog potencijala i obnovljivih izvora u Republici Srpskoj.

Najbolji radovi, po ocjeni predsjedavajućih sekcija svake tematske oblasti, biće objavljeni u okviru specijalne sekcije časopisa *Electronics* posvećene Simpozijumu INDEL 2010.

Simpozijum su obilježile i dodatne prateće aktivnosti. Održano je šesto (treće u Banjoj Luci) međunarodno studentsko takmičenje *Hardware&Software* na kojem je učestvovalo do sada najviše ekipa (ukupno 8) iz četiri zemlje: Rumunije, Srbije, Makedonije i Bosne i Hercegovine. Studentsko takmičenje su sponzorisali: Mikroelektronika Beograd, IEEE sekcija Bosne i Hercegovine, SZTR “Elektronika” Banja Luka i Lanaco Informacione tehnologije.

Predsjednik Simpozijuma
Prof. dr Branko L. Dokić



TEMATSKE OBLASTI I SEKCIJE SIMPOZIJUMA

TO-1 Materijali i komponente

Predsjedavajući: **Doc. dr Tatjana Pešić-Brđanin**

TO-2 Energetska elektronika

Predsjedavajući: **Doc. dr Branko Blanuša**

TO-3 Kola i sistemi

Predsjedavajući: **Prof. dr Zlatko Bundalo, Prof. dr Ferid Softić**

TO-4 Električne mašine i pogoni

Predsjedavajući: **Prof. dr Slobodan Vukosavić**

TO-5 Mjerne metode i sistemi

Predsjedavajući: **Prof. dr Predrag Petković, Prof. dr Petar Marić**

TO-6 Obrada i prenos signala

Predsjedavajući: **Prof. dr Zdenka Babić**

TO-7 Modelovanje, identifikacija i upravljanje procesima

Predsjedavajući: **Prof. dr Milorad Božić, Doc. dr Tomislav Šekara**

TO-8 Obnovljivi izvori energije i obrada signala u energetici

Predsjedavajući: **Prof. dr Nikola Rajaković**

TO-9 Informacione tehnologije

Predsjedavajući: **Prof. dr Slavko Marić, Prof. dr Ratko Dejanović**

SADRŽAJ

Plenarna sjednica	1
C. Вукосавић, Љ. Перић ЕНЕРГЕТСКИ ПРЕТВАРАЧИ У ОКВИРУ ЕКОЛОШКЕ ОПРЕМЕ: РАЗВОЈ ВФ ВН НАПАЈАЊА И ИСКУСТВА У ЕКСПЛОАТАЦИЈИ	2
N. Rajaković PODSTICAЈI ZA POVLAŠĆENE PROIZVOĐAČE ELEKTRIČNE ENERGIJE U SRBIЈI	14
Sekcija TO-1: Materijali i komponente	21
V. Paunović, V. Mitić, L.J. Živković UTICAJ JONA RETKIH ZEMALJA NA SVOЈSTVA DOPIRANE BaTiO₃ KERAMIKE	22
D. Stupar, M. Slankamenac, N. Stojanović, J. Bajić, M. Živanov FIBER OPTIČKI SENZOR ZA MERENJE INDEKSA PRELAMANJA TEČNOSTI	27
J. Bajić, M. Slankamenac, N. Stojanović, D. Stupar, M. Živanov FIBER OPTIČKI SENZOR SILE	32
L.J. M. Vračar, Z. D. Prijić, A. P. Prijić, D. V. Vučković INDUKTIVNI SENZORI DODIRA U PCB TEHNOLOGIЈI	37
S. Dedić-Nešić, D. Dujković, L. Grubišić, I. Reljin, B. Reljin NOVI VISOKOKVALITETNI 70,455 MHZ FILTRI ZA PRIMENU U MODULIMA ZA KOMUNIKACIЈE U RUDNICIMA	41
D. Dujković, S. Dedić-Nešić, L. Grubišić, I. Reljin, B. Reljin NOVI VISOKOKVALITETNI KRISTALNI OSCILATOR DOCXO 10 KOMPENZOVAN SA DVOSTRUKOM PEČNICOM	45
Sekcija TO-2: Energetska elektronika	49
G. L.J. Arsov O TIRISTORU I NJEGOVOJ BUDUĆNOSTI	50
J. Kosev A SERIES-PARALLEL SWITCHED-CAPACITOR POWER CONVERTER DESIGN APPROACH	57
V. Vujičić, S. Markić ANALIZA I ISPITIVANJE KARAKTERISTIKA INTEGRISANOG “BUCK-FLYBACK” PRETVARAČA	63
M. Lazić, D. Petrović, G. Stojanović UPOREDNA ANALIZA RAZLIČITIH REŠENJA UREĐAJA ZA NEPREKIDNO NAPAJANJE	68
Ž. V. Despotović, A. I. Ribić VIBRACIONA KONTROLA REZONANTNIH DOZATORA SA ELEKTROMAGNETNOM POBUDOM	74
M. Šilj, S. Lubura, M. Šoja POBOLJŠANI MODEL BATERIЈE U MATLAB/SIMULINK OKRUŽENJU	80
Sekcija TO-3: Kola i sistemi	85
V. Zerbe, M. Backhaus MODEL BASED DESIGN OF AN EFFICIENT CORDIC ALGORITHM IMPLEMENTATION	86
M. Andrejević-Stošović, M. Dimitrijević, V. Litovski HYPER COMPUTING IMPLEMENTATION IN ELECTRONIC CIRCUITS DIAGNOSIS	92
M. Čosović, Z. Babić REALIZACIЈA MODULARNIH MNOŽAČA	96
M. Milić, V. Litovski PRIMENA METODA OSCILACIЈA ZA TESTIRANJE AKTIVNOG FILTRA, PRIGUŠNIKA OPSEGA FREKVENCIЈA	100

B. Jovanović, M. Damnjanović	LOW POWER MICROCONTROLLER DESIGN BY USING UPF	105
M. Stanojlović, P. Petković	OTPORNOST NA BOČNE NAPADE ASIC KRIPTO SISTEMA ZASNOVANOG NA STANDARDNIM ČELIJAMA	110
D. Bundalo, Z. Bundalo, F. Softić, M. Kostadinović	CIRCUITS WITH HIGH IMPEDANCE OUTPUT STATE FOR INTERCONNECTION OF BINARY AND TERNARY BiCMOS DIGITAL CIRCUITS AND SYSTEMS	115
D. Danković, V. Sinadinović, D. Milošević, Z. Prijjić	REALIZACIJA “INTELIGENTNOG SEMAFORA” NA BAZI NANOBOARD-A 3000	120
M. Baјић, З. Ж. Цветковић	ЈЕДАН ЈЕДНОСТАВАН НАЧИН РЕШАВАЊА ЕКСПОНЕНЦИЈАЛНИХ ВОДОВА СА ГУБИЦИМА	125
A. Atanasković, N. Maleš-Ilić, B. Milovanović	LINEARIZATION OF THREE-WAY DOHERTY AMPLIFIER WITH HARMONIC CONTROL CIRCUITS	130
A. Avramović, V. Risojević, Z. Babić, P. Bulić	IDENTIFIKACIJA SISTEMA PRIMJENOM ALGORITMA NAJMANJIH SREDNJIH KVADRATA SA LOGARITAMSKIM MNOŽENJEM	134
Sekcija TO-4: Električne mašine i pogoni		139
S. J. Gušavac, S. D. Đukić, D. M. Bogičević, B. S. Močević	MODELI ODRŽAVANJA ELEKTROMOTORA	140
Д. Микић, Н. Попов, С. Н. Вукосавић, Г. Вуковић, С. Јокић	ОДРЕЂИВАЊЕ ОПТИМАЛНОГ БРОЈА НАВОЈАКА СИНХРОНОГ ВУЧНОГ МОТОРА	148
Н. Попов, Д. Микић, С. Н. Вукосавић, С. Јокић, Г. Вуковић	МЕРЕЊЕ ИМПЕДАНСЕ АСИНХРОНЕ МАШИНЕ НА УЧЕСТАНОСТИ КОМУТАЦИЈА И ИНДИРЕКТНО ОДРЕЂИВАЊЕ ТЕМПЕРАТУРЕ	153
K. Babković, L. Nagy, M. Damnjanović, D. Krklješ, M. Živanov	VIBRATION SENSOR EMBEDDED IN THE ELASTIC MOUNTINGS OF MACHINES	158
D. Krklješ, D. Križan, K. Babković, L. Nagy, M. Živanov	SENSORLESS SPEED REGULATION OF DC MOTOR BY DIRECT BACK EMF MEASUREMENT	162
V. Porobić, D. Marčetić, E. Adžić	SENSORLESS INDUCTION MOTOR DRIVE IN HIGH SPEED RANGE – SOME ASPECTS OF DIGITAL IMPLEMENTATION	167
Sekcija TO-5: Mjerne metode i sistemi		173
D. Stevanović, B. Jovanović, P. Petković	IDENTIFIKACIJA IZVORA HARMONIJSKOG ZAGAĐENJA MERENJEM SNAGE DISTORZIJE	174
V. Vujičić, I. Župunski, B. Vujičić, Z. Mitrović	ANALIZA PRIMENE STOHAСТИЧКЕ DIGITALNE MERNE METODE	179
V. Šinik, Ž. Despotović, V. Milićević	DEFINICIJE, STANDARDI, MERNI POSTUPCI I OPREMA RADI PROVERE USKLAĐENOSTI ELEKTRIČNIH UREĐAJA S NORMAMA ZRAČENJA	184
M. A. Dimitrijević, V. B. Litovski	VIRTUAL INSTRUMENT FOR THREE-PHASE POWER QUALITY ANALYSIS	189
Z. Kokolanski, J. Kosev, C. Gavrovski, V. Dimcev	COMPARING THE CLASSICAL AND ALTERNATIVE RESISTIVE BRIDGE SIGNAL CONDITIONING	195
Z. Kokolanski, C. Gavrovski, V. Dimcev	CONTINUAL ONE POINT AUTO CALIBRATION TECHNIQUE IN DIRECT SENSOR TO MICROCONTROLLER INTERFACE	199
M. M. Simić, D. S. Kovačević, B. R. Dimitrijević	VERIFICATION OF MEASURING TRANSFORMER ACCURACY SUPPORTED BY LABVIEW SOFTWARE	203

N. Vukoje, V. Dogan, M. Brkić, G. Mančić, M. Živanov NEW REALISATION OF DIGITAL SPECTRAL GAMMA RAY TOOL	207
Z. Varga, M. Brkić, M. Živanov, N. Cvijić, V. Dogan, N. Vukoje ONE SOLUTION FOR THE REALIZATION OF SPR/SP PROBE IN GEOPHYSICAL MEASUREMENTS	211
P. Sovilj, I. Župunski, Z. Mitrović, V. Vujičić UREĐAJ I POSTUPCI ZA ISPITIVANJE METROLOŠKIH KARAKTERISTIKA ANALOGNOG ELEKTROKARDIOGRAFA	215
Љ. Р. Голубовић, М. К. Стојчев МЕРЕЊЕ ИНДУКТИВНЕ ИМПЕДАНСЕ МОДИФИКОВАНОМ МЕТОДОМ ТРИ ВОЛТМЕТРА	220
А. Пајкановић ПРОРАЧУН ПОУЗДАНОСТИ СИСТЕМА ЕЛЕКТРИЧНОГ НАПАЈАЊА ХЕЛИКОПТЕРА АÉROSPATIALE GAZELLE SA-341/342	226
Sekcija TO-6: Obrada i prenos signala	231
M. Trebar RFID – A TECHNOLOGY OF OPPORTUNITIES	232
J. Galić, T. Pešić-Brđanin, I. Janković STATISTIČKA ANALIZA OSNOVNE FREKVENCIJE KOD VOKALA SRPSKOG JEZIKA	236
D. Brodić, Z. Milivojević ROTATION OF THE ANISOTROPIC GAUSSIAN KERNEL FOR TEXT LINE SEGMENTATION	240
D. Brodić, B. Dokić IDENTIFICATION OF THE INITIAL SKEW RATE FOR PRINTED TEXT	244
Sekcija TO-7: Modelovanje, identifikacija i upravljanje procesima	251
M. R. Stojić, Đ. M. Stojić EXTRACTION OF EXTERNAL TORQUE DISTURBANCE IN POSITIONING SERVOMECHANISM	252
T. B. Šekara, M. B. Trifunović OPTIMALNO PODEŠAVANJE PID REGULATORA SA REDNO VEZANIM DIFERENCIJALNIM KOMPENZATOROM U FREKVENCIJSKOM DOMENU	258
A. Rakić, P. Matić ROBUST MODELING AND REFERENCE TRACKING CONTROL OF VOLTAGE ANGLE CONTROLLED INDUCTION MOTOR IN FIELD WEAKENING REGIME	262
A. Dubravić, Z. Šehić COMPARISON STUDY OF GPC, PID AND MPC BASED ON ORTHONORMAL FUNCTIONS, FOR A WIDE RANGE OF PROCESSES	268
А. Рибих НАСТАВАК РАЗВОЈА ПИД РЕГУЛАТОРА	272
S. Lubura, G. S. Đorđević, V. Zerbe APARATURA ZA PROUČAVANJE PROCESA MOTORNOG UČENJA U BALISTIČKIM ZADACIMA POGAĐANJA METE	279
J. Kosev, A. Vanovski DATA PROCESSING CODE OPTIMIZATION BY IMPLEMENTING POINTER-BASED MODULES IN PLC PROGRAMMING	284
M. Савић, М. Божић УПОТРЕБА ВЈЕШТАЧКИХ НЕУРОНСКИХ МРЕЖА ЗА НАДЗОР ФУНКЦИОНИСАЊА ВВmSAM СИСТЕМА	288
D. Kosić, V. Đalić, P. Marić ISPITIVANJE PONOVLJIVOSTI MANIPULATORA KORIŠTENJEM STEREO VIDA	293
Sekcija TO-8: Obnovljivi izvori energije i obrada signala u energetici	297
D. Raca PRACTICAL IMPLICATIONS OF LOW VOLTAGE RIDE THROUGH REQUIREMENTS ON WINDTURBINE POWER CONVERSION	298

Ž. Đurišić, J. Mikulović, I. Babić, M. Đedović	MATEMATIČKI MODEL ZA VISINSKU EKSTRAPOLACIJU MERNIH REZULTATA O BRZINI VETRA PRI PROCENI VETROENERGETSKIH RESURSA KORIŠĆENJEM SOFTVERA WAsP	307
S. Lale, M. Šoja, S. Ajkalo, O. Bjelica, D. Jokić	PRIMJENA KLIZNOG REŽIMA SA KONSTANTNOM PREKIDAČKOM UČESTANOŠĆU U PRAĆENJU MAKSIMALNE SNAGE SOLARNIH PANELA	312
B. Кнежевић, М. Ђурић	АКТИВНИ И ПАСИВНИ ФИЛТЕРИ ИНВЕРЗНЕ КОМПОНЕНТЕ НАПОНА ЗА ПРИМЈЕНУ У ЗАШТИТНИМ РЕЛЕЈИМА	317
I. Softić, S. Halilčević	MOGUĆNOST PRIMJENE FOTONAPONSKIH SISTEMA NA PODRUČJU TUZLANSKOG KANTONA ZA PROIZVODNJU ELEKTRIČNE ENERGIJE	323
B. Новаковић, С. Јокић, Ж. Ђуришић	АЛГОРИТАМ ЗА ЕСТИМАЦИЈУ ФАЗОРА ВИШИХ ХАРМОНИКА НАПОНА И СТРУЈА У ЕЛЕКТРОЕНЕРГЕТСКОМ СИСТЕМУ	328
S. Zubić, M. Đurić, Č. Zeljković	POBOLJŠANJE ALGORITMA DISTANTNE ZAŠTITE NA BAZI INTEGRALA TRENUTNE SNAGE	334
Č. Zeljković, N. Rajaković, S. Zubić	EVALUACIJA ISPLATIVOSTI UPOTREBE DISTRIBUIRANE PROIZVODNJE KOD INDUSTRIJSKIH/KOMERCIJALNIH POTROŠAČA	339
Sekcija TO-9: Informacione tehnologije		345
D. Lukač	CAE APPLICATION AND CERTIFICATION FOR INDUSTRIAL AND EDUCATIONAL CUSTOMERS: THE CASE OF UNIVERSITY-INDUSTRY COOPERATION BETWEEN EPLAN AND RFH	346
M. Kalendar, D. Jakimovska, G. Dokoski, A. Tentov	ADVANCED ROUTING CONCEPT SUPPORTED BY A NOVEL PROCESSOR ARCHITECTURE	351
D. Jakimovska, G. Dokoski, M. Kalendar, A. Tentov	NETWORK PROCESSOR ARCHITECTURE DESIGN FOR MULTI-GIGABIT NETWORKS	357
Z. Dejanović	VIŠESLOJNA ARHITEKTURA SISTEMA ZAŠTITE SAVREMENIH RAČUNARSKIH MREŽA	363
D. Malbaški, A. Kupusinac	KONCEPTUALNA DEFINICIJA KLASI I OBJEKTA	368
Z. Đurić, O. Joldžić	KOMPARATIVNI PREGLED SPECIFIKACIJA JAVASERVER FACES APLIKATIVNOG OKRUŽENJA	372
B. Marović, J. Vuleta, P. Partlov, M. Bajčetić, V. Ninković	FARMAKOLOŠKI INFORMACIONI SISTEM ZA PRIMENU U PEDIJATRIJI I NEONATOLOGIJI	377
O. Banjac, S. Marić	PRIMJENA E-UČENJA U UNAPREĐENJU NASTAVE ELEKTRONIKE U SREDNJIŠKOLAMA	383
Indeks		389



PLENARNA SJEDNICA

C. Вукосавић, Љ. Перић

**ЕНЕРГЕТСКИ ПРЕТВАРАЧИ У ОКВИРУ ЕКОЛОШКЕ ОПРЕМЕ:
РАЗВОЈ ВФ ВН НАПАЈАЊА И ИСКУСТВА У ЕКСПЛОАТАЦИЈИ 2**

N. Rajaković

**PODSTICAJI ZA POVLAŠĆENE PROIZVOĐAČE ELEKTRIČNE ENERGIJE
U SRBIJI 14**

Енергетски претварачи у оквиру еколошке опреме: развој ВФ ВН напајања и искуства у експлоатацији

Рад по позиву

Проф. др Слободан Вукосавић
Електротехнички факултет-Београд

Дипл. инж. Љиљана Периф
АРИОМ д.о.о. Београд

Садржај—Термоелектране емитују у атмосферу значајне количине летећег пепела и ултрафиних честица. Електрофилтри врше отпрашивање димног гаса пре увођења у димњак. Горње дозвољене вредности од (50 mg/m³) траже да ефикасност издвајања филтра буде боља од 99%, што намеће увећање активне површине електрода, увећање запремине филтра и количине утрошеног челика. Током претходних деценија, електростатички издвајачи (ЕСИ) у термо електранама напајани су тиристорски регулисаним, монофазно напајаним уређајима који су показали висок степен поузданости у раду, али дају релативно малу ефикасност издвајања и траже увећање површине електрода и количине утрошеног челика како би се достигао прописани лимит емисије. Ефикасност издвајања као и енергетска ефикасност електрофилтра може се увећати применом високофреквентног високонапонског напајања (ВФВН). Електротехнички факултет у Београду је развио технологију и опрему за ВФВН напајање електрофилтра. Решење је подвргнуто експлоатационим испитивањима у ТЕ Морава у трајању од 12 месеци. Високофреквентно напајање у контролисаним условима рада своди емисију са 100%, колико се има код класичног напајања на приближно 50%, док се енергетска ефикасност електрофилтра увећава са оријентационо 60%, колико се има са класичним напајањем, на 94%, што је измерено са ВФВН напајањем.

Током 2009. у ТЕ Морава је обављено експлоатационо испитивање ВФВН напајања развијеног на Електротехничком факултету под именом AP70-1000, које даје 70 kV и 1000 mA. Утврђено је да ВФВН напајање електрофилтра у контролисаним условима омогућује удвостручавање ефикасности издвајања. На основу обављених испитивања може се закључити да је опремање филтра високофреквентним напајањем најбоље решење при градњи нових јединица или ремонту постојећих постројења. У раду је приказана топологија, начин управљања као и детаљан опис имплементације. Предложеним ВФВН решењем постигнуто је неколико значајних побољшања у односу на конвенционални тиристорски систем. Могуће је обезбедити много прецизнију контролу радних параметара ЕСИ, као што су излазни напон и струја. Могуће је остварити брз пораст напона и веома брз одзив на промене оптерећења. Захваљујући овом је могуће веома брзо реаговати у случају појаве лука, тако да је у овом случају његова ефективна енергија значајно смањена (чак и до 10 пута у односу на 50Hz-ни систем). Ово значи и десет пута мању ерозију електродног система и исто толику краћу безнапонску паузу. Стога се скраћује интервал у коме се

емитују загађујуће материје. Поред тога ВФ рад обезбеђује значајно смањење величине и тежине компоненти постројења, а највећи утицај смањења габарита се односи на електродни систем који је и најскупији део постројења. Ова редуција води компактнијем дизајну уз минимизирање цене уградње и одржавања. На овај начин се са мањом површином електрода, односно мање челика постиже исти ефекат чишћења. Уштеде у челику које је при томе могуће остварити износе до 30%. Поред конкретне реализације ВФ постројења на постројењу за пречишћавање димних гасова у ТЕ "Морава", у раду су представљени и експериментални резултати добијени током експлоатационих испитивања и поређења са претходно примењиваним 50 Hz системом напајања ЕСИ.

Кључне речи-Електростатички издвајачи; високофреквентна високонапонска напајања.

I. Увод

Према је једном делу читалаца већ познат принцип рада електростатичких преципитатора, у уводу се даје кратак подсетник за читаоце који се са овом тематиком нису сретали. Електростатички преципитатори се користе за уклањање финих честица прашине из димног гаса. Најчешћа примена је уклањање сићушних честица летећег пепела из димних гасова термоелектрана. Да би се то урадило, потребно је да димни гас струји у хоризонталном правцу кроз јако електрично поље успостављено између паралелно постављених вертикалних електрода. Размак између плоча је од 300 мм до 400 мм. Позитивно наелектрисане електроде су уземљене док су негативне повезане са извором једносмерног напона од 50 kV до 100 kV. Негативно наелектрисане електроде имају већи број шилака или жица са малим полупречником кривине, што доводи до короне и стварања великог броја јона. Јачина струје услед коронарног пражњења је врло значајна за преципитацију честица. Честице прашине се путем дифузије и услед ефекта поља наелектришу и крећу према позитивној електроди, где се таложе. Стога се негативна електрода зове емисиона док се позитивна, уземљена електрода зове таложна. Брзина миграције честица према таложној електроди је један од значајних параметара електрофилтра. Таложне електроде се периодично отресају. Отресање се често обавља обртним чекићима

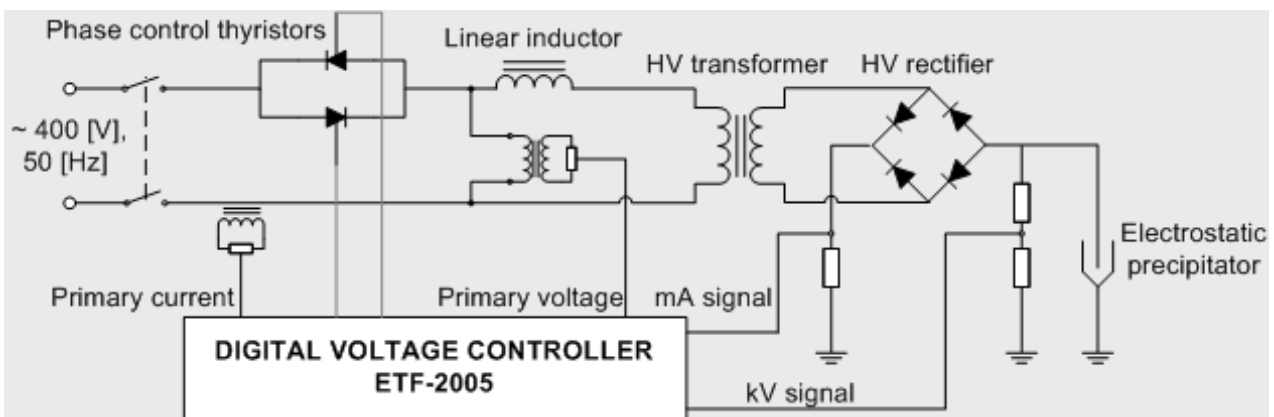
који ударају у конструкцију и доводе до вибирања електрода. Пепео се приликом отресања одваја од таложне електроде и пада у нарочит левак, одакле се одводи даље ношен водом или потискиван пнеуматски. Ради ефикасног издвајања, користе се најмање три секције електрофилтра. Димни гас најпре долази до улазне секције, потом пролази кроз једну или више средишњих секција. По излазу из њих, димни гас пролази кроз излазну секцију. Проласком кроз низ редно повезаних секција постиже се ефикасност преципитације (тј. филтрирања) до 99.9 %. Дакле, уколико сваки кубни метар гаса на излазу из котла носи по 50 g летећег пепела, гас који је прошао кроз електрофилтар и улази у димњак може имати свега 50 mg прашине у сваком кубном метру.

Ради стварања електричног поља и струје коронарног пражњења, електроде треба повезати са управљивим извором једносмерног напона који даје од 50 kV до 100 kV. Будући да се између електрода често јављају прескоци и успоставља електрични лук, извор је повремено ради у режиму кратког споја. При појави лука, потребно је искључити напајање током неколико десетина милисекунди, све док се не рекомбинују наелектрисане честице створене луком. После поновног успостављања диелектричне чврстоће гаса може се поново увећати напон између плоча. Једносмерна струја коју треба обезбедити зависи од површине електрода. За сваки квадратни метар таложне електроде потребно је обезбедити струју од 1 mA, тако да електрофилтар са 10000 m² има струју од 10 A. Извор за напајање и управљање електростатичким преципитатором се традиционално конструисао тако да има један пар антипаралелно везаних тиристора који мењају амплитуду наизменичног напона. Примарно напајање је обично монофазно, 400 V 50 Hz. Променом угла паљења, напон се мења у опсегу од 0 до 400 V и доводи на примар трансформатора чији секундарни напон износи од 45 kV до 90 kV (Слика 1). У уљем испуњеном суду трансформатора налази се високонапонски исправљач сачињен од већег броја редно повезаних диода. Трансформатор и диодни исправљач се означавају Т/Р, Transformer - Rectifier. Једна Т/Р јединица даје излазни напон од 50 kV до 100 kV и струју од 1A до 2A. Напајање већих секција филтра остварује се коришћењем већег броја Т/Р јединица.

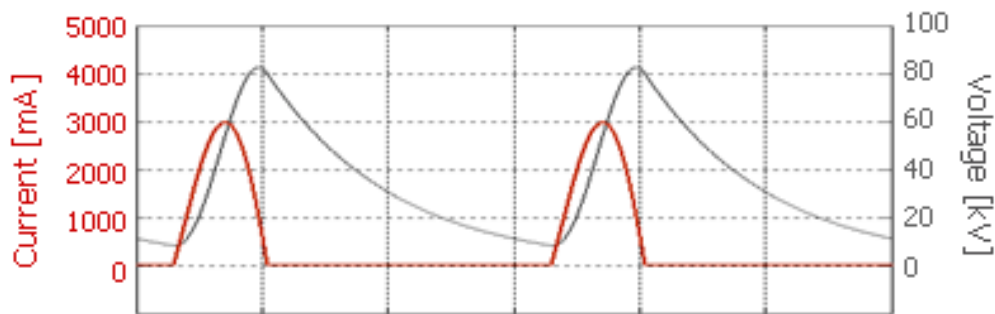
II. КАРАКТЕРИСТИКЕ Т/Р ЈЕДИНИЦА

Будући да се при раду јављају прескоци и кратки спојеви, потребно је предвидети мере за ограничење струје кратког споја. Укључени тиристор се не може искључити до истека текуће полупериоде мреже, тако да је струја кратког споја ограничена серијским реактансама. Реактанса кратког споја монофазних трансформатора снаге реда неколико десетина kVA је релативно мала и не може ограничити струју кратког споја у довољној мери. Израда наменског трансформатора са увећаним расипним флуksom увећава губитке као и димензије. Један од прихватљивих начина за увећање реактансе је израда НН и ВН намотаја са великим аксијалним "отворима" између секција намотаја да би се увећало расипање. Ово води прилично комплексној изолационој структури која треба да издржи релативно велика напонска напрезања. У пракси се ипак примењује стандардна концентрична НН/ВН конструкција уз додатак екстерне пригушнице. Трансформатори су обично потопљени у минерално уље у заједничком резервоару са исправљачем и често су лоцирани на крову филтра, да би се тако умањила дужина веза високог напона између трансформатора и електрода.

Диелектрични тестови Т/Р јединица као и ограничења у погледу температуре горњег уља су другачији од тестова предвиђених за ВН трансформаторе у главном току. Тест индукваног пренапона се обично изводи пре за 1,5 Unom током једног минута. Тестови отпорности на ударне импULSE се не изводе јер не постоји могућност да електроде буду изложене ударима грома. Будући да трансформатор и исправљач деле исти суд и исто уље, потребно је осигурати да пораст температуре горњег уља не премaши вредност која може оштетити исправљач. Стога је губитке преципитаторског трансформатора потребно мерити са посебном пажњом. Поред осталог, важна одлика трансформатора је његова способност да издржи честе кратке спојеве који се јављају услед пробоја између електрода, па је део испитивања оваквих трансформатора и учестало понављање кратког споја уз анализу термичке и механичке издржљивости.



Слика 1. Електрична шема система за напајање са Т/Р јединицом и тиристорима.



Слика 2. Карактеристичне промене напона и струје код напајања из Т/Р јединица.

III. ОСНОВНЕ КАРАКТЕРИСТИКЕ ВФ НАПАЈАЊА

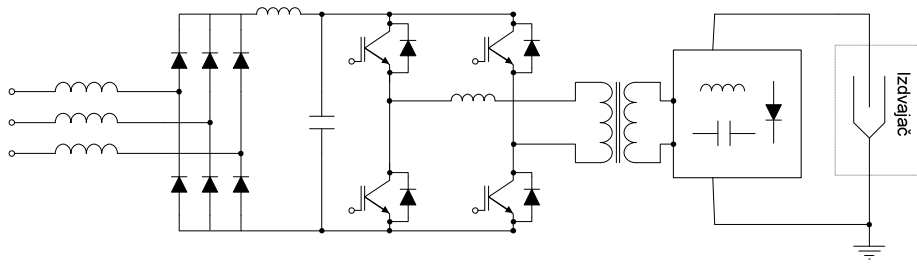
Према Т/Р јединице имају врло велику поузданост у раду и гарантују дуговечност опреме, оне имају врло лош фактор снаге и фактор облика на примарној страни (Слика 2). Комутације тиристора стварају нежељене хармонике струје мреже, док присуство релативно великих серијских реактанси као и фазно кашњење струје услед кашњења у окидању тиристора стварају значајну реактивну снагу. Поред тога, напон на електродама има пулсирајућу компоненту на основној учестаности од 100 Hz, што доводи до смањења средње вредности напона. Будући да вршна вредност напона не може бити већа од пробојног напона U_{pr} , средња вредност напона на електродама мора бити значајно мања. Уколико је валовитост напона такве природе да пулсирајућа компонента на учестаности од 100 Hz износи ΔU , на електродама је могуће добити напон чија је средња вредност мања или једнака $U_{pr} - \Delta U$. Као последица, умањена је и густина струје као и ефикасност преципитације, па је у градњи електрофилтра неопходно предвидети електродни систем увећане површине и тежине.

Кратак сажетак карактеристика ЕСП система са Т/Р јединицама је следећи:

- Услед велике валовитости, средња вредност напона и густина струје је умањена;
- Потребно је имати већу површину електрода и утрошити већу количину челика;
- Реактивна снага, снага дисторзије и губици су релативно велики;
- Т/Р јединица представља монофазно оптерећење мреже;
- Енергија варнице износи 130 J – 200 J услед споре реакције тиристора;
- Услед велике енергије варнице, долази до убрзане ерозије таложних плоча;
- Еродирани таложни плоче је теже отрести па долази до трајног везивања слоја пепела за плоче
- Услед велике енергије варнице неопходни су врло дуги интервали дејонизације, од 40 ms до 100 ms.

Високофреквентно (ВФ) напајање електрофилтра подразумева коришћење нисконапонског претварача, трансформатора и високонапонског исправљача, једнако као и стандардно тиристорско напајање. Разлика је у томе што на месту антипаралелних тиристора постоји транзисторски претварач који напаја примар трансформатора наизменичним ниским напонем учестаности од неколико килохерца до пар десетина килохерца (Слика 3). Потребан је трансформатор који ради на повишеним учестаностима. Његове димензије и тежина су значајно мање од еквивалентног трансформатора за мрежну учестаност док му је језгро начињено од ферита. Високонапонски диодни исправљач усмерава високи напон повишене учестаности и ствара једносмерни напон који се доводи на електроде. Услед рада на повишеним учестаностима, валовитост напона је вишеструко умањена, па је могуће достићи већу средњу вредност напона на електродама.

Повезивање нисконапонског претварача са мрежним напонем се обавља преко трофазног прикључка. Будући да је ВФ напајање симетричан трофазни терет за напојну мрежу, постоје услови да изобличења, губици, несиметрије, као и аспекти реактивне снаге и напонских услова буду повољнији него у случају када се користи монофазно напајање, тиристорски регулисана Т/Р јединица. ВФ трансформатор има значајно мање реактансе и мањи број навојака, као и вишеструко мањи габарит. Стога су укупни губици у систему мањи док је енергетска ефикасност значајно увећана. У погледу управљања напонем, ВФ јединица даје време реаговања које се мери десетинама микросекунди, док су типична кашњења у одзиву Т/Р јединица одређена периодом мреже од 16,7 ms или 20 ms. Брза редукација напона помаже смањењу енергије лука као и брзом поновном укључењу након појаве лука. Најважнија карактеристика ВФ напајања је већа средња вредност напона. При учестаностима рада између 10 kHz и 25 kHz, валовитост напона на електродама је код ВФ напајања мања од 3%, док се са Т/Р јединицама има валовитост од 35% до 45%. Као последица, ВФ напајање даје до 20% већу средњу вредност напона, што значајно увећава струју короне и ефикасност преципитације.



Слика 3. Електрична шема високофреквентног напајања електрофилтра.

У својој књизи Industrial Electrostatic Precipitation, Harry White приказује резултате експеримената и мерења начињених са циљем да се утврди веза вршне вредности напона који се јавља између електрода и броја варница у минути. Једначина

$$S = \exp(b(U_{\max} - U_1)) \quad (1)$$

даје број варница у једном минути у функцији вршне вредности напона U_{\max} и напона U_1 при коме се јавља једна варница у минути. Експоненцијална веза говори о томе да вероватноћа појаве варнице расте веома брзо при релативно малом увећању вршне вредности радног напона. Према томе, чињеница да је валовитост напона које дају Т/Р јединице врло велика говори да је тада неопходно умањити средњу вредност напона како би број варница био сведен на прихватљиву меру. Будући да је валовитост напона који дају Т/Р јединице већа од 35%, док је прихватљиво број варница око 10 у минути, може се закључити да ВФ напајање даје увећање средње вредности напона за око 20%. Потребно је напоменути да даље увећање учестаности варница није прихватљиво стога што постоји потреба да се након сваке од варница напајање искључи ради дејонизације, што доводи до увећања емисије.

Испитивањем ефеката примене ВФ напајања бавио се Сименсов инжењер Норберт Грас, који је утврдио да се струја короне удвостручава у односу на 50 Hz Т/Р напајање, тако да је запрашеност излазног гаса мања од 2 до 4 пута. Увећана брзина миграције честица према таложним плочама је разлог да англомерат наталоженог пепела буде компактнији, што олакшава отресање и смањује вероватноћу повратка честица у струју гаса током отресања.

Према мерењима обављеним у ТЕ Морава, која је опремљена са четири ВФ јединице, високофреквентно напајање даје значајно увећање енергетске ефикасности и ефикасности чишћења. Будући да ВФ напајање има трофазни исправљач док је Т/Р јединица монофазно оптерећење за мрежу, фактор снаге и облика ВФ напајања су значајно повољнији, док је реактивна снага мања. Према мерењима, поређење две врсте напајања даје следеће резултате:

	50 Hz	ВФ
$\cos(\varphi)$	< 0.65	> 0.95
$\lambda=P/S$	< 0.5	> 0.75

Поређењем облика напона и струје као и мерењем запрашености димног гаса у ТЕ Морава, долази се до закључака да ВФ напајање даје следећа побољшања у односу на 50 Hz Т/Р напајање:

- Енергија варница је умањена четири до пет пута. У случају 50 Hz напајања, енергија варнице се своди на енергију $WC \approx 1/2 CU^2$, акумулирану у електричном пољу између електрода, док је допринос извора енергији варнице занемарив;
- При појави прескока и варнице, безнапонска пауза потребна за дејонизацију је врло кратка, свега 2 ms – 10 ms, тако да су ефекти безнапонске паузе на увећање емисије врло мали;
- Према проценама, потребна површина електрода је смањена за 30%;
- Могуће је остварити брзе и измене напона напајања и координацију са циклусима отресања.

Предности ВФ напајања су навеле велики број реномираних произвођача да пројектују и планирају производњу уређаја за ВФ напајање ЕСП. Сименс је начинио покушај са уређајем PIC410F, који је требало да ради на учестаностима од 10 kHz и обезбеђује високи напон између електрода ЕСП. Услед проблема са којима су се суочили [1, 3, 4], прешло се на експерименте са високонапонским трансформатором који ради на мањим учестаностима, тј. На 500 Hz. Британска компанија Генволт је начинила трансформатор за рад са учестаностима од 20 Hz [2] и релативно малим снагама $P < 50 \text{ kW}$. Настојање да се начини поуздан ВФ извор за напајање електрофилтра са довољно великом снагом, напоном и са прихватљивим животним веком присутно је код компаније Алстом која пројектује уређај СИР, као и компаније FL Schmidt која пројектује уређај FLS SMPS за рад са учестаностима од 10 kHz. Америчка компанија NWL производи ВФ напајања електрофилтра која су прихваћена у цементарама у С.А.Д. као и фабрикама чији производни процеси укључују синтеровање. Будући да NWL уређај не може достићи напоне неопходне за рад електрофилтра са међуелектродним растојањима уобичајеним у термоелектранама, његова примена не може дати жељене перформансе. Код већине произвођача, шира примена уређаја је онемогућена честим отказима који су последица једновременог присуства високог напона, високе учестаности, повишене температуре и великих вредности dV/dt и di/dt у оквиру уређаја.

IV. ПРОБЛЕМИ ПОСТОЈЕЋИХ РЕШЕЊА

Проблеми који се сусрећу у експлоатацији ВФ напајања електрофилтра најчешће се огледају у (и) отказу полупроводничких компоненти у примарном колу, (ии) пробоју изолације у секундарном колу или (иии) проблемима шума и управљања. Први проблем се јавља услед околности да ИГБТ транзистори у прекидачкој структури снаге око 100 kW морају радити на учестаностима од 10 kHz до 25 kHz. Други проблем је проузрокован убрзаним старењем изолације у присуству великих вредности dV/dt , док је трећи најчешће везан за неадекватна хардверска и програмска решења при употреби ДСП технологија у окружењу снажних енергетских претварача.

Примарни напони и струје у оквиру ВФ напајања узимају вредности од, оријентационо, 600V и 300A, тако да је за полупроводничке прекидаче енергетских претварача потребно узети ИГБТ транзисторе. Поред својих добрих особина, ИГБТ транзистори имају и комутационе губитке који ограничавају максималну учестаност комутација. Препоручена радна учестаност се смањује при порасту струје. За транзисторе од 300A, комутациони и кондукциони губици се изједначавају на учестаностима између 2 kHz и 5 kHz, што представља технички оптимум за њихов рад и примену. Стога је у раду са повишеним учестаностима потребно користити резонантне претварачке топологије које обезбеђују да струја полупроводничких прекидача у тренутку комутације буде једнака нули или буде бар блиска нули. Тиме се обезбеђује елиминисање или значајно умањење комутационих губитака.

У стручној литератури је анализиран већи број топологија енергетских претварача [6-18] које обезбеђују смањење комутационих губитака. Већином је пажња усмерена ка смањењу напона на прекидачима који комутују (ZVS – zero voltage switching), смањењу струје у прекидачима који комутују (ZCS – zero current switching) као и на смањењу вредности dV/dt у примарном колу. Код ВФ напајања ЕСП велике вредности dV/dt се јављају у секундарном колу, и то на високонапонским диодама, на крајевима намотаја секундарна као и другим компонентама у секундару. У случајевима где секундарни напон мења вредност са -100 kV на +100 kV у комутационим интервалима краћим од једне микросекунде јавља се врло брза измена јачине електричног поља у диелектричним изолационим материјалима секундарна. Као последица, јавља се диелектрофореза као и измена хемијског састава диелектрика услед каталитичког ефекта брзо променљивог електричног поља. Крајња последица описаних процеса је убрзано старење изолације. Према искуствима које су имали горе наведени произвођачи електро опреме, кварови на изолацији секундарна ВФ напајања ЕСП се јављају типично након 6-12 месеци, што је изразито неповољно за крајњег корисника. Управо овај разлог је довео до повлачења већег броја ВФ уређаја из производње. Домаће решење описано у овом раду елиминисаће описане негативне ефекте и омогућује дуг животни век ВФ извора за напајање ЕСП.

Одређен број проблема у примени ВФ напајања су неадекватна хардверска и програмска решења при употреби ДСП технологија у окружењу снажних енергетских претварача. Услед брзо променљивог високог напона као и струја велике јачине и учестаности постоји значајан електромагнетски шум који угрожава интегритет аналогних и дигиталних сигнала. Стога је потребно применити хардверске захвате како би се заштитио интегритет улаза, излаза и елемената управљачке електронике. Ради се пре свега о уградњи СМД транзистора и минијатурних отпорника и пригушница на местима где треба спречити прилаз електромагнетских сметњи али пропустити корисне сигнале. Поред тога, при аквизицији сигнала треба користити oversampling технике како би се уклонио нежељени шум и при том очувала брзина реаговања.

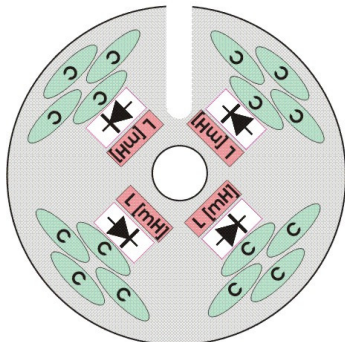
V. ОСНОВНЕ КАРАКТЕРИСТИКЕ ДОМАЋЕГ ВФ ИЗВОРА AP70-1000

Електротехнички факултет у Београду је током претходне четири године радио на развоју ВФ напајања електрофилтра. Пројекат је финансирало Министарство за науку и технолошки развој Републике Србије. Као резултат, произведени су први примерци домаћег ВФ напајања. Пре две године, ТЕ Морава је опремљена домаћим ВФ напајањима AP70 који се од тада налазе у непрекидном раду, током кога се обављају испитивања од значаја за даљи рад. Основне карактеристике домаћег ВФ напајања су следеће:

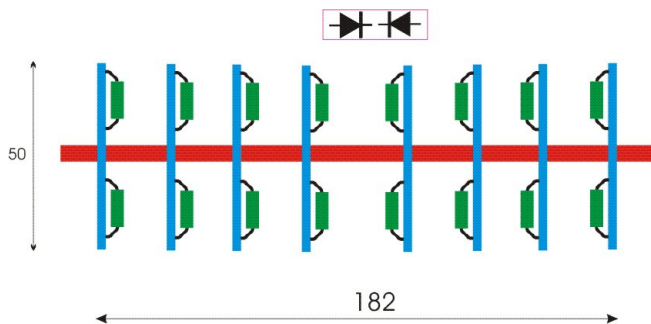
- Дистрибуирана мултирезонантна топологија у секундарном колу омогућује умањење комутационих губитака и стреса изолације, што уклања катализаторске ефекте пребрзих измена у јачини електричног поља и спречава промену хемијског састава и убрзано старење диелектрика;
- Управљање и дијагностика преципитатора засновани су на анализи спектра струје короне и напона између плоча, што омогућује економичан пут за рану детекцију варнице, детекцију повратне короне као и мерење дебљине слоја пепела на таложним плочама;
- Претварачка топологија омогућује да комутације ИГБТ транзистора буду обављене са нултом струјом, чиме се значајно смањују укупни губици претварача;
- Управљање напоном и струјом укључује могућност регулације броја варница у минути;
- На основу теста убрзаног старења, средњи животни век уређаја се може проценити на 20 година.

Укупна маса активног материјала ВФ ВН трансформатора називне снаге 100 kW и називне учестаности од 10 kHz износи свега 50 kg. Дистрибуирано мултирезонантно коло на секундару је начињено од конвенционалних реактивних компоненти релативно мале тежине, као и стандардних високонапонских диода (Слика 4 - 6). У оквиру секундарног ВН исправљача није потребно

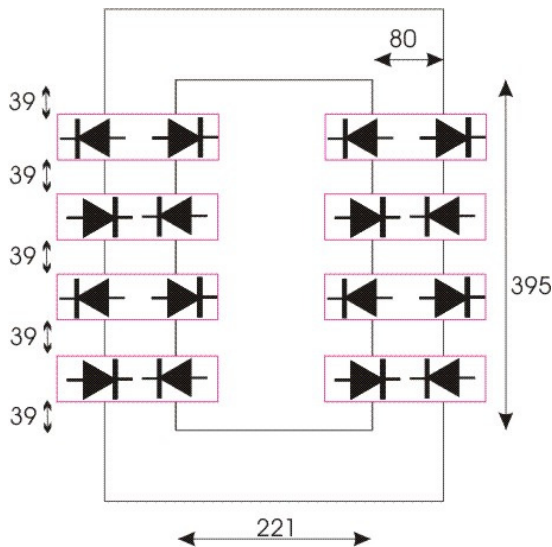
користити брзе диоде нити диоде са малим reverse recovery наелектрисањем стога што претварачка топологија омогућује рад секундарног исправљача у ZVS моду. Поред осталог, управо ZVS мод обезбеђује да се уклоне ризици оксидације диелектрика услед катализаторског ефекта брзо променљивог поља.



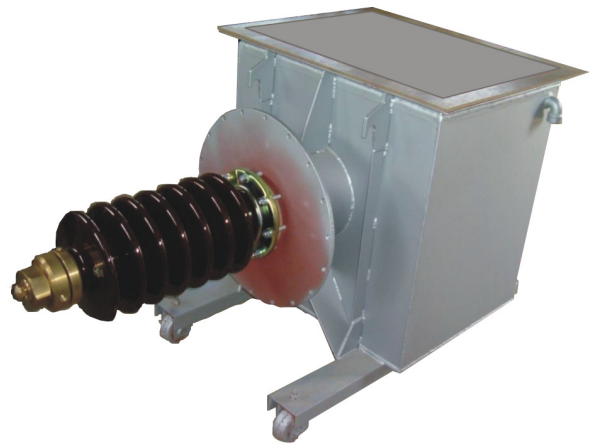
Слика 4. Један елемент мултирезонантног кола у оквиру секундара AP70-1000.



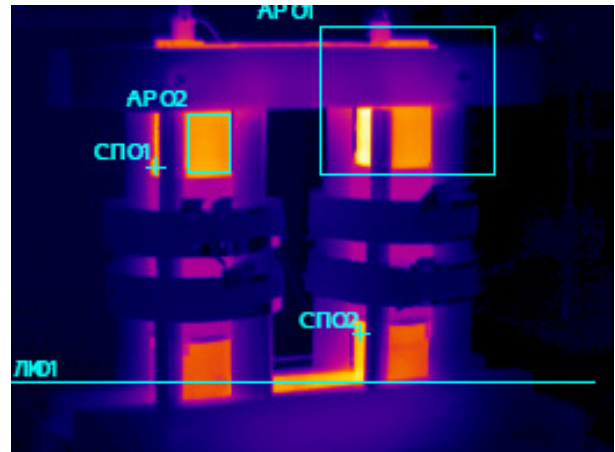
Слика 5. Група мултирезонантних кола.



Слика 6. Повезивање већег броја група мултирезонантних кола.



Слика 7. Изгледа уређаја AP70/1000.



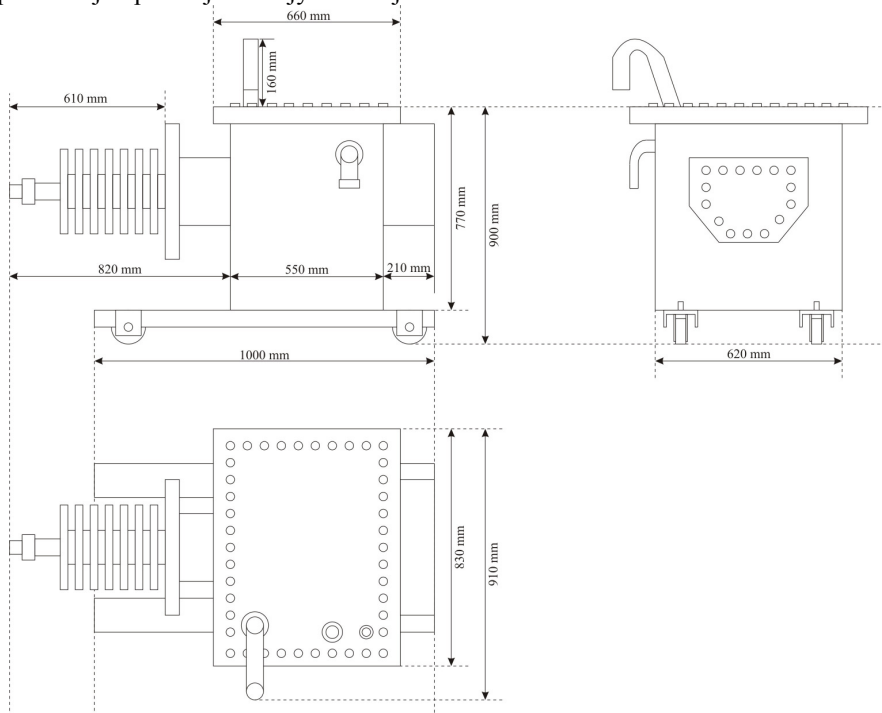
Слика 8. Расподела температуре у феритном језгру.

У поређењу са стандардним 50 Hz извором за напајање ЕСП који укључује тиристорски кабинет и T/P групу, ВФ напајање AP70/1000 је око 5 пута мања по волумену, око 5 пута лакша и до 30% јевтинија. Овоме треба додати већ образложени закључак да ВФ извори осигуравају значајно увећање ефикасности преципитације, повољнији облик струје мреже, мању реактивну снагу и значајно мању ерозију плоча услед смањења енергије варнице. Услед врло брзе реакције ИГБТ транзистора на команде које пристижу из ДСП управљачке јединице, управљање напона на електродама је значајно унапређено. Захваљујући оригиналној мултирезонантној топологији, ДСП јединици за управљање и надзор као и оригиналном решењу одвођења тополоте и механичке заштите, уређај AP70/1000 задовољава следеће норме и прописе:

- Low Voltage Directive (73/23/EEC);
- EMC directive (89/336/EEC);
- CEI EN 60204-1, par. 6.2.3, 20.3, 20.4;
- IP Code, EN60529;
- CEI EN60800-3;
- EN60800-3/A11.

Изглед уређаја AP70/100 је дат на Слици 7. Један од проблема са којима су се сретали други произвођачи је очување интегритета феритног језгра ВФ трансформатора. Наиме, при увећаним загревањима, већи комади феритног материјала од којих се саставља магнетско коло ВФ трансформатора могу да напрсну, чиме је даљи рад уређаја онемогућен услед увећања еквивалентног зазора и магнетске отпорности кола. До тога долази због повећаног загревања делова феритног језгра који имају слабије

хлађење. Услед кртости, у критичним условима долази до пуцања. Нежељени ефекти су предупређени код уређаја AP70 оригиналним дизајном облика језгра. На Слици 8 је дата расподела температуре феритног језгра добијена коришћењем термовизијске камере. Слика показује да се језгро равномерно загрева и да нема превише великих температура. На Слици 9 дате су спољашње димензије уређаја.



Слика 9. Спољашње димензије уређаја AP70/1000.

VI. ЕКСПЛОАТАЦИОНА ИСПИТИВАЊА

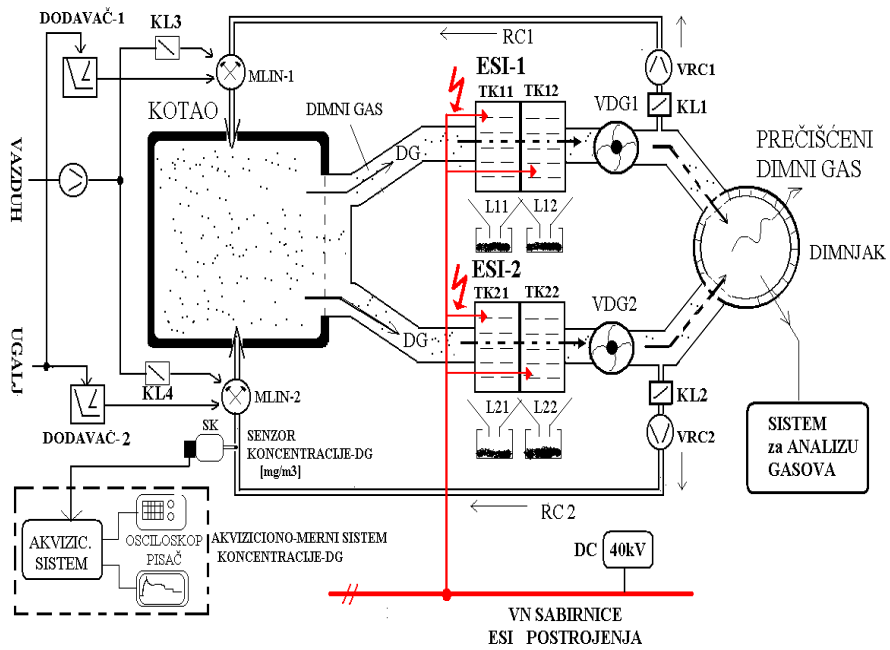
У периоду од 13. јуна 2008. године до 21. јула 2010. године вршена су испитивања домаћег ВФ напајања у ТЕ Морава у Свилајнцу да би се утврдили ефекти на ефикасност преципитације и умањење емисије, као и ефекти на напојну мрежу и електродни систем. У оквиру ТЕ Морава, уграђена је следећа опрема:

- Четири ВФ извора за напајање ЕСП, од тога два домаћа извора и два уређаја америчке компаније NWL једнаких називних карактеристика;
- Систем ВН растављача који омогућује да се ЕСП напаја из конвенционалних 50 Hz Т/Р јединица или из ВФ извора;
- Мерна група за мерење активне, реактивне, привидне и снаге дисторзије, као и активне и реактивне енергије;
- Један трибоелектрични давач запрашености, уграђен у повратни канал десне стране електрофилтра.

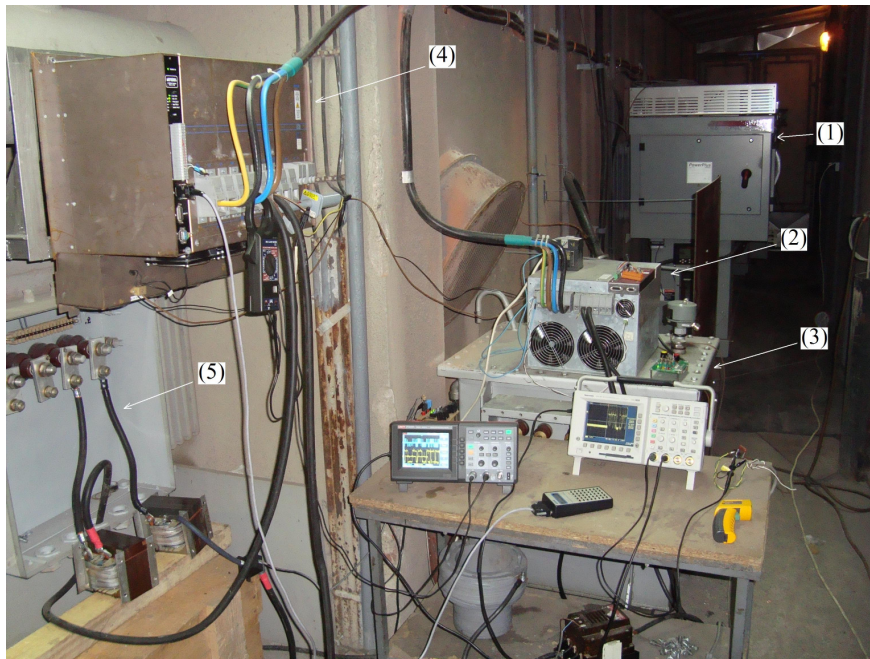
На Слици 10 је приказан блок дијаграм са назначеном опремом која је уграђена у ТЕ Морава. ВН растављачки

систем омогућује да се при раду прикључе конвенционалне Т/Р јединице које су и раније исправно функционисале у ТЕ Морава, као и да се уместо њих повежу ВФ јединице. Једна од грана филтра се може напајати из NWL ВФ јединица, док се друга може прикључити на домаће AP70/1000 изворе. Прикључци се могу мењати у току рада, тако да је могуће поредити Т/Р јединице са ВФ јединицама домаће производње или ВФ јединицама NWL, и то на истом електродном систему. На овај начин је могуће одредити најбоље решење у погледу ефикасности преципитације тј. отпрашивања димног гаса. Место на коме су уграђене ВФ јединице је приказано на Слици 11.

Трибоелектрични давач запрашености је приказан на Слици 12 и уграђен у повратни канал десне стране електрофилтра. Место уградње давача је приказано на Слици 13. Одабрано је тако да струјање гаса на месту уградње буде ламинарно да би се осигурала стабилност мереног сигнала. Од уградње у самој десној грани се одустало стога што не постоји локација која је довољно удаљена од вентилатора димног гаса и довољно удаљена од кривина да би се имало ламинарно струјање, па би уградња давача на таквим местима довела до великог одступања у мерењу услед турбулентног кретања гаса.



Слика 10. Приказ опреме уграђене на ТЕ Морава.



Слика 11. Место уградње ВФ извора за напајање ЕСП.



Слика 12. Трибоелектрични давачи запрашености димног гаса.



Слика 13. Место уградње трибоелектричног давача.

VII. МЕРЕЊЕ КОЛИЧИНЕ ПЕПЕЛА У ЛЕВКУ ИЗЛАЗНЕ СЕКЦИЈЕ

Након уградње прве две ВФ јединице у ТЕ Морава извршена је серија мерења како би се извршило поређење ефикасности преципитације ЕСП који се напаја из Т/Р јединица и ЕСП који се напаја из ВФ извора. Том приликом су тестиране две конфигурације:

- Напајање свих секција из Т/Р јединица (укупно 4 Т/Р јединице);
- Напајање 2 секције из ВФ извора и 2 секције из Т/Р јединица.

Количина пепела која се издваја у левку излазне секције мерена је индиректно, на основу мерене температуре зида левка. На основу познате температуре пепела који се таложи у левку, познате специфичне топлоте пепела и челичног зида левка, као и познатих услова загревања и хлађења левка одређена је релативна промена количине пепела која се издваја након примене ВФ напајања. Утврђено је да се количина пепела у левку излазне секције увећава за 80% применом ВФ напајања. Овакав налаз је потврђен тиме што је након примене ВФ напајања било потребно двоструко чешће празнити левак (у ТЕ Морава левак излазне секције празни се ручно).

Током мерења се још увек није располагало са давачем за праћење промена у запрашености димног гаса. Ефекти ВФ напајања на укупну емисију се могу проценити на

основу изгледа дима на излазу из димњака, што је приказано на Слици 14. На левом делу слике приказан је изглед дима у конфигурацији 4 x 50Hz. На десној страни слике приказан је изглед дима у конфигурацији 2 x 50Hz + 2 x ВФ.

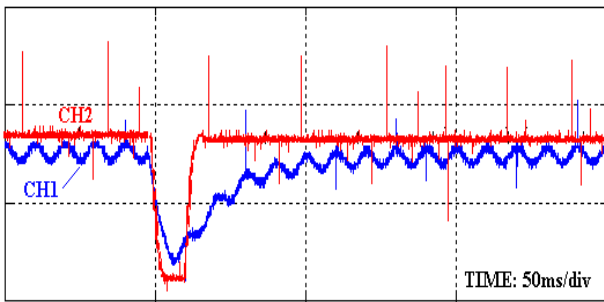


Слика 14. На левом делу слике приказан је изглед дима у конфигурацији 4 x 50Hz. На десној страни слике приказан је изглед дима у конфигурацији 2 x 50Hz + 2 x ВФ.

VIII. МЕРЕЊЕ КОЛИЧИНЕ ПЕПЕЛА У ЛЕВКУ ИЗЛАЗНЕ СЕКЦИЈЕ

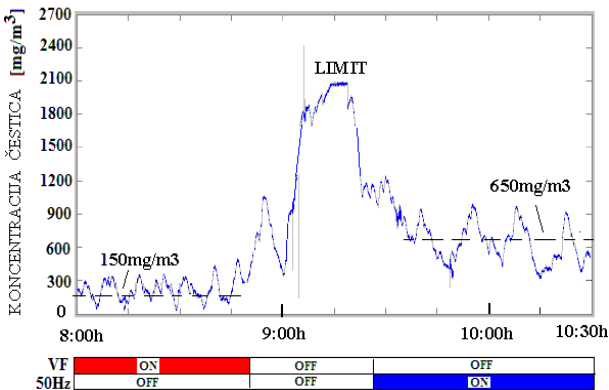
На Слици 15, приказан је облик напона између плоча електрофилтра. Траг СН1 приказује облик напона у случају да се напајање добија из Т/Р јединица 50Hz система. Траг СН2 приказује случај када се ЕСП напаја из ВФ јединица. Може се уочити да ВФ напајање доприноси значајном смањењу валовитости напона. Као последица, између електрода могуће је остварити значајно већу средњу вредност напона. Слика 15 приказује и брзину реаговања система за управљање напоном. Могуће је уочити да ВФ систем омогућује знатно брже промене напона.

Након уградње трибоелектричног давача у повратни канал десне стране филтра, створена је могућност да се мери релативна емисија летећег пепела током рада филтра. На Слици 16 приказани су добијени резултати. У левом делу слике приказана је промена емисије у случају да се користи ВФ напајање, то јест да се десна грана филтра напаја из две ВФ јединице. У средини је начињен прелаз са ВФ система на 50Hz систем. Будући да се ВН растављачи комутују у безнапонском стању, електроде се на кратко време остављају без напајања, тако да показивање давача улази у засићење услед превелике емисије честица. После пребацивања ВН растављача у положај за 50 Hz напајање, поново се успоставља напон између електрода. У десном делу слике дата је промена емисије са 50 Hz Т/Р јединицама. На посматраној слици уочава се да ВФ напајање умањује емисију са 650 mg/m³, колико се има код напајања са 50 Hz Т/Р јединицама, на свега 150 mg/m³.

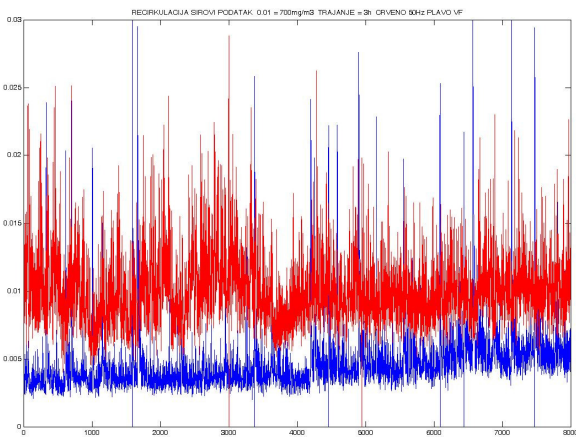


CH1: napon 50Hz ESI -20kV/div, CH2: napon VF ESI-20kV/div

Слика 15. Поређење облика напона између плоча у случају 50 Hz напајања и VF напајања.



Слика 16. Промена емисије летећег пепела у зависности од начина напајања електродног система. У левом делу слике приказана је промена емисије у случају да се користи VF напајање. У средини је начињен прелаз са VF система на 50Hz систем. У десном делу слике дата је промена емисије са 50 Hz T/P јединицама.



Слика 17. Поређење емисије са VF напајањем и 50 Hz напајањем у времену од три сата. Мерење је обављено током 2010. године. Плавом бојом је означена промена емисије при напајању 4 x VF, то јест, у случају када се ЕСП комплетно напаја из VF јединица. Црвеном бојом је приказана емисија у конфигурацији 4 x 50 Hz, то јест, када се целокупан ЕСП напаја из 50 Hz T/P јединица.

Потребно је напоменути да се емисија честица значајно мења у зависности од састава угља, режима рада котла као и других процесних параметара. Стога је за веродостојно поређење два система напајања неопходно вршити мерења у нешто дужем временском интервалу. На Слици 17 дато је поређење емисије са VF напајањем и 50 Hz напајањем у

времену од три сата. Мерење је обављено током 2010. године. Плавом бојом је означена промена емисије при напајању 4 x VF, то јест, у случају када се ЕСП комплетно напаја из VF јединица. Црвеном бојом је приказана емисија у конфигурацији 4x50 Hz, то јест, када се целокупан ЕСП напаја из 50 Hz T/P јединица. Одређивањем средње вредности емисије у интервалу од три сата показује се да код конвенционалног 50 Hz напајања са T/P јединицама средња вредност емисије износи 700 mg/m³, док се са VF напајањем има средња вредност емисије од 350 mg/m³. Дакле, применом VF напајања се на истом електродном систему преполовљава вредност емисије честица.

IX. ПОРЕЂЕЊЕ ЦЕНЕ VF ОПРЕМЕ И 50 Hz ОПРЕМЕ

Шира примена VF напајања у термоелектранама зависи и од цене опреме. Стога је у овом одељку дато поређење цене опреме потребне за напајање једне секције филтра која има параметре 70 kV и 1000 mA.

A. T/P јединица и тиристорски претварач за 50 Hz напајање

T/P јединице Европске производње имају цене у опсегу до 19 кЕУР (FLSmith Airtech). Поред T/P јединице, потребно је имати и пар антипаралелно повезаних тиристора са контролером и припадајућом опремом. Кабинет са контролером, тиристорима и припадајућом опремом има цену од 11 кЕУР (Castelet, Kraft).

Дакле, за обезбеђење напајања напоном од 70 kV и струјом од 1000 mA, потребно је набавити опрему у вредности од 30 кЕУР.

B. VF напајање

VF јединица за напајање се најчешће реализује тако да високофреквентни трансформатор снаге и нисконапонски претварач стоје у истом кућишту и имају јединствен систем за одвођење топлоте. Цена производње VF јединице за напајање напоном од 70 kV и струјом од 1000 mA износи 24 кЕУР.

Из наведеног се може закључити да, поред значајних техничких унапређења, умањења потребне количине челика, умањења емисије и смањења тежине уређаја до 5 пута, VF напајање има и повољну цену.

X. ЗАКЉУЧАК

- Применом VF напајања електрофилтра, емисија честица се смањује два пута;
- Опрема за VF напајање је пет пута лакша од конвенционалних T/P јединица 50 Hz система;
- Опрема за VF напајање је јевтинија од еквивалентних тиристорски регулисаних T/P јединица;
- Применом VF јединица може се смањити потребна површина електрода и количина челика потребног за изградњу нових ЕСП јединица;

- Постоји консолидовано домаће решење ВФ напајања засновано на оригиналној мултирезонантној ВФ ВН технологији и интермитентном управљању. Решење има потенцијал за увећање ангажовања домаће индустрије у пословима ремонта и реконструкције.

ЛИТЕРАТУРА

- [1] Norbert Grass, "150kV/300kW High Voltage Supply with IGBT Inverter for Large Industrial Electrostatic Precipitator", in *Industry Applications Conference, 2007, 42nd IAS Annual Meeting of the 2007*, pp. 808-811
- [2] John C. Fothergill, Philip W. Devine, and Paul W. Lefley, "A Novel Prototype Design for a Transformer for High Voltage, High Frequency, High Power Use", in *IEEE Trans. on Power Delivery*, vol. 16, no. 1, January 2001. pp. 89-98
- [3] Norbert Grass, Werner Hartmann, Michael Klöckner, "Application Of Different Types Of High-Voltage Supplies On Industrial Electrostatic Precipitators", *IEEE Trans. on Industry Applications*, vol. 40, no. 6, pp. 1513-1520, Nov/Dec 2004.
- [4] N. Grass, "Fuzzy logic-optimising IGBT inverter for electrostatic precipitators," *IEEE-IAS Annu. Meeting*, vol. 4, Phoenix, AZ, Oct. 4-7, 1999, pp. 2457-2462.
- [5] Laurentiu M. Dumitran, Pierre Atten, Didier Blanchard, and Petru Notingher, "Drift Velocity of Fine Particles Estimated From Fractional Efficiency Measurements in a Laboratory-Scaled Electrostatic Precipitator" *IEEE Trans. on Industry Applications*, vol. 38, no. 3, pp. 852-857, May/June 2002
- [6] Won-Ho Kim, Jong-Soo Kim, Iouri Kang, Geun-Hie Rim C. U. Kim "A High Voltage Pulsed Power System for Electrostatic Precipitators" *IEEE IAS Annual Meeting 1999*.
- [7] Junming Sun, Mutsuo Nakaoka, Hiroshi Takano, "High Voltage Transformer Parasitic Resonant PWM DC-DC High Power Converters and their Performance Evaluations, in ISIE 1997 Conference, pp 572-577.
- [8] R. L. Steigerwald, "A Comparison of Half-Bridge Resonant Converter Topologies" in *IEEE Trans. on PE*, vol 3, no. 2, April 1988, pp. 174-182
- [9] R. L. Steigerwald, R. W. De Doncker, M. H. Kheraluwala, "A comparison of High Power DC-DC Soft Switched Converter Topologies", *IEEE Trans. Industry Applications*, vol. 32, no. 5, pp. 1139-1145, Sept/Oct 1996.
- [10] O. D. Patterson, D. M. Divan "Pseudo-Resonant Full Bridge DC/DC Converter", *IEEE Trans. Power Electron.*, vol. 6, no. 4, pp. 671-678, October 1991.
- [11] J. Zhang, X. Xie, X. Wu, G. Wu, and Z. Qian, "A novel zero-current transition full bridge DC/DC converter", *IEEE Trans. Power Electron.*, vol. 21, no. 2, pp. 354-360, Mar. 2006.
- [12] T. T. Song, N. Huang, "A novel zero-voltage and zero-current switching full bridge PWM converter", *IEEE Trans. Power Electron.*, vol. 20, no. 2, pp. 286-291, Mar. 2005.
- [13] J. Dudrik, P. Spanik, and N. D. Trip, "Zero voltage and zero current switching full bridge DC/DC converter with auxiliary transformer", *IEEE Trans. Power Electron.*, vol. 21, no. 5, pp. 1328-1335, Sep. 2006.
- [14] Sanbao Zheng and Darisuz Czarkowski, "High-Voltage High-Power Resonant Converter For Electrostatic Precipitator", in *APEC Conf. Record 2003*. vol. 2, pp. 1100-1104.
- [15] J. F. Chen, R. Y. Chen, T. J. Liang, "Study and Implementation of a Single Stage Current Fed Boost PFC Converter With ZCS for High Voltage Applications, IEEE Trans on PE, Vol 23, No 1, January 2008, pp 379-385
- [16] E. H. Kim, B.H. Kwon, "Zero voltage and zero current switching full bridge converter with secondary resonance", *IEEE Trans. Ind. Electron.*, vol. 57, no. 3, pp. 1017-1025, Mar. 2010.
- [17] J. A. Martin-Ramos, A.M. Pernia, J.Diaz, F. Nuno, J.A. Martinez, "Power supply for high voltage application" *IEEE Trans. Power Electron.*, vol. 23, no. 4, pp. 1608-1619, July. 2008.

- [18] J. Liu, Sheng, J. Shi, Z. Zhang, X. He, "LCC Resonant Converter Operating under Discontinuous Resonant Current Mode in High Voltage, High Power and High Frequency Applications", in *Applied Power Electronics Conference APEC2009*, pp. 1482-1486

Abstract—Electrostatic precipitators (ESP) or electrofilters remove flying ashes and fine particles from the flue gas in thermal power plants, before passing the gas into the chimney. Maximum allowable value of dust is 50 mg/m³ and it requires that the efficiency of the ESPs better than 99%, which calls for an increase of active surface of the electrodes, hence increasing the filter volume and the weight of steel used for the filter. In previous decades, electrostatic precipitators in thermal power plants were fed by thyristor controlled, single-phase fed devices having a high degree of reliability, but with a relatively low collection efficiency, hence requiring large effective surface of the collection plates and a large weight of steel construction in order to achieve the prescribed emission limits. Collection efficiency and energy efficiency of the electrostatic precipitator can be increased by applying high frequency high voltage power supply (HF HV). Electrical engineering faculty of the University of Belgrade (ETF) has developed technology and HF HV equipment for the ESP power supply. This solution was subjected to extensive experimental investigation at TE Morava from 2008. to 2010. High frequency power supply is proven to reduce emission two times in controlled conditions while increasing energy efficiency of the precipitator, compared to the conventional thyristor controlled 50Hz supply. Two high frequency high voltage unit AR70/1000 with parameters 70 kV and 1000 mA are installed at TE Morava and thoroughly testes. It was found that the HF HV power supply of the ESP at TE Morava increases collection efficiency so that emission of fine particles and flying ashes are halved, brought down to only 50% of the emissions encountered with conventional 50 Hz thyristor driven power supplies. On the basis of this study, conclusion is drawn that the equipment comprising HF HV supplies are the best solution for new ESP installations, as well as for the reconstruction of existing facilities. The paper describes the topology of the HF HV power supply, power management and controls, and brings the most important details of the implementation. It is found that the HF HV solution achieves several significant improvements over the conventional thyristor system. It is possible to provide more precise control of the ESP parameters such as the output voltages and currents. It is also possible to make a rapid increase or decrease in voltage and to effectuate a very fast response to load changes. Due to this advantages it is possible to suppress the supply quickly in the case of sparking, reducing the spark energy and the quantity of ionized gasses produced by the electric arc. Reduction in the spark energy is up to 10 times compared to conventional thyristors solution. This means that the erosion of the electrode system is significantly reduced, and that the quality of the collection plates is preserved for much longer periods. At the same time, lower quantity of ionized gasses produced by the spark contribute to much shorter de-ionization intervals, required to quit sparking and evacuate charged particles in order to reinstate the voltage and proceed with the operation. In addition, HF HV power supply provides a significant reduction in size and weight of the complete ESP installation, hence reducing the tons of steel that has to be built in. Therefore, the HF HV power supply may be the key instrument to reducing the cost of the de-dusting ecological equipment. Besides, size and weight reduction leads to cost savings of installation and maintenance. According to estimates, savings in steel may reach 30%, contributing to the overall cost savings of roughly 20%. Within this paper, in addition to describing the AR70/1000 unit

topology and principles of operation, the paper presents the results and measurements obtained during extensive experimental investigations wherein performances of 50 Hz based thyristor units with T/R sets are compared to HF HV power supply.

Keywords-Electrostatic precipitator; High-voltage high-frequency supply.

High Frequency Power Supply for Electrostatic Precipitators in Thermal Power Plants

Podsticaji za povlašćene proizvođače električne energije u Srbiji

Rad po pozivu

Nikola Rajaković
Elektrotehnički fakultet
Univerzitet u Beogradu
Beograd, Srbija

Sadržaj—Jedan od oslonaca evropske energetske politike je dugoročna održivost sektora koja se ne može postići bez jačeg korišćenja obnovljivih izvora energije. Pošto su cene energije iz obnovljivih izvora još uvek veće od cena energije proizvedene konvencionalnim izvorima, to se praktično u svim zemljama imaju podsticaji za proizvodnju baziranu na obnovljivim izvorima. U ovom radu se analiziraju principi na osnovu kojih su definisani podsticaji i njihovi kvantitativni iznosi za proizvođače električne energije iz obnovljivih izvora energije u Srbiji.

Ključne reči—obnovljivi izvori energije; podsticaji.

I. UVOD

Obnovljivi izvori energije (OIE) su izvori energije koji se nalaze u prirodi i obnavljaju se u celosti ili delimično, a posebno se radi o energiji vodotokova, vetra, neakumuliranoj sunčevoj energiji, biogorivu, biomasi i geotermalnoj energiji. U ovom radu se analiziraju mere podsticaja za povlašćene proizvođače u Srbiji, odnosno mere kojima su definisane podsticajne otkupne cene za električnu energiju proizvedenu u elektranama posebnih karakteristika. Podsticajna otkupna cena je formirana uzimajući u obzir opravdane troškove investicionog ulaganja, operativne troškove i vreme trajanja statusa povlašćenog proizvođača kao i planirani period povratka investicije u izgradnju elektrane posebnih karakteristika.

Najčešće podsticajne mere u evropskim zemljama za povećanje proizvodnje električne energije iz obnovljivih izvora energije su povećane otkupne cene. Podsticajne otkupne cene se određuju za svaki vid obnovljivog izvora, obično zavise od instalisane snage, a raspon vrednosti otkupnih cena u evropskim zemljama je:

- za male hidroelektrane: 4-10 c€/kWh,
- za elektrane na čvrstu biomasu: 8-16 c€/kWh,
- za elektrane na biogas: 8-17 c€/kWh,
- za elektrane na deponijski i kanalizacioni gas: 4-7,7 c€/kWh,
- za elektrane na vetar: 6-12,2 c€/kWh,
- za elektrane na sunčevo zračenje: 22-57 c€/kWh,
- za elektrane na geotermalnu energiju: 6-18 c€/kWh.

Na osnovu analize primene ovih mera u evropskim zemljama i analize domaćih uslova, kod donošenja podsticajnih otkupnih cena u Srbiji imalo se dominantno u vidu:

- Podsticajne otkupne cene treba posebno definisati za svaki vid obnovljivog izvora energije.
- Podsticajne otkupne cene ne zavise od doba dana ili godine kada je električna energija proizvedena.
- Otkupna cena, izražena u c€/kWh, je garantovana i nepromenljiva tokom perioda od 12 godina. Visina otkupne cene je formirana tako da omogući svakom investitoru sa povlašćenim statusom da za tih 12 godina rada povрати sva uložena sredstva u investiciju uz pokrivanje svih operativnih troškova nastalih u tom periodu.
- Da bi se motivisala lokalna samouprava da pomaže i promoviše izgradnju elektrana na obnovljive izvore energije, predloženo je uvođenje nove opštinske takse na električnu energiju proizvedenu iz elektrana posebnih karakteristika, a koje su locirane na teritoriji date opštine i to u visini od 0,15 c€/kWh.
- Potrebno je ograničiti ukupnu instalisanu snagu elektrana na vetar na osnovu kojih se može ostvarivati podsticajna otkupna cena u Srbiji, na 450 MW, bar u narednih 5 godina. Izgradnja farmi elektrana na vetar instalisanih snaga po više stotina MW koje mogu ostvariti povlašćenu podsticajnu cenu, izazvala bi značajno povećanje cene električne energije za krajnje potrošače u Srbiji, a da se pri tome položaj Elektroprivrede Srbije koja ima odgovornost za snabdevanje tarifnih potrošača električnom energijom, ne bi ni malo popravio. Pored toga elektrane na vetar imaju vrlo nepredvidljivu i nestabilnu proizvodnju, što može izazvati probleme pri balansiranju i povećane zahteve za obezbeđivanjem rezerve i pružanjem drugih sistemskih usluga. Zbog toga je bolje elektrane na vetar uvoditi postupno u elektroenergetski sistem, kako bi se bez velikih problema stekla praktična iskustva u upravljanju ovakvim postrojenjima, ali kako bi se u međuvremenu značajnije popravio i finansijski položaj Elektroprivrede Srbije.
- Pošto je cena električne energije proizvedene iz elektrana koje koriste energiju sunčevog zračenja značajno veća nego iz drugih elektrana, to, u ovom trenutku, Srbija nema nikakvog praktičnog interesa da

podstiče značajniju gradnju ovih postrojenja. Zbog toga se ukupna instalisana snaga elektrana na sunčevo zračenje na osnovu kojih se može steći povlašćena podsticajna cena ograničava na 5 MW.

- Učešće domaće privrede u projektima korišćenja OIE treba da ima veliki prioritet. Ipak, ne predlaže se direktna povezanost cene otkupa električne energije i udela domaćih komponenti u investicijama. Neophodno je podstaći saradnju domaće privrede sa razvojnim institucijama i stranim partnerima, finansirati izabrane razvojne i demonstracione projekte naročito u oblasti iskorišćenja hidroenergije i biomase, jer ova dva vida obnovljive energije predstavljaju najznačajniji potencijal u Srbiji. Sve to treba ostvarivati uz saradnju ministarstava nadležnih za oblast energetike, vodoprivrede, poljoprivrede, šumarstva, finansija, privrede, regionalnog razvoja i zaštite životne sredine. Uzimajući u obzir mogućnosti domaće privrede u isporuci opreme za elektrane na OIE prioritet treba da imaju hidroenergija i biomasa.
- Da bi se motivisao povlašćeni proizvođač da realizuje projekat proizvodnje električne energije iz OIE koristeći CDM mehanizam Kjoto Protokola (*Clean Development Mechanism*), predlaže se da se u pravnim aktima koji treba da regulišu ovu oblast predvidi adekvatna podela ostvarenog registrovanog smanjenja emisije CO₂, to jest ostvarenog prihoda od trgovine emisijom CO₂, između povlašćenog proizvođača i države. Podela ovog prihoda treba da bude takva da stimuliše povlašćenog proizvođača da prikupi potrebnu dokumentaciju i podnese prijavu za korišćenje CDM mehanizma, a u isto vreme i da obezbedi državi deo prihoda jer povlašćenom proizvođaču garantuje adekvatnu otkupnu cenu.
- Za elektrane koje su u pogonu pre početka primene podsticajnih otkupnih cena, a ispunjavaju uslove za dobijanje statusa povlašćenog proizvođača, treba da važi cena kao i za nove elektrane, ali u skraćenom periodu. Rok trajanja povlašćenog statusa za ove elektrane se definiše u rešenju o sticanju statusa povlašćenog proizvođača, a zavisi od vrste elektrane posebnih karakteristika i broja godina prethodno provedenih u pogonu.
- Posebno su određene podsticajne otkupne cene za stare elektrane koje su van pogona provele najmanje 5 godina, kako bi se podstakla revitalizacija i ponovno puštanje u rad ovih elektrana.
- Osnovni kriterijum za određivanje podsticajne otkupne cene je da vlasnik sa statusom povlašćenog proizvođača tokom 12 godina trajanja tog statusa vrati sva uložena investiciona sredstva i pokrije sve troškove pogona u tom periodu, to jest da od 13 godine rada počne da ostvaruje dobit.
- Dodatni kriterijum za određivanje otkupne cene je da interna stopa povratka investicije ne bude manja od 14%.

II. OSNOVE ZA ODREĐIVANJE OTKUPNIH CENA U SRBIJI

Slično onome što je uvela većina evropskih zemalja, u Srbiji su uvedene različite podsticajne cene za različite vidove obnovljivih izvora energije. Obuhvaćeni su svi vidovi obnovljivih izvora energije definisani u Zakonu o energetici [1], a to su: hidroenergija, biomasa, biogas, kanalizacioni i deponijski gas, sunčevo zračenje, energija vetra i geotermalna energija.

Osim toga, analizom i proračunom je obuhvaćeno i korišćenje kombinovanih postrojenja na fosilna goriva za proizvodnju električne i toplotne energije.

Da bi se moglo pristupiti ekonomskoj analizi projekata korišćenja različitih OIE i izgradnje CHP postrojenja na fosilna goriva, neophodno je postaviti osnovne kriterijume i usvojiti određene pretpostavke koji će biti primenjeni pri određivanju otkupnih cena. Primenom ovih kriterijuma i pretpostavki, (koji će biti naknadno komentarisani), dobijene su otkupne cene izražene u evrocentima po kilovat-satu (c€/kWh), koje su prikazane u tabeli I [2].

A. Ekonomska analiza i posebne cene za svaki vid OIE

Da bi se ravnopravno podsticali svi OIE, određene su kroz tehnno-ekonomsku analizu potrebne podsticajne otkupne cene za svaki vid OIE i za različite instalisane snage postrojenja.

B. Otkupne cene nezavisne od doba godine ili dana

Ne sporeći širu osnovanost koncepta uvođenja dnevne vremenske diferencijacije u tarifne sisteme, smatra se da bi u slučaju podsticajnih otkupnih cena za povlašćene proizvođače električne energije to izazvalo više problema nego koristi. Kao prvo, jedan deo tehnologija koje koriste OIE uopšte ne može da vodi računa o vremenu proizvodnje (elektrane na vetar ili na sunčevo zračenje). Kod onih tehnologija koje bi to teoretski mogle (biomasa, biogas, hidroelektrane) bilo bi potrebno izgraditi elektrane znatno većeg kapaciteta, a u slučaju hidroelektrana i do neophodnosti izgradnje mini akumulacija, da bi se što veći deo energije proizvodio u vršnom periodu. Ovo povećanje instalisane snage ne bi dovelo do povećanja proizvedene električne energije, pa bi zbog povećanih investicionih troškova došlo do povećanja proizvodne cene jednog kWh. Efekti koje bi ovakva proizvodnja imala na ceo elektroenergetski sistem bili bi manje nego simbolični, zbog neuporedivo većih količina energije koje se proizvode iz klasičnih elektrana. Osim toga, uvođenje vršne tarife bi imalo smisla jedino ukoliko bi se vršni period pomerao tokom godine, jer je vršno opterećenje u Srbiji, zavisno od doba godine između 15-og i 22-og sata tokom dana. To bi izazvalo dodatne zahteve u pogledu obezbeđivanja adekvatnih mernih uređaja, načina merenja i očitavanja na samim elektranama. Konačno, elektrane na biomasu i CHP postrojenja u industriji zbog potreba industrijskih pogona za toplotom ili tehnološkom parom će verovatno noću raditi smanjenim kapacitetom, pa nema potrebe da se takav rad posebno stimuliše.

C. Fiksna podsticajna otkupna cena tokom trajanja povlašćenog statusa

Uvedene su ugovorom tačno određene fiksne podsticajne otkupne cene za proizvedenu električnu energiju (ukupna vrednost), a ne premije, odnosno podsticajni dodaci.

Sa stanovišta investitora mnogo je prihvatljivije usvajanje fiksnih otkupnih cena, jer one nude finansijsku sigurnost u pogledu visine prihoda, a time je osigurana i ekonomska opravdanost projekta. Prema tome, fiksne podsticajne cene tokom dvanaestogodišnjeg perioda, garantuju svakom povlašćenom proizvođaču povratak uloženi sredstava u razumnom roku. Ukoliko u međuvremenu dođe do značajnog porasta cena električne energije na tržištu, svaki proizvođač koji hoće da prihvati rizik tržišnog poslovanja, može da raskine ugovor sa nadležnom institucijom države i da svoju energiju prodaje na slobodnom tržištu.

Visinu podsticajnih otkupnih cena za nove projekte potrebno je periodično proveravati i po potrebi korigovati. U zavisnosti od vrednosti opreme i investicija, od tržišne cene električne energije i od cene biomase za projekte korišćenja biomase, nadležno ministarstvo bi trebalo svake godine da proverava nivo podsticajnih cena i procenjuje potrebu eventualnih korekcija. Nadležno ministarstvo može predložiti korigovanje otkupne cene za nove projekte i u zavisnosti od dinamike realizacije projekata povlašćenih proizvođača pojedinih OIE. Korekcije se ne moraju odnositi samo na visinu otkupnih cena, već i na druge karakteristike.

TABELA I. OTKUPNE CENE ZA PROIZVODNJU ELEKTRIČNE ENERGIJE KORIŠĆENJEM OBNOVLJIVIH IZVORA ENERGIJE I KOMBINOVANOM PROIZVODNJOM ELEKTRIČNE I TOPLOTNE ENERGIJE U SRBIJI

Redni broj	Vrsta elektrane	Instalisana snaga (MW)	Mera podsticaja -otkupna cena (c€/1 kWh)
1.	Hydroelektrane		
1.1		do 0,5 MW	9,7
1.2		od 0,5 MW do 2 MW	10,316 – 1,233P
1.3		od 2 MW do 10 MW	7,85
1.4	na postojećoj infrastrukturi	do 2 MW	7,35
1.4	na postojećoj infrastrukturi	od 2 MW do 10 MW	5,9
2.	Elektrane na biomasu		
2.1		do 0,5 MW	13,6
2.2		od 0,5 MW do 5 MW	13,845 – 0,489R
2.3		od 5 MW do 10 MW	11,4
3.	Elektrane na biogas		
3.1		do 0,2 MW	16,0
3.2		od 0,2 MW do 2 MW	16,444 – 2,222R
3.3		preko 2 MW	12,0
4.	Elektrane na deponijski gas i gas iz postrojenja za tretman komunalnih otpadnih voda		6,7
5.	Elektrane na vetar		9,5
6.	Elektrane na energiju sunčevog zračenja		23
7.	Elektrane na geotermalnu energiju		7,5
8.	Elektrane sa kombinovanom proizvodnjom na fosilna goriva		
8.1		do 0,2 MW	$C_0 = 10,4$
8.2		od 0,2 MW do 2 MW	$C_0 = 10,667 - 1,333R$
8.3		od 2 MW do 10 MW	$C_0 = 8,2$
8.4	na postojećoj infrastrukturi	do 10 MW	$C_0 = 7,6$
9.	Elektrane na otpad		
9.1		do 1 MW	9,2
9.2		od 1 MW do 10 MW	8,5
Korekcija otkupne cene za elektrane sa kombinovanom proizvodnjom na prirodni gas		$C = C_0 (0,7 G/27,83 + 0,3)$ C - nova otkupna cena električne energije C_0 - referentna otkupna cena određena na osnovu cene prirodnog gasa za prodaju energetskim subjektima za trgovinu na malo prirodnim gasom za potrebe tarifnih kupaca koja ne uključuje troškove korišćenja transportnog sistema za prirodni gas kod Javnog preduzeća „Srbijagas“ Novi Sad po tarifnom stavu „energent“ od 27,83 din/m ³ G (din/m ³) - nova cena prirodnog gasa za prodaju energetskim subjektima za trgovinu na malo prirodnim gasom za potrebe tarifnih kupaca koja ne uključuje troškove korišćenja transportnog sistema za prirodni gas kod Javnog preduzeća „Srbijagas“ Novi Sad po tarifnom stavu „energent“	

D. Dobit za lokalnu samoupravu

S obzirom da bi teret izdvajanja sredstava za podsticajne mere trebalo da bude ravnomerno raspoređen na sve potrošače električne energije u Srbiji, onda se može dogoditi da stanovništvo regiona koji su prirodno bogati obnovljivim izvorima energije, a to su vrlo često nerazvijena područja,

prepoznaje samo štetu, odnosno povećanje računa za utrošenu električnu energiju, zbog gradnje postrojenja koja koriste obnovljive izvore energije u njihovoj okolini. Uzimajući u obzir potrebu ravnomernog regionalnog razvoja Srbije, može se zaključiti da postoji opravdanost uvođenja naknade koju bi povlašćeni proizvođači plaćali lokalnim samoupravama na čijoj teritoriji se nalaze postrojenja.

Osim toga, uvođenjem naknade, to jest neke vrste opštinske takse na proizvedenu „zelenu“ električnu energiju, lokalne samouprave bi dobile dodatan prihod što bi ih motivisalo da promovišu izgradnju postrojenja na obnovljive izvore energije i da maksimalno olakšaju proceduru izdavanja dozvola za izgradnju elektrana na obnovljive izvore energije na svom području. Ovu taksu ne bi plaćao vlasnik elektrane iz ostvarenog prihoda po osnovu podsticajnih otkupnih cena za proizvedenu električnu energiju, već bi telo sa kojim investitor ima ugovor o kupoprodaji električne energije iz povlašćenih elektrana isplaćivalo investitoru uvećana sredstva za visinu takse koju je investitor dužan da plati lokalnoj samoupravi.

E. Obim otkupa električne energije i ograničenja ukupno instalisane snage

Neki obnovljivi izvori energije imaju svoja vrlo jasna prirodna ograničenja, kao na primer: hidropotencijal, biomasa, biogas, deponijski gas, gas iz postrojenja za tretman kanalizacionih voda i geotermalne vode. Sa druge strane, potencijali energije vetra i energije sunčevog zračenja su skoro neograničeni. Skoro jedino ograničenje za njihovu opštu primenu i potpunu zamenu svih drugih energenata je ekonomske prirode. Uvođenjem vrlo povoljnih podsticajnih otkupnih cena, moglo bi se dogoditi da se u vrlo kratkom vremenskom roku izgradi vrlo veliki broj elektrana na vetar i sunčevo zračenje sa snagama koje bi bila uporedive sa instalisanim kapacitetom pojedinih klasičnih termoelektrana i hidroelektrana u Srbiji i zbog toga je bolje elektrane na vetar i solarne elektrane uvoditi postupno u elektroenergetski sistem, kako bi se bez velikih problema stekla praktična iskustva u upravljanju ovakvim postrojenjima, ali kako bi se u međuvremenu značajnije popravio i finansijski položaj Elektroprivrede Srbije.

F. Učešće domaće privrede u isporuci opreme i obavljenim radovima

Jedna od značajnih karakteristika podsticajnih otkupnih cena električne energije kada se definišu posebno za svaki vid OIE je to što je moguće neke tehnologije ili neke vidove OIE više, a neke manje podstaći. Jedan od važnih razloga zašto bi se neke tehnologije više podstakle u odnosu na druge, je mogućnost domaće privrede da proizvodi opremu za datu tehnologiju.

Direktna zavisnost podsticajne otkupne cene za „zelenu“ električnu energiju od obima isporuke opreme domaćeg porekla deluje vrlo podsticajno za instaliranje domaće opreme. Međutim, postupak utvrđivanja porekla opreme i udeo domaće opreme i radova u investiciji, koji bi obavljala nadležna institucija, može dovesti do arbitrarnog procenjivanja, a time i neželjenih nuspojava.

Međutim, učešće domaće privrede u isporuci opreme za tehnologije korišćenja OIE potrebno je pomoći drugim merama.

G. Kombinovana proizvodnja električne i toplotne energije

Zakonskim rešenjima je predviđeno da proizvođači koji delatnost obavljaju u postrojenjima sa kombinovanom proizvodnjom električne i toplotne energije (CHP) snage do

10 MW, mogu steći povlašćeni status iako koriste fosilna goriva (ugalj, gas ili tečno gorivo). Najverovatnije je da će buduća CHP postrojenja biti ili industrijske energane ili sistemi daljinskog grejanja ili eventualno kombinacija ove dve namene.

H. Odnos podsticajnih otkupnih cena i drugih podsticaja

S obzirom na postojanje Fonda za zaštitu životne sredine i namere osnivanja Fonda za energetske efikasnost u Srbiji, moguće je da se u budućnosti uvede neka podsticajna mera u vidu investicione donacije za pojedine kategorije povlašćenih proizvođača energije. U tom slučaju bi trebalo razmotriti smanjenje podsticajne otkupne cene za povlašćene proizvođače, kako bi potencijalni investitori bili u što ravnopravnijem položaju.

Postrojenja koja koriste obnovljive izvore energije i ona sa kombinovanom proizvodnjom električne energije na fosilna goriva doprinosiće smanjenju emisije ugljen-dioksida (CO₂). Nakon usvajanja odgovarajućih podzakonskih akata, stvorice se uslovi da projekti u Srbiji koriste CDM mehanizam Kjoto Protokola. Putem korišćenja ovog mehanizma, tada će postojati mogućnost da povlašćeni proizvođači električne energije ostvare dodatni prihod po osnovu smanjenja emisije CO₂. Da bi jedan projekat koristio CDM mehanizam i stekao dodatni prihod, neophodno je prethodno da uloži određena sredstva u pripremu odgovarajuće dokumentacije i plaćanje taksi. Interes države je da u slučaju povlašćenih proizvođača energije, kojima ona garantuje podsticajne otkupne cene, i ona sama ima u određenoj meri koristi od korišćenja CDM mehanizma. Onemogućavanje investitora da uopšte imaju bilo kakav dodatni prihod od CDM mehanizma, odnosno da eventualno sva prava po tom osnovu pripadnu državi, potpuno će ih demotivisati od pokušaja da koriste CDM mehanizam, a time ni država neće imati nikakve koristi. Zato je potrebno stvoriti uslove da investitori budu zainteresovani za korišćenje CDM mehanizma, ali obezbediti da i država ima direktne koristi od toga. Jedan od jednostavnih načina je da se odgovarajućim propisima predvidi podela ostvarenog registrovanog smanjenja emisije CO₂, odnosno prihoda po tom osnovu, između povlašćenog proizvođača energije i države.

I. Usvojeni ekonomski parametri postrojenja

Radi određivanja podsticajnih otkupnih cena za proizvedenu električnu energiju iz različitih obnovljivih izvora i različitih instalisanih snaga urađena je ekonomska analiza za svaki od mogućih slučajeva. Osnovni polazni parametri za ekonomsku analizu su sledeći:

- povratak kapitala u roku od 12 godina; za 12 godina rada koristeći podsticajnu cenu postrojenje će obezbediti povratak uloženi investicionih ulaganja i pokrivanje svih troškova pogona,
- diskontna stopa 10%,
- broj godina investicionih ulaganja 2,
- troškovi pogona obuhvataju: troškove goriva (ako ih ima), troškove nadoknade za korišćenje vode (kod HE), troškove radne snage, održavanja i osiguranja.

Osnovni kriterijum za određivanje podsticajne otkupne cene je povratak uloženog kapitala za 12 godina rada, uz

istovremeno pokrivanje svih troškova pogona. Na taj način svaki projekat posle 12 godina rada počinje da stvara čist profit. Na ovaj način svaki investitor, nezavisno od tehnologije i instalisane snage, ima praktično garanciju da neće poslovati sa gubitkom, pošto će sva svoja investiciona ulaganja povratiti tokom 12 godina rada. Nakon 12. godine rada vlasnik elektrane će biti prepušten tržištu, više neće imati podsticajnu otkupnu cenu, ali će se njegovi ukupni troškovi poslovanja svesti samo na operativne troškove. Tada će tržišna otkupna cena električne energije biti više nego dovoljno visoka da pokrije sve operativne troškove rada elektrane i obezbedi određeni profit investitoru. Dodatni kriterijum, odnosno ograničenje za definisanje otkupne cene je da interna stopa povratka kapitala ne bude manja od 14% za svaku varijantu postrojenja na OIE ili CHP.

Za elektrane koje koriste OIE je usvojen radni vek u rasponu od 20 do 40 godina, u zavisnosti od primenjene tehnologije. S obzirom na osnovni kriterijum da se nakon 12 godina ostvaruje dobit, ostali ekonomski parametri nisu jednaki za sve tehnologije i vidove OIE.

Na osnovu raspoložive literature u kojoj su dati uporedni pregledi tehnologija korišćenja OIE usvojena su specifična investiciona ulaganja u postrojenja za proizvodnju električne energije iz OIE (Tabela II).

TABELA II. SPECIFIČNA INVEST. ULAGANJA U ELEKTRANE NA OIE I CHP

€/kW	(2007.god) ^(A)	(2004.god) ^(B)	Usvojeno
Male hidroelektrane	1200 - 3500	1400 - 3500	1700 - 2000
Čvrsta biomasa	1900 - 3000	1500 - 2500	2300 - 2700
Biogas		2000 - 5000	3500 - 4500
Deponijski i kanalizacioni gas			1900 - 2000
Vetar	1000 - 1200 (na kopnu)	800 - 1000	1500 - 1600
Sunce	5000 (do 20 kW) 3000 - 4000	5000 - 8000	4500
Geotermalna	1500		1900 - 2100
CHP*	900 - 1500		1000 - 1500 gas 1500 - 1700 ugalj

* CHP - kombinovana proizvodnja električne i toplotne energije na fosilna goriva

(A) Commission of the European Communities: A Technology Map for the European Strategic Energy Technology Plan, Novemehr 2007.

(B) European Renewable Energy Council: Renewable Energy in Europe - Building Markets and Capacity, January 2004.

J. Primer malih hidroelektrana

Prema Zakonu o energetici pod malim hidroelektranama se smatraju hidroelektrane instalisane snage do 10 MW. Prema Katastru malih hidroelektrana, uključujući podatke iz Katastra o malim hidroelektranama u Vojvodini, u Srbiji postoji 867 lokacija za izgradnju malih hidroelektrana. Najveći broj malih hidroelektrana koje se očekuju da budu izgrađene biće sa instalisanim snagama do 500 kW, i to na preko 640 lokacija.

S obzirom na različite specifične investicije u hidroelektrane vrlo malih snaga i onih bliskih 10 MW, različitu mogućnost ujednačavanja protoka vode, različite pouzdanosti podataka o istorijskim protocima vode na lokaciji vodozahvata, predložene su različite otkupne cene za proizvedenu električnu energiju, koje zavise od instalisanog kapaciteta male hidroelektrane.

Broj radnih sati tokom godine za male hidroelektrane je usvojen kao srednja vrednost na osnovu podataka iz Katastra malih hidroelektrana (Tabela III).

Osnovni energetski i ekonomski parametri korišćeni u proračunu, kao i dobijene podsticajne otkupne cene za male hidroelektrane su prikazani u sledećoj tabeli

TABELA III. OSNOVNI PARAMETRI I OTKUPNE CENE ZA MALE HIDROELEKTRANE

Hidroelektrane do 10 MW	
Investicije	2000-1700 €/kW
Broj sati	3800-3900 h/god
Troškovi pogona i održavanja	3,2-2,7 %
Posle 12 godina rada	Dobit = 0
Radni vek	40 godina
Otkupna cena (c€/kWh)	
elektrana snage do 500 kW	9,7
od 500 kW do 2 MW	10,316 - 1,233*P (MW)
preko 2 MW	7,85
IRR (na kraju radnog veka)	14,2 -15,3 %
B/C (na kraju radnog veka)	1,34-1,49

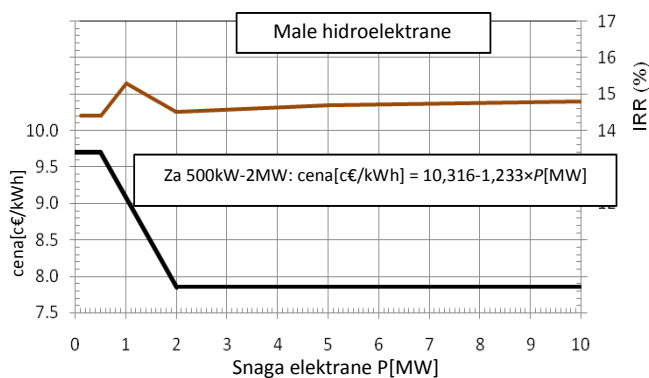
Na osnovu prethodnog predloženo je kao u finalnom dokumentu:

- za snage do 500 kW otkupna cena iznosi 9,7 c€/kWh;
- za snage između 500 kW i 2 MW otkupna cena se linearno smanjuje prema jednačini:

$$Cena [c€/kWh] = 10,316 - 1,233P[MW] \quad (1)$$

gde je P instalisana snaga elektrane izražena u MW;

- za snage 2 i više megavata otkupna cena iznosi 7,85 c€/kWh.



Slika 1. Otkupne cene električne energije iz novih malih hidroelektrana.

Sa ovako definisanim cenama, nakon radnog veka hidroelektrane od 40 godina, dobija se prilično ujednačena interna stopa povratka kapitala (IRR) u opsegu od 14,2 do 15,3%, i takođe vrlo ujednačen odnos svedenih vrednosti prihoda i rashoda (B/C) od 1,34 do 1,49 za sve snage malih hidroelektrana. Najveća interna stopa povratka kapitala i najveći odnos prihoda i rashoda je za hidroelektranu od 1 MW (slika 1).

Pošto posle isteka roka povlašćenog statusa, vlasnici malih hidroelektrana više nemaju garantovanu visoku podsticajnu cenu, onda za vlasnike malih hidroelektrana ostaje neizvesno da li će po završetku trajanja statusa povlašćenog proizvođača imati dovoljno visoke otkupne cene da bi ostvarili navedene vrednosti interne stope povratka kapitala (IRR) i odnosa prihoda i rashoda (B/C). Ipak, navedene vrednosti otkupnih cena im garantuju da će u potpunosti vratiti uložena investiciona sredstva uz pokrivanje svih operativnih troškova i da će nakon dvanaeste godine početi da ostvaruju dobit. Naravno, da li će ukupna dobit, IRR i B/C nakon 40 godina rada biti manji ili veći od proračunatih zavisiće od dugoročnog kretanja cena električne energije

III. ZAKLJUČNA RAZMATRANJA

Pravci razvoja i mere podsticaja u pogledu učešća električne energije proizvedene iz obnovljivih izvora energije u ukupnoj finalnoj potrošnji energije u Republici Srbiji do 2020. godine utvrđeni su strategijom.

Vlada, na predlog Ministarstva, donosi Nacionalni akcioni plan za korišćenje obnovljivih izvora energije u vezi učešća električne energije proizvedene iz obnovljivih izvora energije i one proizvedene iz kombinovane proizvodnje električne i toplotne energije u ukupnoj potrošnji električne energije u Republici Srbiji i definisanje mera za dostizanje tog cilja.

Planom se definišu udeli energije iz obnovljivih izvora u proizvodnji električne i toplotne energije, energije koja se koristi u transportu, energije potrebne za grejanje i hlađenje i dinamiku ostvarenja ovih udela do 2020. godine.

Nacionalni akcioni plan se donosi za period od 10 godine. Ministarstvo prati realizaciju Nacionalnog akcionog plana, godišnje ga ažurira i usklađuje.

Garancija porekla je javna isprava kojom proizvođač električne energije koji koristi obnovljive izvore energije dokazuje da je električna energija koju proizvodi proizvedena iz obnovljivih izvora energije. Garanciju porekla izdaje Ministarstvo koje vodi i registar izdatih garancija porekla.

Povlašćeni proizvođač ima pravo na:

- podsticajnu otkupnu cenu električne energije;
- prvenstvo pri otkupu električne energije;
- prvenstvo pri preuzimanju ukupno proizvedene električne energije u prenosni ili distributivni sistem u skladu sa pravilima o radu prenosnog, odnosno distributivnog sistema i pravilima o radu tržišta električne energije.

LITERATURA

- [1] *Zakon o energetici Republike Srbije*, Službeni glasnik Republike Srbije, broj 84/04.
- [2] Uredba o merama podsticaja za proizvodnju električne energije korišćenjem obnovljivih izvora energije i kombinovanom proizvodnjom električne i toplotne energije, Službeni glasnik Republike Srbije, broj 99/2009.

Abstract—Energy sustainability is a basic principle in European energy policy and intensive applications of renewable energy sources is a prerequisite for this. Production prices from renewables are still higher than from conventional sources and because of that the common practice in European countries is the introduction of feed-in tariffs. In this paper the principles for feed-in scheme in Serbia and quantitative values within this scheme have been analyzed.

Keywords—Renewable energy sources, Feed-in tariff.

Renewable energy sources and feed-in tariff in Serbia



Sekcija TO-1
MATERIJALI I KOMPONENTE

V. Paunović, V. Mitić, LJ. Živković	
UTICAJ JONA RETKIH ZEMALJA NA SVOJSTVA DOPIRANE BaTiO₃ KERAMIKE	22
D. Stupar, M. Slankamenac, N. Stojanović, J. Bajić, M. Živanov	
FIBER OPTIČKI SENZOR ZA MERENJE INDEKSA PRELAMANJA TEČNOSTI	27
J. Bajić, M. Slankamenac, N. Stojanović, D. Stupar, M. Živanov	
FIBER OPTIČKI SENZOR SILE	32
LJ. M. Vračar, Z. D. Prijić, A. P. Prijić, D. V. Vučković	
INDUKTIVNI SENZORI DODIRA U PCB TEHNOLOGIJI	37
S. Dedić-Nešić, D. Dujković, L. Grubišić, I. Reljin, B. Reljin	
NOVI VISOKOKVALITETNI 70,455 MHZ FILTRI ZA PRIMENU U MODULIMA ZA KOMUNIKACIJE U RUDNICIMA	41
D. Dujković, S. Dedić-Nešić, L. Grubišić, I. Reljin, B. Reljin	
NOVI VISOKOKVALITETNI KRISTALNI OSCILATOR DOCXO 10 KOMPENZOVAN SA DVOSTRUKOM PEĆNICOM	45

Uticaj jona retkih zemalja na svojstva dopirane BaTiO₃ keramike

Vesna Paunović, Vojislav Mitić, Ljiljana Živković

Katedra za mikroelektroniku
Univerzitet u Nišu, Elektronski fakultet
Niš, Srbija

vesna.paunovic@elfak.ni.ac.rs, vmitic.d2480@gmail.com, ljiljana.zivkovic@elfak.ni.ac.rs,

Sadržaj—U radu su ispitivane mikrostrukturne i dielektrične karakteristike BaTiO₃ keramike dopirane jonima retkih zemalja Er₂O₃ i Yb₂O₃ u koncentraciji od 0.01 do 0.5 at %. Uzorci modifikovane BaTiO₃ keramike dobijeni su konvencionalnom metodom sinterovanja u čvrstoj fazi i sinterovani na temperaturi od 1320° i 1350°C. Za uzorke dopirane nižom koncentracijom aditiva (0.01 i 0.1 at %) karakterističan je abnormalni rast zrna i veličina zrna od 20-60 μm za Er/BaTiO₃ i od 20-35 μm za Yb/BaTiO₃. Za povećanu koncentraciju aditiva karakteristična je relativno uniformna mikrostruktura sa veličinom zrna od 5 - 10 μm za obe serije uzoraka. Uzorci sa niskom koncentracijom aditiva pokazuju veću dielektričnu konstantu i slede Kiri-Vajsov zakon. Dielektrična konstanta Er/BaTiO₃ sa 0.01 at% aditiva iznosi 1600 a za Yb/BaTiO₃ iznosi 1940 na sobnoj temperaturi. Kirijeve temperature dopiranih uzoraka su neznatno niže u odnosu na Kirijevu temperaturu nedopirane keramike i iznose 126-128 °C. Kirijeva konstanta C za sve serije ispitivanih uzoraka opada sa povećanjem koncentracije dopanata, tako da su najviše vrednosti izmerene za uzorke dopirane sa 0.01 at% aditiva.

Ključne reči -BaTiO₃; retke zemlje; Kirijeva konstanta.

I. UVOD

Poslednjih godina istraživanja modifikovane BaTiO₃ keramike sa različitim aditivima i različitim načinima dobijanja polaznih prahova zauzimaju značajno mesto ne samo sa naučne tačke gledišta već posebno sa komercijalne tačke gledišta. Modifikovana BaTiO₃ keramika koristi se za dobijanje elektronskih komponenata, kao što su keramički kondenzatori, grejači, senzori sa PTC efektom ili piezoelektrični pretvarači a u zavisnosti od toga koja svojstva keramike treba iskoristiti dodaju se različiti aditivi [1, 2]. S obzirom na perovskitnu strukturu BaTiO₃ keramike, a u zavisnosti od radijusa jona, joni dopanata se mogu ugraditi na mesta Ba²⁺ ili Ti⁴⁺ jona, uslovljavajući tako dielektrična ili poluprovodna svojstva keramike. U principu, mala koncentracija donorskih primesa (<0.5 at%) vodi ka poluprovodnim svojstvima keramike na sobnoj temperaturi i PTC efektu, veća koncentracija aditiva vodi ka izolatorskoj keramici sa većim probojnim naponom.

U zavisnosti od veličine radijusa jona, koji je po veličini između jonskih radijusa Ba²⁺ ili Ti⁴⁺ jona, katjoni retkih zemalja kao što su Er³⁺, Yb³⁺, Ho³⁺ i Dy³⁺, mogu da zauzmu A ili B položaje u perovskitoj strukturi BaTiO₃. Pri niskim koncentracijama Er i Yb dolazi do supstitucije Ba²⁺ jona i do

formiranja čvrstih rastvora. Pri većim koncentracijama aditiva iznad 1.0 at.% može doći do supstitucije Ba²⁺ ili Ti⁴⁺ jona pri čemu je specifična električna otpornost uzorka veoma visoka reda veličine 10¹⁰ Ωcm [3]. Supstitucija Er³⁺ i Yb³⁺ na mesto Ba²⁺ jona zahteva formiranje negativno naelektrisanih defekata radi očuvanja elektroneutralnosti. Postoje tri osnovna mehanizma kompenzacije: stvaranje barijumovih vakancija (V_{Ba}^{''}), titanijum vakancija (V_{Ti}^{'''}) i elektrona (e[']). Za uzorke sinterovane u atmosferi vazduha, glavni mehanizam kompenzacije je jonski kompenzacioni mehanizam, iako postoji neslaganje da li se ovaj mehanizam odvija preko formiranja Ba ili Ti vakancija. Delimična zamena Ba²⁺ jona jonima retkih zemalja omogućava uniformnost mikrostrukture, sprečava abnormalni rast zrna i povećava temperaturnu oblast u kojoj je stabilna tetragonalna faza [4,5].

U ovom radu ispitivana su mikrostrukturna i dielektrična svojstva Er i Yb dopirane BaTiO₃ keramike u zavisnosti od temperature sinterovanja i koncentracije jona retkih zemalja. Zavisnost promene relativne dielektrične konstante od temperature za dopiranu BaTiO₃ keramiku sa različitom koncentracijom Er i Yb određivana je u temperaturnom intervalu od 20 do 200°C. Koristeći Kiri-Vajsov zakon i modifikovani Kiri-Vajsov zakon izračunata je Kirijeva konstanta C kao i parametri γ, koji opisuju odstupanje od linearne zavisnosti ε_r od T iznad temperature fazne transformacije.

II. EKSPERIMENTALNI DEO

Modifikovana BaTiO₃ keramika dopirana sa 0.01, 0.1 i 0.5 at % Er₂O₃ i Yb₂O₃ dobijena je konvencionalnom metodom sinterovanja u čvrstoj fazi polazeći od čistih oksidnih prahova. Prahovi su mešani u izopropil alkoholu, sušeni i presovani u pelete pri pritisku od 120 MPa. Nakon presovanja prahova uzorci su sinterovani u atmosferi vazduha na temperaturi 1320 °C i 1350 °C u vremenu od četiri sata. Mikrostrukturna ispitivanja i kompozicioni sastav keramike analizirani su pomoću skenirajućeg elektronskog mikroskopa JEOL, SEM-5300 koji je opremljen i energijsko disperzivnim spektrometrom (EDS). Pre merenja dielektričnih karakteristika na uzorke je naneta srebrna pasta. Dielektrične karakteristike uzoraka su izračunate na osnovu merenja kapacitivnosti u frekventnom opsegu od 20Hz do 1MHz pomoću LCR-metra

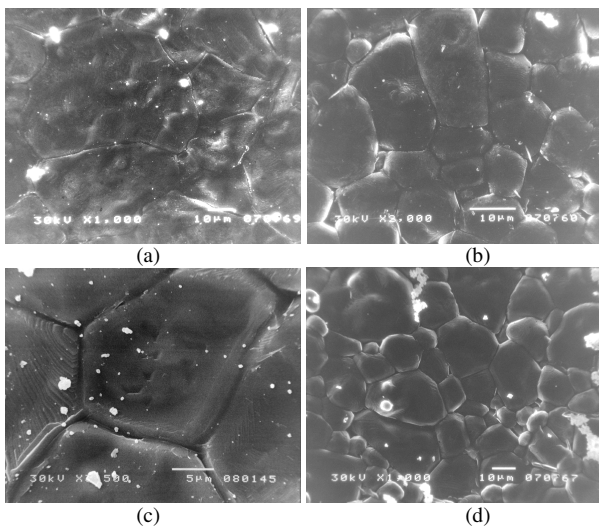
Agilent 4284A. Promena dielektrične konstante sa temperaturom je merena u temperaturnom opsegu od 20 °C do 200 °C

III. REZULTATI I DISKUSIJA

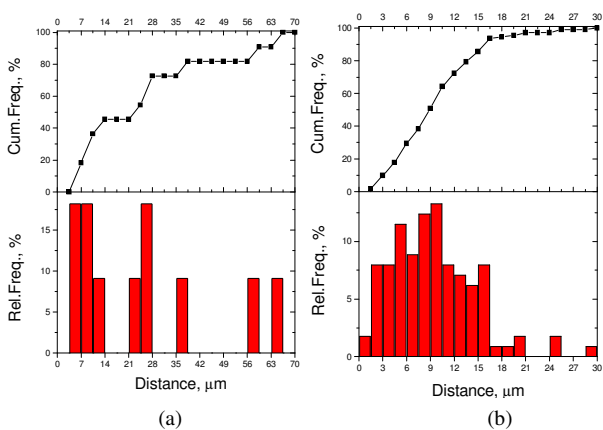
A. Mikrostrukturalna ispitivanja

Relativna gustina dopirane BaTiO₃ keramike kretala se od 83-88% TG za uzorke dopirane Er i od 87-91% TG za uzorke dopirane Yb. Sa povećanjem temperature sinterovanja i smanjenjem koncentracije aditiva gustina uzoraka se povećavala tako da su najveće gustine izmerene za uzorke dopirane sa 0.01 at% aditiva i sinterovane na 1350°C.

SEM ispitivanja pokazala su dosta slične mikrostrukturalne karakteristike uzoraka dopiranih Er₂O₃ i Yb₂O₃. Uzorke BaTiO₃ keramike dopirane Er₂O₃ karakterišu poligonalna zrna. Za niže koncentracije Er (0.01 at% Er) karakterističan je abnormalni rast zrna i veličina zrna koja se kretala od 20-60 μm (sl.1).



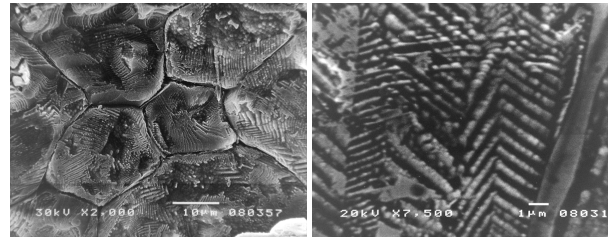
Slika 1. SEM mikrostrukturalna a) 0.01 i b) 0.5 at% Er/BaTiO₃ T_{sin}=1320°C i c) 0.01 i d) 0.5 at% Er/BaTiO₃ T_{sin}=1350 °C.



Slika 2. Kumulativna raspodela veličine zrna dopirane Er/BaTiO₃ keramike a) 0.01 i b) 0.5 at% Er

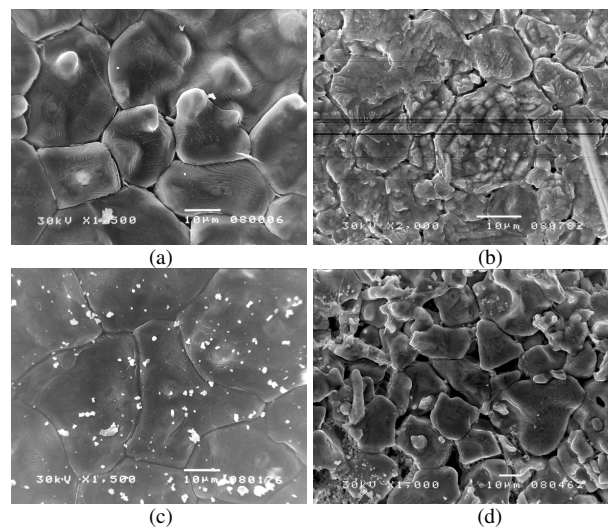
Sa povećanjem koncentracije dopanata dolazi do smanjenja srednje veličine zrna i ona se za uzorke dopirane sa 0.5 at% aditiva kretala od 10-15μm. Ovakva raspodela veličine zrna potvrđena je i na krivama kumulativne raspodele veličine zrna (sl.2).

Jedna od specifičnosti mikrostrukturnih karakteristika, u sekundarnim abnormalnim zrnima, kod uzoraka dopiranih sa 0.01 at% Er i sinterovanih na T=1350°C, je pojava domenske strukture.



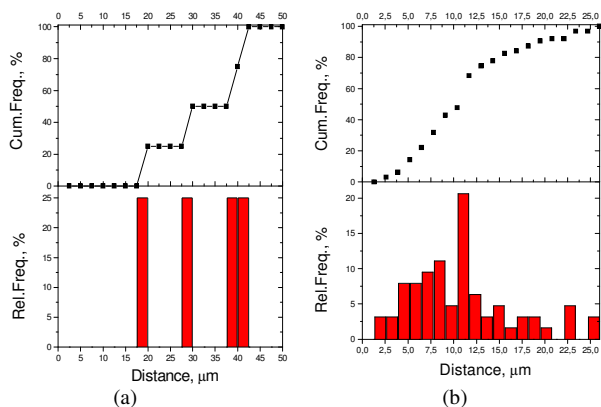
Slika 3. Domenska strukturalna 0.01 at% Er/BaTiO₃ keramike sinterovane na 1350 °C

U pogledu domenske strukture postoje dva tipa domena, orjentisani dugački domeni koji se prostiru preko celog zrna sa 90° domenskim granicama, i domeni sa zonskom domenskom strukturom u pojedinim abnormalnim zrnima (sl.3). Debljina domenskih zidova se kretala od 0.05 do 0.1 μm dok su domeni bili veličine od 0.25 do 0.5 μm.



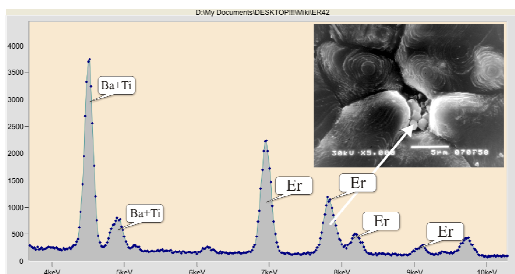
Slika 4. SEM mikrostrukturalna a) 0.01 i b) 0.5 at% Yb/BaTiO₃ T_{sin}=1320°C i c) 0.01 i d) 0.5 at% Yb/BaTiO₃ T_{sin}=1350 °C.

Za uzorke BaTiO₃ dopirane Yb karakteristična je veličina zrna koja se za niže koncentracije aditiva (0.01 at% Yb) kretala od 20 do 35μm a za više koncentracije (0.5at% aditiva) od 5 do 10μm (sl.4 i sl.5). Kod uzoraka dopiranih Yb nije primećena pojava abnormalnih zrna sa domenskom strukturom.



Slika 5. Kumulativna raspodela veličine zrna dopirane Yb/BaTiO₃ keramike a) 0.01 i b) 0.5 at% Y b

EDS analiza uzoraka dopiranih nižom koncentracijom aditiva za obe serije uzoraka nije pokazala postojanje oblasti bogatih Er ili Yb. Ovo dovodi do zaključka da je za ove uzorake karakteristična homogena raspodela aditiva. Sa povećanjem koncentracije aditiva dolazi do nagomilavanja aditiva između zrna i pojave oblasti bogatih Er ili Yb (sl.6).

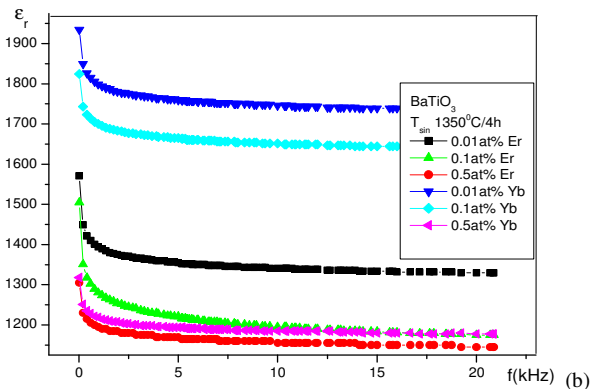
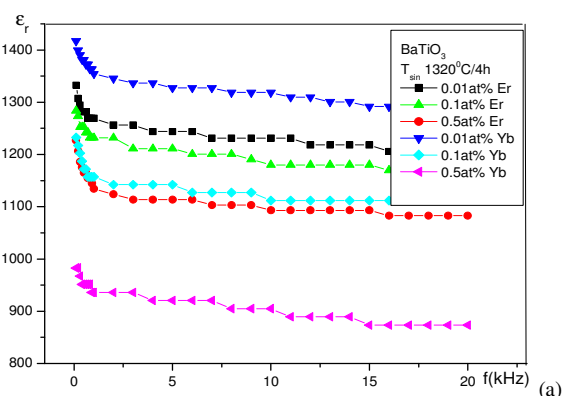


Slika 6. EDS spektar 0.5 at% Er-dopirane BaTiO₃ keramike

Takođe EDS analiza abnormalnih zrna sa domenskom strukturom kod uzoraka dopiranih Er je pokazala da ovakva zrna ne sadrže Er.

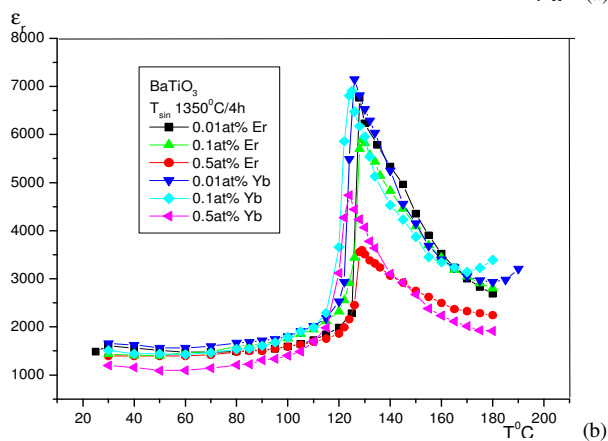
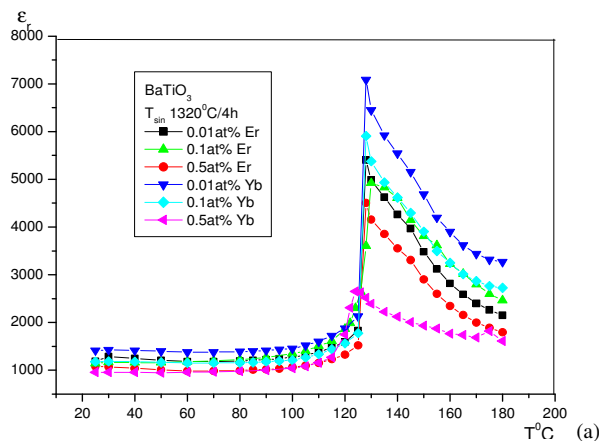
B. Električne karakteristike

Uticaj aditiva i mikrostrukture na dielektričnu konstantu dopirane BaTiO₃ keramike se najbolje može proučavati prateći promene dielektrične konstante sa frekvencijom i temperaturom (sl.7 i 8).



Slika 7. Dielektrična konstanta dopirane BaTiO₃ keramike u funkciji frekvencije a) T_{sin}=1320°C, b) T_{sin}=1350°C.

Za dielektričnu konstantu svih ispitivanih uzoraka karakteristično je da opada sa povećanjem koncentracije aditiva. Takođe, dielektrična konstanta, nakon viših početnih vrednosti na nižim frekvencijama, opada i postiže skoro konstantnu vrednost za frekvencije više od 3kHz. Najvišu vrednost dielektrične konstante ($\epsilon_r=1940$) na sobnoj temperaturi imaju 0.01 Yb/BaTiO₃ uzorci sinterovani na 1350°C. Najniže vrednosti ($\epsilon_r = 1000$) izmerene su kod uzoraka dopiranih sa 0.5 at % Yb i sinterovanih na 1320°C.

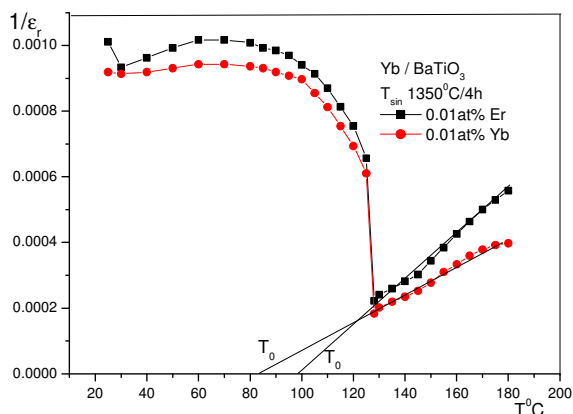


Slika 8. Dielektrična konstanta dopirane BaTiO₃ keramike u funkciji temperature a) T_{sin}=1320°C, b) T_{sin}=1350°C.

Nešto niže vrednosti dielektrične konstante na sobnoj temperaturi koje su karakteristične za uzorke dopirane Er posledica su s jedne strane niže gustine sinterovanja a s druge strane pojave domenske strukture u abnormalnim zrnima.

Zavisnost dielektrične konstante od temperature pokazuje da dielektrična konstanta iznad Kirijeve temperature T_C , odnosno u paraelektričnoj oblasti, sledi Kiri-Vajsov zakon. Za sve ispitivane serije uzoraka, za obe temperature sinterovanja, karakterističan je oštar nagli prelaz iz feroelektrične u paraelektričnu fazu na Kirijevoj temperaturi. Najveću dielektričnu konstantu na sobnoj temperaturi kao i najveću promenu dielektrične konstante sa temperaturom pokazuju uzorci dopirani sa 0.01 at % aditiva za obe serije uzoraka. Sa povećanjem koncentracije dopanata dielektrična konstanta se smanjuje a njena promena u širokom temperaturnom intervalu, od sobne do Kirijeve temperature, je znatno manja. Dielektrična konstanta na Kirijevoj temperaturi za uzorke dopirane sa 0.01 at % aditiva iznosi 6760 za Er/BaTiO₃ i 7200 za Yb/BaTiO₃ za uzorke sinterovane na 1350°C (Tab. 1 i 2).

Kod svih ispitivanih uzoraka došlo je do neznatnog pomeranja Kirijeve temperature T_C ka nižim vrednostima u odnosu na Kirijevu temperaturu nedopirane keramike koja iznosi 131 °C. Izmerene Kirijeve temperature za obe vrste uzoraka iznosile su 126-128 °C.



Slika 9. Recipročna vrednost dielektrične konstante u funkciji temperature za uzorke dopirane sa 0.1 at% aditiva.

Za oblast iznad Kirijeve temperature za sve serije uzoraka može se primeniti Kiri-Vajsov zakon. Fitovanjem krivih zavisnosti recipročne vrednosti dielektrične konstante od temperature (sl.9), izračunata je Kirijeva konstanta i Kiri-Vajsova temperatura za dopirane uzorke i njihove vrednosti date su u Tabelama I i II.

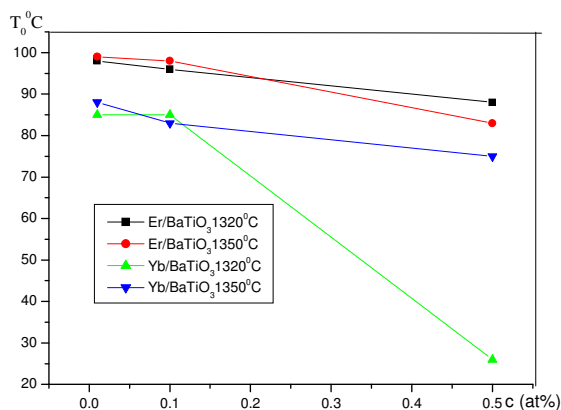
TABELA I. DIELEKTRIČNI PARAMETRI ZA Er/BaTiO₃ UZORKE.

Er u at%	ϵ_r na 300K	ϵ_r na T_C	T_C [°C]	T_0 [°C]	C [K]
0.01-1320°C	1340	5400	127	98	1.93·10 ⁵
0.1-1320°C	1290	4800	127	96	1.46·10 ⁵
0.5-1320°C	1230	4500	128	88	1.24·10 ⁵
0.01-1350°C	1600	6760	126	99	2.89·10 ⁵
0.1-1350°C	1450	5800	127	98	2.59·10 ⁵
0.5-1350°C	1400	3600	127	83	1.45·10 ⁵

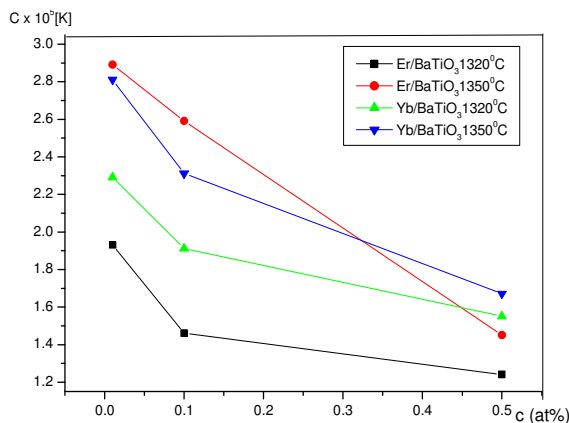
TABELA II. DIELEKTRIČNI PARAMETRI ZA Yb/BaTiO₃ UZORKE.

Yb u at%	ϵ_r na 300K	ϵ_r na T_C	T_C [°C]	T_0 [°C]	C [K]
0.01-1320°C	1420	6460	127	85	2.29·10 ⁵
0.1-1320°C	1230	5900	127	85	1.91·10 ⁵
0.5-1320°C	1000	2700	126	26	1.55·10 ⁵
0.01-1350°C	1940	7200	126	88	2.81·10 ⁵
0.1-1350°C	1820	6900	128	83	2.31·10 ⁵
0.5-1350°C	1300	4700	128	75	1.67·10 ⁵

Sa povećanjem koncentracije aditiva Kiri-Vajsova temperatura T_0 opada za sve serije uzoraka (sl.10). Najniže vrednosti T_0 izmerene su za Yb/BaTiO₃ dopiranu keramiku gde je za uzorke dopirane sa 0.5 at% Yb i sinterovane na 1320°C iznosila $T_0 = 26$ °C. Za uzorke dopirane Er izmerene su više vrednosti T_0 pri čemu je najviša vrednost $T_0 = 99$ °C izmerena je za 0.01Er/BaTiO₃ uzorke sinterovane na 1350°C.



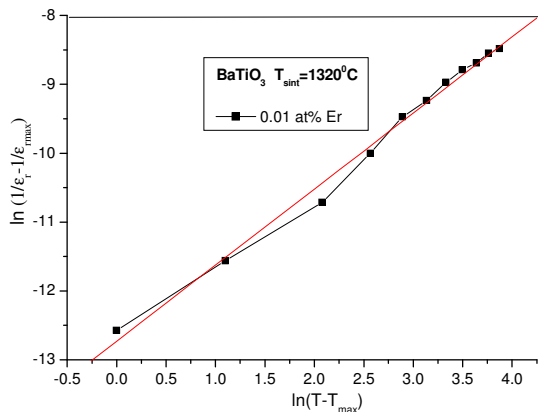
Slika 10. Kiri-Vajsova temperatura T_0 u funkciji koncentracije aditiva.



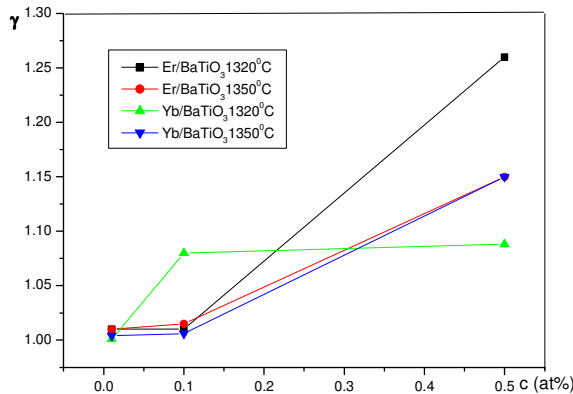
Slika 11. Kirijeva konstanta C u funkciji koncentracije aditiva.

Kirijeva konstanta C (sl. 11) za sve serije ispitivanih uzoraka opada sa povećanjem koncentracije dopanata, tako da najviše vrednosti imaju uzorci dopirani sa 0.01at% aditiva. Ova promena je u skladu sa promenom gustine uzoraka i smanjenjem veličine zrna sa povećanjem koncentracije aditiva. Sa povećanjem temperature sinterovanja vrednost Kirijeve konstante raste za sve serije uzoraka.

Korišćenjem modifikovanog Kiri-Vajsovog zakona [6] i linearnim fitovanjem krivih $\ln\left(\frac{1}{\epsilon_r} - \frac{1}{\epsilon_{r,max}}\right)$ u funkciji od $\ln(T - T_{max})$ odredili smo kritični eksponent nelinearnosti (γ) koji predstavlja nagib krive a grafički prikaz dat je na sl.12.



Slika 12. Zavisnost $\ln\left(\frac{1}{\epsilon_r} - \frac{1}{\epsilon_{r,max}}\right)$ od $\ln(T - T_{max})$ za Er-BaTiO₃



Slika 13. Promena kritičnog eksponenta nelinearnosti γ sa koncentracijom aditiva.

Vrednost kritičnog eksponenta nelinearnosti γ kretala se od 1.0-1.12 za niže koncentracije dopanata što je u skladu sa eksperimentalnim podacima jer je za ove uzorke karakterističan oštri prelaz iz feroelektrične u paraelektričnu oblast što ukazuje na strukturnu faznu promenu. Najizrazitija promena iz feroelektrične u paraelektričnu oblast zapažena je kod 0.01at% Yb dopiranih BaTiO₃ uzoraka za koje je $\gamma \approx 1$. Najmanja promena je primećena kod uzoraka dopiranih sa 0.5at% Er za koje kritični eksponent γ iznosi 1.25 (sl.13).

IV. ZAKLJUČAK

U radu su data uporedna ispitivanja mikrostrukturnih i dielektričnih karakteristika Er₂O₃ i Yb₂O₃ dopirane BaTiO₃ keramike. Pri nižim koncentracijama aditiva obe keramike karakteriše abnormalni rast zrna i veličina zrna koja se kretala od 20-60 μ m za uzorke dopirane Er i od 20 do 35 μ m za uzorke dopirane Yb. Za više koncentracije aditiva (0.5at%) veličina zrna kretala se od 5-15 μ m za obe serije uzorka. Najveću dielektričnu konstantu na sobnoj temperaturi i najveću

promenu dielektrične konstante sa temperaturom pokazuju uzorci sa najnižom koncentracijom aditiva. Dielektrična konstanta Er/BaTiO₃ sa 0.01 at % aditiva iznosi 1600 a za Yb/BaTiO₃ iznosi 1940 na sobnoj temperaturi. Kirijeva temperatura dopiranih uzoraka je 126-128 °C nezavisno od temperature sinterovanja i koncentracije aditiva. Kiri-Vajsova temperatura T_0 i Kirijeva konstanta C opadaju sa povećanjem koncentracije aditiva tako da najviše vrednosti imaju uzorci dopirani sa 0.01 at % aditiva. Vrednost kritičnog eksponenta nelinearnosti γ , kretala se od 1.0-1.12 za niže koncentracije aditiva i do 1.25 za koncentracije 0.5 at % aditiva.

ZAHVALNOST

Istraživanja su deo projekta "Proučavanje medjuzavisnosti u trijadi Sinteza – Struktura - Svojsva za funkcionalne materijale" (Br.142011). Autori se zahvaljuju Ministarstvu za nauku i tehnološki razvoj Republike Srbije.

LITERATURA

- [1] W.Heywang, H.Thomann, "Positive Temperature coefficient resistors", in Electronic ceramics, London and New York, 1991
- [2] G.Arlt, D.Hennings, G.de With, "Dielectric properties of fine grained barium titanate ceramics", J.Appl. Phys. 58 [4], pp.1619-1625, 1985.
- [3] H.Kishi, N.Kohzu, J.Sugino, M.Kato, H.Ohasato, Y.Iguchi, T.Okuda, "The effect of Rare-earth (La, Sm, Dy, Ho and Er) and Mg on the microstructure in BaTiO₃", J.E.Ceram.Soc. vol.19, pp.1043-1046, 1999.
- [4] Lj. Živković, V.Paunović, N. Stamenkov, M. Miljković, "The Effect of secondary abnormal grain growth on the dielectric properties of La/Mn Co-Doped BaTiO₃ Ceramics", Science of sintering, 38 (3), pp.273-281, 2006.
- [5] V.V.Mitic, Z.Nikolic, V.B.Pavlovic, V.Paunovic, M.Miljkovic, B.Jordovic, Lj.Zivkovic, "Influence of rare-earth dopants on BaTiO₃ ceramics microstructure and corresponding electrical properties", Journal of the American Ceramic Society, Vol. 93[1], pp.132-137, 2010.
- [6] V.Kirilov, V.Isupov, "Relaxation polarization of PbMg_{1/3}Nb_{2/3}O₃ (PMN)-A ferroelectric with a diffused phase transition", Ferroelectric 5, pp. 3-9, 1973.

Abstract—In this paper the comparative investigations of Er₂O₃ and Yb₂O₃ doped ceramics have been done regarding the influence of dopant concentration and sintering temperature on the microstructure and dielectric properties of ceramics. Doped BaTiO₃ were prepared using conventional method of solid state sintering at 1320-1350 °C for four hours. The abnormal grain grows with average grain size ranged from 20-60 μ m where characteristic of low doped samples. The highest value of dielectric permittivity at room temperature and the greatest change of permittivity in function of temperature was observed in low doped samples. The dielectric constant at room temperature of 1600 was recorded for 0.01 at % Er/BaTiO₃ and 1940 for 0.01 at % Yb/BaTiO₃. The Curie temperature of doped samples were ranged from 126 to 128°C. The Curie constant for all series of samples decrease with increase of dopant concentration and the lowest values were mesured from samples doped with 0.01 at % of additive.

Keywords- BaTiO₃; rare earth; Curie constant.

The influence of rare-earth ions on properties of doped BaTiO₃ ceramics

Fiber optički senzor za merenje indeksa prelamanja tečnosti

Dragan Stupar, Miloš Slankamenac, Nikola Stojanović, Jovan Bajić, Miloš Živanov

Univerzitet u Novom Sadu, Fakultet tehničkih nauka

Trg Dositeja Obradovića 6, 21000 Novi Sad, Republika Srbija

drstupar@hotmail.com, miloss@uns.ac.rs, stojanovic_nikola_ns@yahoo.com, jovanbajic@gmail.com, zivanov@uns.ac.rs

Sadržaj – U ovom radu opisan je fiber optički senzor za merenje indeksa prelamanja prozirne tečnosti baziran na modulaciji intenziteta. Opisan je eksperiment na osnovu koga su dobijeni senzor i njegova karakteristika. Opisani su i hardver i softver koji se koriste za merenje. Eksperimentalni rezultati pokazuju da senzor ima linearnu zavisnost merenog intenziteta svetlosti od indeksa prelamanja, što je veoma poželjna karakteristika kod svakog senzora.

Ključne reči: fiber optički senzor, indeks prelamanja, tečnost

I. UVOD

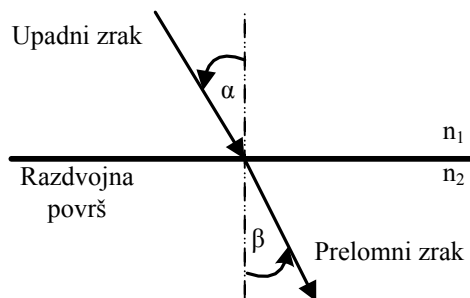
Fiber optički senzori su predmet istraživanja poslednjih 25 godina. Prvi put su demonstrirani pre oko 30 godina [1]. Ranije primene tokom kasnih sedamdesetih i ranih osamdesetih su fokusirane na vojne i avio upotrebe. Fiber optički žiroskopi i akustični senzori su primeri, koji su u širokoj upotrebi danas. Sa porastom popularnosti fiber optičkih senzora osamdesetih, veliki napor je uložan za komercijalizaciju fiber optičkih senzora, posebno senzora na bazi intenziteta. 1990. godine, ubrzan je razvoj tehnologije fiber optičkih senzora baziranih na Bragovoj rešetki (*Fiber Bragg Gratings*, FBG) [2], kao i interferometrijskih niskokoherentnih senzora. Dramatični napredak u polju fiber optičkih senzora načinjen je očekivano i razvojem savremenih informacionih i proizvodnih tehnologija.

II. TEORIJSKA ANALIZA

Za svetlosne talase se uzima da je njihova brzina prostiranja v kroz prozirna tela uvek manja od brzine svetlosti u vakuumu. Odnos brzine prostiranja svetlosti u bezvazdušnom prostoru i u nekoj prozirnoj sredini naziva se apsolutni indeks prelamanja te sredine, i obeležava se sa n [3]. Prema definiciji apsolutni indeks prelamanja uvek je veći od jedan. Kod tečnih rastvora indeks prelamanja je srazmeran koncentraciji rastvora. Za gasove indeks prelamanja je srazmeran pritisku gasa [3].

A. Prelamanje svetlosti

Zakon prelamanja svetlosti je eksperimentalno pokazao Šnel za graničnu površinu vazduh-voda, a Dekart je dao prvu naučnu formulaciju tog zakona pa se zato on naziva Šnel-Dekartov zakon. Na slici 1. prikazani su upadni i prelomni zrak i njihovi uglovi koji se gledaju u odnosu na normalu na razdvojnu površ dve sredine indeksa prelamanja n_1 i n_2 .



Slika 1. Prelamanje svetlosti na razdvojnoj površi dve sredine

Matematička formulacija ovog zakona je:

$$n_1 \cdot \sin \alpha = n_2 \cdot \sin \beta. \quad (1)$$

Šnel-Dekartov zakon pokazuje da je kod prelamanja svetlosti proizvod indeksa prelamanja i sinusa odgovarajućeg ugla invarijantan [3].

B. Totalna refleksija

Zakon prelamanja svetlosti važi za zrake koji nailaze bilo iz optički ređe u optički gušću sredinu ($n_1 < n_2$), bilo iz optički gušće u optički ređu sredinu ($n_1 > n_2$). Posmatrajmo ovaj drugi slučaj prelamanja kada zrak nailazi iz optički gušće u optički ređu sredinu. Kada je $n_1 > n_2$ primenom formule (1) se dobija da je $\beta > \alpha$. Povećanjem upadnog ugla povećava se i prelomni ugao. Upadni ugao za koji je prelomni ugao jednak 90° naziva se kritični ili granični ugao. Kritični ugao dobija se iz formule:

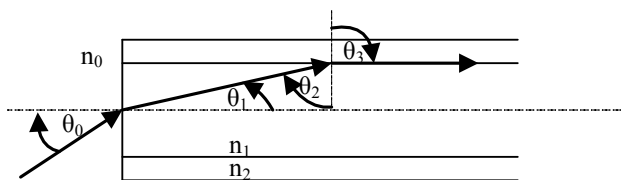
$$\sin \alpha_g = \frac{n_2}{n_1}. \quad (2)$$

Ako je upadni ugao $\alpha > \alpha_g$, onda važi $\sin \beta > 1$, što je nemoguće. Eksperimenti pokazuju da se u tom slučaju zrak odbija i vraća u istu sredinu iz koje je naišao. Ta pojava se naziva totalna unutrašnja refleksija. Totalna unutrašnja refleksija može da nastane samo kada zrak nailazi iz optički gušće sredine u optički ređu sredinu, a nikako obrnuto.

C. Optička vlakna

Primena totalne unutrašnje refleksije koristi se kod prenosa informacija u optičkim vlaknima. Na slici 2. prikazana je struktura dvoslojnog optičkog vlakna.

Ovaj rad je finansijski podržan od strane Ministarstva za nauku Republike Srbije u okviru projekta „Razvoj sistema i instrumenata za istraživanje vode, nafte i gasa” pod brojem TR11006.



Slika 2. Kretanje svetlosnog zraka kroz optičko vlakno sa maksimalnim uglom upadne svetlosti

Struktura dvoslojnog optičkog vlakna ima indeks prelamanja jezgra n_1 i omotača n_2 , pri čemu je $n_1 > n_2$. Indeks prelamanja n_0 je u najčešćem slučaju vazduh dok je u ovom radu taj indeks prelamanja upravo mereni indeks prelamanja tečnosti. Na slici 2. je prikazan granični slučaj za koji još uvek važi totalna unutrašnja refleksija. Maksimalnu vrednost ugla θ_0 , pri kojem na granici jezgro-omotač u vlaknu još uvek dolazi do totalne refleksije, određuje veličina koju nazivamo numeričkom aperturom, i označavamo je sa NA . Numeričku aperturu definišemo relacijom:

$$NA = n_0 \cdot \sin \theta_{0\max} \quad (3)$$

Za ovaj granični slučaj kada je ugao θ_3 jednak 90° , ugao upadne svetlosti ima maksimalnu vrednost za koju važe uslovi totalne unutrašnje refleksije. Numerička apertura zavisi od indeksa prelamanja jezgra i omotača optičkog vlakna i veza između njih je:

$$NA = \sqrt{n_1^2 - n_2^2} \quad (4)$$

III. EKSPERIMENTALNA POSTAVKA

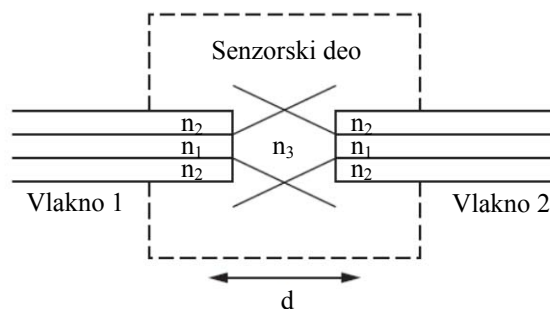
Ekspiriment se zasniva na zakonu prelamanja svetlosti. Sredina čiji se indeks prelamanja meri je u ovom slučaju prozirna tečnost.

A. Princip rada senzora

Realizovan je fiber optički senzor čiji se princip rada zasniva na modulaciji intenziteta kao što je prikazano na slici 3. Sa slike 3. se može uočiti da se za različite tečnosti menja samo indeks prelamanja n_3 , dok su indeks prelamanja vlakna i indeks prelamanja omotača optičkog vlakna konstantni. Usled toga da je numerička apertura optičkog vlakna konstantna, tj. zavisi od indeksa prelamanja jezgra i omotača vlakna, svetlost koja ulazi u drugo vlakno će biti slabijeg ili jačeg intenziteta u zavisnosti od indeksa prelamanja sredine u kojoj se nalazi senzorski deo. Na osnovu podataka o numeričkoj aperturi optičkog vlakna, iz relacije (3) možemo dobiti maksimalni upadni ugao pri kojem u optičkom vlaknu još uvek nastaje totalna refleksija. Sada veza između maksimalnog ugla upadne svetlosti i numeričke aperture može da se izrazi kao:

$$\theta_{\max} = \arcsin \frac{NA}{n_3} \quad (5)$$

Sada ako znamo indeks prelamanja sredine n_3 , i numeričku aperturu optičkog vlakna možemo odrediti θ_{\max} .



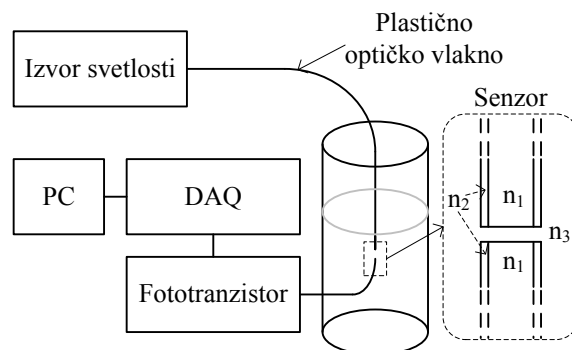
Slika 3. Princip rada senzora za merenje indeksa prelamanja

Gledajući prethodnu formulu uočava se da ako na primer iz vazduha čiji je indeks prelamanja približno jednak 1, prebacimo senzorski deo vlakna u vodu koja ima indeks prelamanja jednak 1.33 ugao θ_{\max} će se smanjiti. S druge strane na prvom vlaknu koje emituje svetlost koja ulazi u drugo vlakno, izlazna svetlost će biti usmerenija što se lako pokazuje pomoću zakona o prelamanju svetlosti (1). Eksperimentalno je potvrđeno da iako se smanjuje maksimalni upadni ugao u drugo vlakno, povećanjem indeksa prelamanja tečnosti izlazna svetlost iz prvog vlakna se bolje usmerava, tj ima užu snop, i na taj način u drugo vlakno, iako se smanjio maksimalni ugao upadne svetlosti, ulaziće više svetlosti.

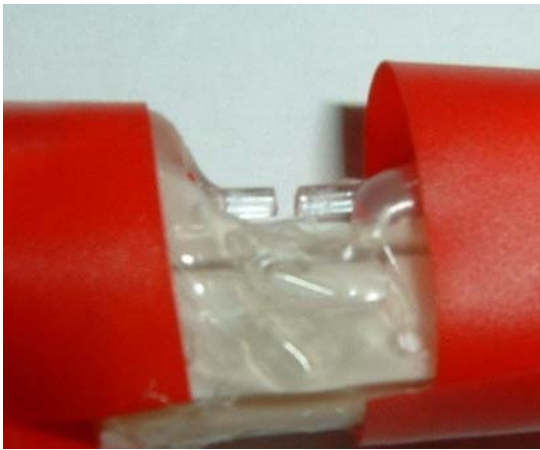
B. Realizacija senzora

Za realizaciju ovog senzora korišćeno je plastično optičko vlakno tipa PMMA-POF (*Polymethyl methacrylate*), prečnika 1 mm. Ovo plastično optičko vlakno je multimodno step indeks optičko vlakno sa prečnikom jezgra od 0.98 mm i omotača 0.02 mm. Indeks prelamanja jezgra ovog vlakna n_1 iznosi 1.492, a indeks prelamanja omotača n_2 iznosi 1.402.

Blok šema senzorskog sistema za merenje indeksa prelamanja prikazana je na slici 4. Kao izvor svetlosti korišćena je crvena LED. Korišćeno optičko vlakno ima najmanje uneseno slabljenje na talasnoj dužini 650 nm, što predstavlja crvenu boju. Fotodetektor je realizovan sa fototranzistorom. LED emituje optički signal koji se ubacuje u plastično optičko vlakno. Optički signal, prolazeći kroz optičko vlakno, dolazi do senzorskog dela gde se u zavisnosti od indeksa prelamanja prozirne tečnosti u koju je senzor ubačen menja intenzitet svetlosti ubačene u drugo vlakno. Na osnovu merenja intenziteta određuje se indeks prelamanja.



Slika 4. Blok šema eksperimentalne postavke



Slika 5. Fizički izgled realizovanog senzora za merenje indeksa prelamanja

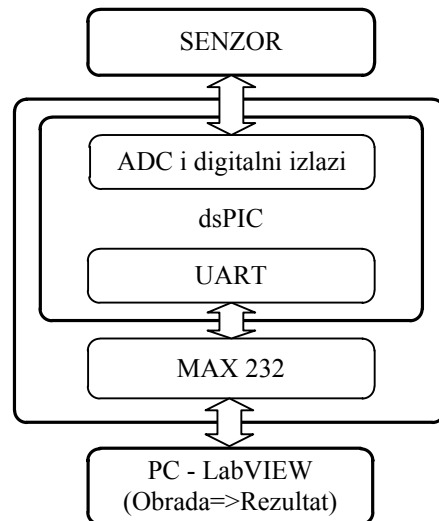
Na slici 5. prikazan je fizički izgled senzora. Razmak između vlakana iznosi 0.9 mm. Vlakna su pričvršćena sa topljenom plastikom kako se usled pomeranja vlakana ili vibracija ne bi stvarala merna greška.

C. Hardverska realizacija sistema

Za ovaj merni sistem napravljena je univerzalna elektronska pločica kako bi merenja bila moguća i sa nekim drugim fiber optičkim sensorima. Ostavljena je mogućnost i da se sem fiber optičkih senzora mogu vršiti merenja i sa optičkim sensorima. Blok šema realizovanog sistema prikazana je na slici 6. Sa slike se vidi da je senzor koji je opisan spojen na srednji blok, koji predstavlja elektroniku. Sa elektronike se podaci šalju na računar gde se obrađuju i prikazuju. U nastavku je opisan srednji blok čije su glavne komponente mikrokontroler, fototranzistor i LED.

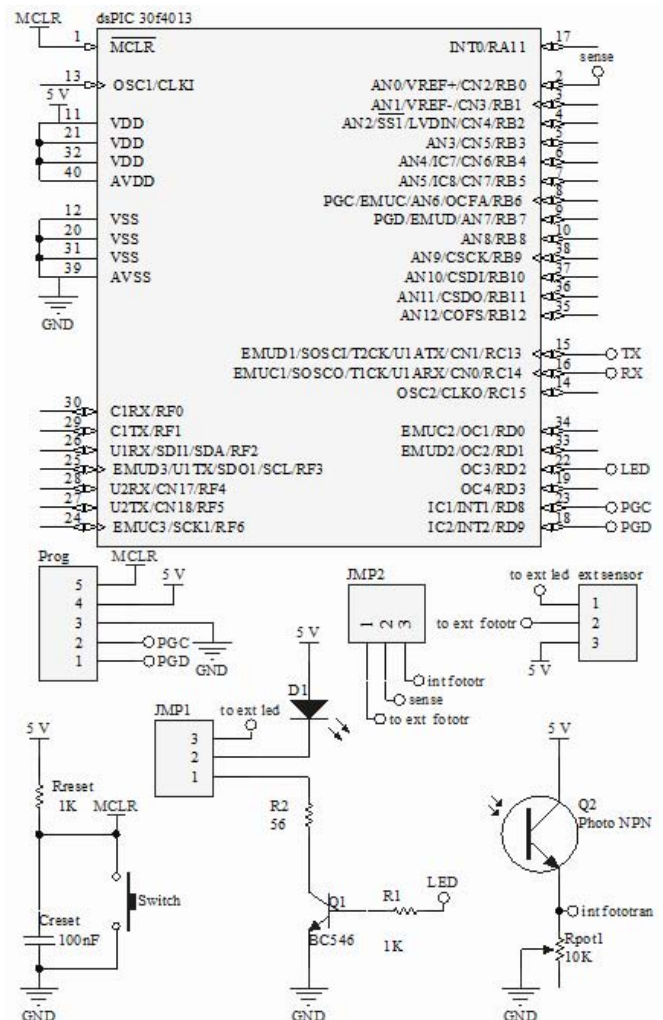
Na slici 7. je data električna šema elektronike senzora (centralni blok sa blok šeme). Ključna komponenta je digitalni mikrokontroler. Odabran je Microchip-ov dsPIC30f4013, koji je po svojim karakteristikama možda i previše za potrebe ovog rada. Izabran je ovaj digitalni mikrokontroler jer ima 12 bitnu AD konverziju. Podešen je da radi sa internim brzim RC (*Fast RC*, *FRC*) oscilatorom na maksimalnoj brzini koja ona iznosi 30 MIPS-a. Na ovaj način izbegnut je eksterni kvarcni oscilator. Otpornik R_{reset} , kondenzator C_{reset} i taster Switch služe za resetovanje digitalnog mikrokontrolera. Reset ovog mikrokontrolera aktivan je na nizak naponski nivo.

Program digitalnog mikrokontrolera pisan je u programskom jeziku C, u razvojnom okruženju MPLAB IDE. Korišćena je studentska verzija Microchip C30 kompajlera. Mikrokontroler generiše impulse frekvencije 50 Hz na pinu RD2. Sa tog pina signal se vodi na tranzistor Q_1 koji pali, ili gasi diodu, u zavisnosti od toga kako mu kontroler da komandu. Izabran je BC 546, jer su njegove strujne mogućnosti dovoljne za LED. Kao idealan izbor za fototranzistor našao se BPW 17. BPW 17 je silicijumski NPN fototranzistor u malom plastičnom kućištu, koji ima uzak ugao gledanja od približno $\pm 12^\circ$. Pogodan je za detekciju optičkog signala u vidljivom i bliskom infracrvenom opsegu. Fototranzistor u zavisnosti od kolektorske struje, stvara određeni pad napona na otpornosti potencijetra R_{pot1} .



Slika 6. Blok šema realizovanog senzorskog sistema

Napon sa potencijetra vodi se na pin RB0 mikrokontrolera, što predstavlja ulaz AD konvertora. AD konverzija se radi u prekidnoj rutini mikrokontrolera.

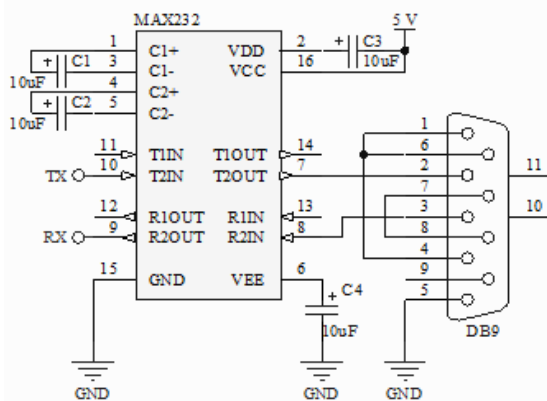


Slika 7. Električna šema realizovanog senzorskog sistema

U prekidnu rutinu se se ulazi mnogo brže nego što je frekvencija rada LED. Takav odnos brzine ulaska u prekidnu rutinu AD konverzije i frekvencije rada LED je izabran da bi digitalni mikrokontroler praktično uvek kada se od njega zatraži imao izračunate vrednosti AD konverzije napona na potenciometru koji zavisi od struje fototranzistora.

Bitne su dve vrednosti napona na potenciometru R_{pot1} , napon kada je LED uključena, i napon kad je LED isključena. Napon na potenciometru kada je LED uključena predstavlja napon usled LED i dnevnog svetla koje unosi veliku grešku prilikom merenja. Kada napon na potenciometru kada je LED isključena oduzmemo od napona na potenciometru kada je LED uključena dobijamo mnogo mirniji signal koji je lakše meriti. Ovakvim oduzimanjem vrednosti napona sa upaljenom LED i sa ugašenom LED odstranjujemo uticaj dnevne svetlosti koja mnogo utiče na grešku kod merenja sa ovakvim senzorom. Na ovaj način uticaj dnevne svetlosti nije potpuno odstranjen, ali ova tehnika uklanjanja dnevnu svetlost u velikoj meri, čime se ipak mnogo dobija. Takva vrednost šalje se na računar preko RS232 komunikacije, gde se primljeni signal u virtualnom instrumentu obrađuje i prikazuje. Komunikacija računara i digitalnog mikrokontrolera je realizovana kao jedna vrsta sinhrona komunikacije. Računar svaki put traži zahtev za podacima, a digitalni mikrokontroler tek kada primi poruku o poslatom zahtevu šalje podatke računaru.

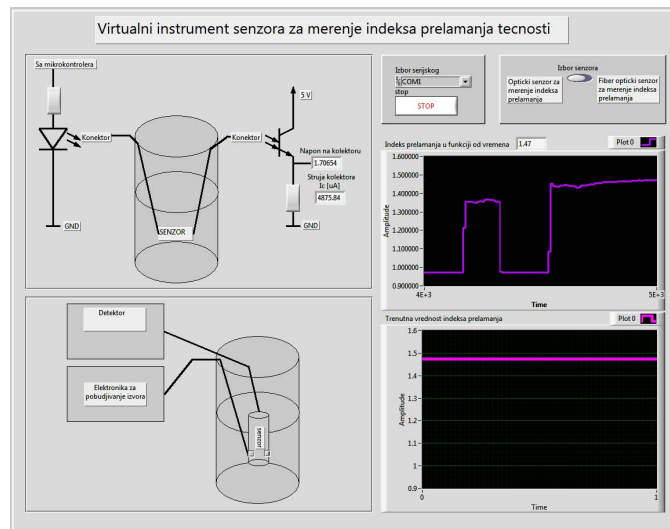
Na šemi sa slike 8. se vidi na koji način je sa kolom MAX232 izvršeno prilagođavanje naponskih nivoa RS232 komunikacije digitalnog mikrokontrolera i računara. Preko RS232 komunikacije ova pločica povezana je na računar, na koji se šalje vrednost AD konverzije gde se podaci dodatno obrađuju u programskom paketu LabVIEW gde se preko realizovanog virtualnog instrumenta ostvaruje veza sa korisnikom senzora. U ovom radu korišćena je trial verzija LabVIEW 2009, sa National Instruments VISA drajverom koji omogućava podršku za RS232 komunikaciju. U nastavku je dat kratak opis realizovanog virtualnog instrumenta.



Slika 8. Elektronika za komunikaciju sa računarem

D. Virtualni instrument

Virtualni instrument napravljen je da prima podatke od digitalnog mikrokontrolera putem RS232 komunikacije, na osnovu zahteva koji šalje virtualni instrument. Na slici 9. prikazan je front panel realizovanog virtualnog instrumenta.



Slika 9. Front panel virtualnog instrumenta

Realizovani virtualni instrument takođe, kao i elektronika senzora nije pravljen samo za potrebe ovog eksperimenta. Virtualni instrument je realizovan kako bi sa njim bila moguća merenja kako sa optičkim tako i sa raznim fiber optičkim senzorima. Pošto RS232 komunikacija podržava prenos podataka širine do 8 bita, a vrednost AD konverzije korišćenog digitalnog mikrokontrolera iznosi 12 bita moralo se i prilikom slanja (na digitalnom mikrokontroleru) i prilikom prihvatanja podataka (u LabVIEW-u) voditi računa o tome.

U programskom paketu LabVIEW program (virtualni instrument) se sastoji iz dva dela, blok dijagrama i front panela. Blok dijagram predstavlja program, dok front panel predstavlja samo „prednju ploču“ instrumenta, preko koje korisnik virtualnog instrumenta može a i ne mora interaktivno učestvovati u izvršavanju programa [4]. Zbog veličine i kompleksnosti blok dijagrama koji je realizovan u ovom radu, on nije ubačen u rad. U narednih par rečenica, ukratko je opisan rad programa u LabVIEW-u.

Rad programa se zasniva na primanju podataka sa RS232 komunikacije i osnovnim matematičkim operacijama putem kojih se došlo do brojnih vrednosti indeksa prelamanja. Nakon prijema podataka od mikrokontrolera, primljena vrednost predstavlja napon na potenciometru, koji je pretvoren u brojnu vrednost pomoću AD konverzije. Ta vrednost se deli sa otpornošću da bi se dobila struja. Kada imamo struju, putem jednačine sa karakteristike dobijamo indeks prelamanja koji ispisujemo na grafu i chartu. Na grafu prikazujemo trenutnu vrednost indeksa prelamanja, dok na chartu prikazujemo indeks prelamanja u funkciji vremena. Virtualni instrument rezultate obrade snima u fajl tabelarnog tipa, u ovom slučaju .xls fajl. U fajl se snima vrednost indeksa prelamanja tečnosti tokom celog merenja. Na osnovu snimljenog fajla nakon merenja možemo odrediti brzinu odziva senzora.

E. Merenje karakteristike senzora

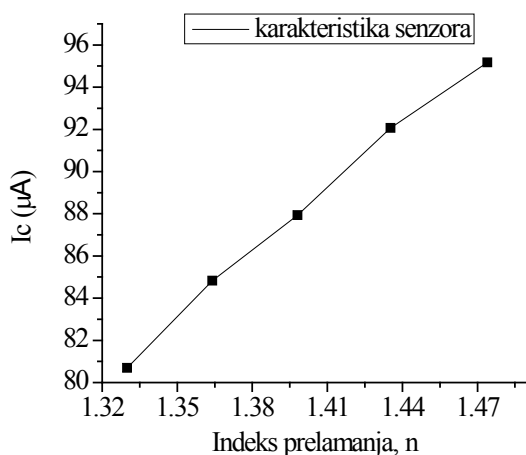
Karakteristika senzora dobijena je eksperimentalnim putem merenjem poznatog indeksa prelamanja tečnosti. Kao referentna tečnost uzet je glicerini čiji indeks prelamanja iznosi 1.47399. Stoprocentni glicerini je mešan sa vodom u

određenom procentu kao bi dobili nekoliko karakterističnih tačaka na osnovu kojih interpoliramo karakteristiku. U tabeli 1. dat je indeks prelamanja za korišćene rastvore glicerina i vode [5]. Treba napomenuti prilikom mešanja rastvora nisu korišćene menzure ili neka pomagala za tačno određivanje zapremine tečnosti, već je merenje zapremine glicerina i vode vršeno je sa malim mericama pa je i to u nekom procentu uticalo na rezultate merenja.

IV. REZULTATI EKSPERIMENTA

Za senzor koji je u ovom radu osmišljen putem eksperimentalne analize došlo se do karakteristike koja je prikazana na slici 10, dok su rezultati merenja sa ranije pomenutim koncentracijama glicerina dati u tabeli 1. Karakteristika senzora u opsegu merenog indeksa prelamanja (od 1.33 – 1.47399) je približno linearna (sl. 10). Data karakteristika senzora predstavlja zavisnost struje kolektora fototranzistora (koja je približno linearno zavisna od intenziteta svetlosti) od indeksa prelamanja.

Možda se samo na osnovu karakteristike čini da je ovaj senzor idealan. U praksi to nije tako. Zbog relativno malog razmaka između vlakana senzor se nakon merenja u gustom tečnosti kao što je glicerol relativno sporo oporavlja, tj. vraća na normalnu vrednost. Dešava se da glicerol nakon merenja ostane između vlakana sve dok se senzor ne opere. Situacija je bolja sa ređim sredinama, mada za rad senzora kakav se očekuje potrebno je posle svakog merenja očistiti senzor, a poželjno je i osušiti ga što mora se priznati nije praktično za senzor ovakve namene. Treba istaći da merenja sa ovakvim senzorom dosta zavise od konektora, koje nismo imali za realizaciju ovog eksperimenta. Ponovljivost senzora je loša baš zbog toga jer i najmanja pomeranja vlakna na spojevima sa izvorom i detektorom dovode do velike promene u merenoj struji, što dovodi do pogrešnog izračunavanja rezultata. Još jedno ograničenje ovog sistema je što ne može da radi na visokim temperaturama. Maksimalna radna temperatura senzora (plastičnog optičkog vlakna) iznosi oko 120 °C.



Slika 10. Eksperimentalno utvrđena karakteristika fiber optičkog senzora za merenje indeksa prelamanja tečnosti

Tabela 1. Zavisnost struje kolektora fototranzistora od indeksa prelamanja tečnosti korišćene prilikom izvođenja eksperimenta

Tečnost	Indeks prelamanja	Ic [µA]
voda (100 %)	1.33	80.69
voda (75 %) + glicerol (25 %)	1.36404	84.83
voda (50 %) + glicerol (50 %)	1.39809	87.93
voda (25 %) + glicerol (75 %)	1.43532	92.07
glicerol (100 %)	1.47399	95.17

V. ZAKLJUČAK

Ovaj rad opravdava sve češću upotrebu fiber optičkih senzora u oblasti istraživanja karakteristika tečnosti. Rezultati koji su dobijeni su zadovoljavajući s obzirom na to da je rađeno bez konektora čije odsustvo mnogo utiče na merenja. Hardverska i softverska podrška realizovanog senzora omogućava praćenje i snimanje merene veličine u realnom vremenu. Realizovanim senzorskim sistemom potpuno automatizovano merimo indeks prelamanja za razliku od tradicionalnih metoda (npr. Abeov refraktometar). Osim za merenje indeksa prelamanja, primena ovakvog senzora može biti u industriji gde je potrebno određivanje procentnog sastava raznih tečnosti.

ZAHVALNICA

Ovaj rad je finansijski podržan od strane Ministarstva za nauku Republike Srbije u okviru projekta „Razvoj sistema i instrumenata za istraživanje vode, nafte i gasa” pod brojem TR11006.

LITERATURA

- [1] Dakin, B.C.a.J.P., „Optical Fiber Sensors“, Artech House, Vols. 3 and 4, 1996.
- [2] Rao, Y.J., „In-fibre Bragg grating sensors“, Meas. Sci. and Technol., 1997.
- [3] Živanov Miloš, „Optoelektronika“, skripta, Novi Sad, 2006.
- [4] Josif Tomić, M.K., Uvod u virtualnu instrumentaciju, WUS Austria, Novi Sad, 2009.
- [5] Sohn, K.R., „Liquid sensors using refractive intensity at the end-face of a glass fiber connected to fiber-Bragg grating“, Sensors and Actuators A: Physical, 2010.

Abstract – This paper describes the fiber optic sensor for measuring the refractive index of transparent liquids, based on intensity modulation. The experiment, by which the sensor and his characteristic are obtained, is also described. Hardware and software used for measurement, are also described. The experimental results show that the sensor has a linear dependance of light intensity, measured by the index of refraction, which is a very desirable characteristic for each sensor.

Keywords: fiber optic sensor, refractive index, liquid

Fiber Optic Sensor for Measurement of Liquids Refractive Index

Fiber optički senzor sile

Jovan Bajić, Miloš Slankamenac, Nikola Stojanović, Dragan Stupar, Miloš Živanov,

Univerzitet u Novom Sadu, Fakultet tehničkih nauka

Trg Dositeja Obradovića 6, 21000 Novi Sad, Republika Srbija

jovanbajic@gmail.com, miloss@uns.ac.rs, stojanovic_nikola_ns@yahoo.com, drstupar@hotmail.com, zivanov@uns.ac.rs

Sadržaj – U ovom radu izložena je realizacija fiber optičkog senzora sile baziranog na promeni intenziteta svetlosti u vlaknu usled njegovog savijanja. Projektovani senzor ima linearnu zavisnost merenih optičkih parametara od promene sile.

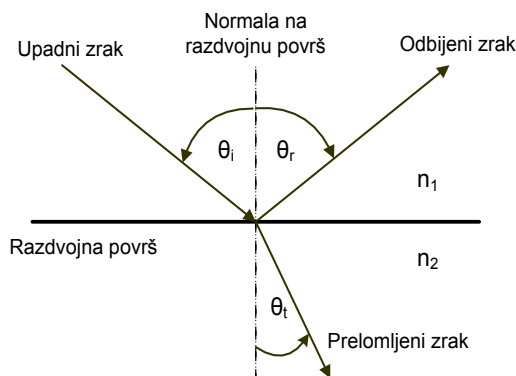
Ključne reči: optički senzor, sila, optičko vlakno

I. UVOD

U poslednje vreme u oblasti sensorike pojavila se jedna nova generacija senzora u usponu. To su fiber optički senzori (FOS) [1]. FOS su senzori koji koriste optičko vlakno bilo kao element za detekciju, ili kao sredstvo za prenošenje signala sa udaljenih senzora na optički ili elektronski procesor signala. FOS postaju sve više rašireni u različitim oblastima primene. Visoka osetljivost, brz odziv i imunost na elektromagnetne smetnje, samo su neke od prednosti koje ih stavljaju ispred drugih vrsta senzora. Pored svega toga oni poseduju jako dobru toleranciju na teške industrijske uslove, kao što su betonski slojevi, morska voda i slično.

II. TEORIJSKA ANALIZA

Na razdvojnoj površini sredina različitih indeksa prelamanja dolazi do prelamanja (refrakcija) i odbijanja (refleksija) svetlosti (slika 1).



Slika 1. Prelamanje i odbijanje svetlosnog zraka na graničnoj površini dve sredine

Deo svetlosnog zraka koji pada pod uglom θ_i u odnosu na normalu na razdvojnu površ prelama se pod uglom θ_t i nastavlja da putuje kroz drugu sredinu, a deo se reflektuje od razdvojne površi pod uglom θ_r u odnosu na normalu [1]. Ako je upadni ugao veći od nekog kritičnog ugla, svetlosni zrak neće preći u drugu sredinu, nego će se odbiti od razdvojne površine i ostaće u materijalu iz kojeg nailazi. Ovaj princip

potpune refleksije omogućuje optičkim vlaknima da provode svetlosni snop.

Fresnelove (*Augustin-Jean Fresnel*) jedanačine daju vezu između snage reflektovanog i prelomljenog zraka [1]. Koeficijent refleksije R predstavlja procenat snage upadnog zraka koji se reflektovao na razdvojnoj površini. Slično refleksiji, koeficijent transmisije T predstavlja procenat snage upadnog zraka koji je prešao u drugu sredinu. Koeficijenti refleksije i transmisije zavise od polarizacije svetlosti. Za s-polarizacionu ravan koeficijent refleksije je:

$$R_s = \left(\frac{n_1 \cos \theta_i - n_2 \cos \theta_t}{n_1 \cos \theta_i + n_2 \cos \theta_t} \right)^2 = \left[\frac{n_1 \cos \theta_i - n_2 \sqrt{1 - \left(\frac{n_1}{n_2} \sin \theta_i \right)^2}}{n_1 \cos \theta_i + n_2 \sqrt{1 - \left(\frac{n_1}{n_2} \sin \theta_i \right)^2}} \right]^2, \quad (4)$$

a za p-polarizacionu ravan koeficijent refleksije je:

$$R_p = \left(\frac{n_1 \cos \theta_i - n_2 \cos \theta_t}{n_1 \cos \theta_i + n_2 \cos \theta_t} \right)^2 = \left[\frac{n_1 \sqrt{1 - \left(\frac{n_1}{n_2} \sin \theta_i \right)^2} - n_2 \cos \theta_t}{n_1 \sqrt{1 - \left(\frac{n_1}{n_2} \sin \theta_i \right)^2} + n_2 \cos \theta_t} \right]^2. \quad (5)$$

Ako je upadna svetlost nepolarizovana tada imamo sledeću relaciju:

$$R = \frac{R_s + R_p}{2}. \quad (6)$$

Koeficijent transmisije se dobija kao:

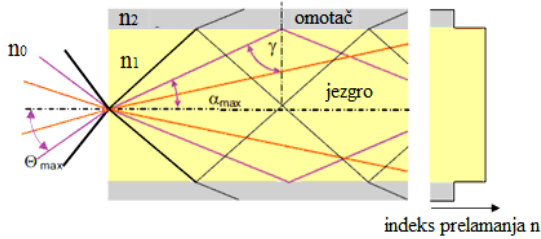
$$T = 1 - R. \quad (7)$$

Optičko vlakno je cilindrična struktura koja se sastoji od dva koncentrična sloja, unutrašnjeg, koji se naziva jezgro, indeksa prelamanja n_1 , i spoljašnjeg, koji se naziva omotač, indeksa prelamanja n_2 (slika 2). Slojevi su načinjeni od stakla ili plastike, a nekad od njihovih kombinacija. Omotač se, radi veće zaštite vlakna, presvlači još jednim slojem od polietilena. Taj spoljašnji sloj se naziva primarna zaštita i nema uticaja na optičke karakteristike vlakna. Da bi se obezbedilo da svetlosni zrak koji uđe u optičko vlakno nastavi da putuje kroz isto neophodno je da bude ispunjen uslov $n_1 > n_2$, kako bi ispod određenog ugla θ_{\max} nastupila totalna refleksija na razdvojnoj površini jezgro-omotač.

Definicija uglova propagacije u optičkom vlaknu u stvarnosti važi samo za pravolinijske talasovode. Dovoljno je samo jedno mesto savijanja talasovoda i neophodan je drugačiji pristup. Uticaj konverzije modova na dodatno slabljenje zavisi pre svega od promene upadnog ugla modova.

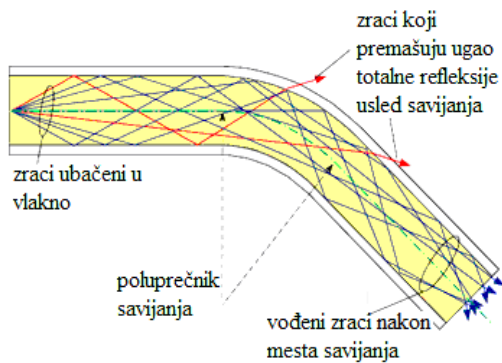
Ovaj rad je finansijski podržan od strane Ministarstva za nauku Republike Srbije u okviru projekta „Razvoj sistema i instrumenata za istraživanje vode, nafte i gasa” pod brojem TR11006.

Prateći Fresnelove jednačine možemo zaključiti da će veće promene upadnog ugla uzrokovati povećano slabljenje.



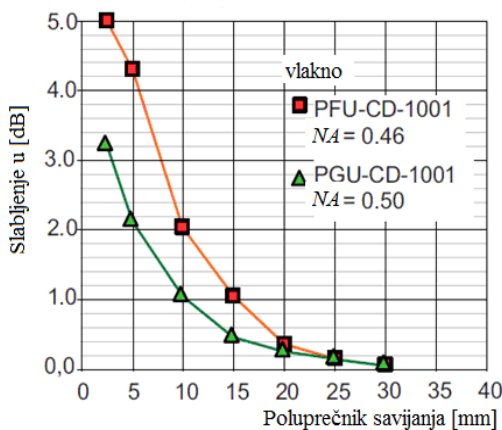
Slika 2. Provođenje svetlosnog talasa unutar optičkog vlakna [2]

Promenom ugla propagacije zraci prelaze ugaon totalne refleksije i vođeni modovi (svetlosni zraci) prelaze u zračće ili modove koji se prostiru kroz omotač vlakna (slika 3). Kao krajnji efekat savijanja optičkog vlakna imamo slabljenje intenziteta svetlosti u vlaknu. Vlakna sa većom numeričkom aperturom imaju manje izražene efekte slabljenja usled savijanja, odnosno imaju veću toleranciju na veličinu (poluprečnik) savijenog mesta. Kvantitativna analiza ovih procesa je veoma složena.



Slika 3. Gubici usled savijanja [2]

Na slici 4 prikazani su grafici slabljenja svetlosti u vlaknu usled savijanja u zavisnosti od poluprečnika savijanja vlakna [2].



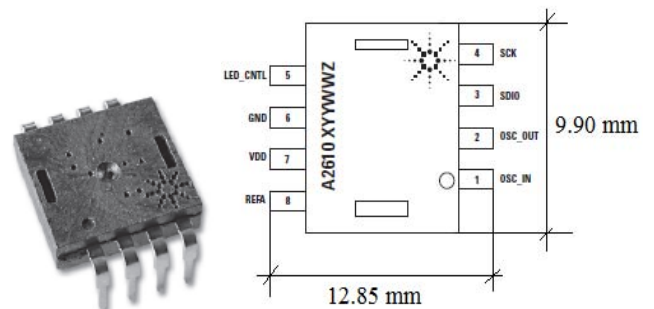
Slika 4. Slabljenje svetlosti u vlaknu usled savijanja u zavisnosti od poluprečnika savijanja [2]

III. EKSPERIMENTALNA POSTAVKA

U ovom radu korišćeno je PMMA (Polimetilmetakrilat) optičko vlakno. Ovo vlakno pokazuje najmanje slabljenje za svetlost na talasnoj dužini od oko 650 nm, što predstavlja crvenu boju [2, 3]. Upravo zbog toga, kao izvor svetlosti za optičko vlakno u ovom radu koristi se crvena LED dioda. U toku izvođena eksperimenata pokazalo se da dnevna svetlost utiče na tačnost merenja. S tim u vezi, LED dioda je konfigurisana da radi u impulsnom režimu rada kako bi se eliminisao uticaj dnevnog osvetljenja. Na taj način uticaj dnevnog osvetljenja se javlja kao jednosmerna komponenta signala i može se jednostavno odstraniti iz ukupnog signala.

Za detekciju svetlosti na izlazu iz optičkog vlakna korišćen je senzor ADNS-2610 (slika 5). Ovakvi senzori se koriste u današnjim optičkim miševima za računare. ADNS-2610 omogućuje preciznu detekciju promene intenziteta svetlosti (što je od ključnog značaja u ovom radu). Osnovne karakteristike ovog senzora su: napon napajanja je 5V, ima digitalni izlaz kompatibilan sa I²C serijskim protokolom, ima preciznu i pouzdanu detekciju promene intenziteta svetlosti, itd. Takođe, senzor poseduje najveću osetljivost upravo za izabranu crvenu svetlost, što predstavlja dodatnu pogodnost.

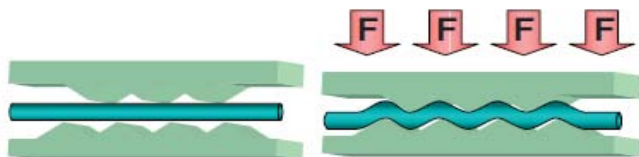
ADNS-2610 senzor funkcioniše slično CMOS kameri. Naime, poseduje matricu piksela (18x18) i meri osvetljenost svakog od piksela. Senzor sadrži nekoliko registara koji se mogu adresirati i čitati. Na adresi 0x07 nalazi se registar Pixel_Sum u kome se nalazi podatak o prosečnoj osvetljenosti svih piksela. Upravo ovaj registar je korišćen za detekciju promene intenziteta svetlosti na izlazu optičkog vlakna.



Slika 5. ADNS-2610 senzor

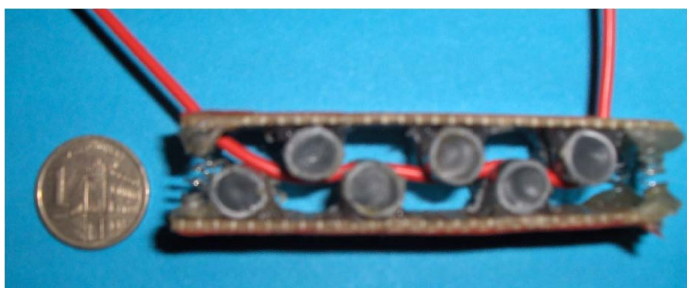
Na slici 6 prikazana je realizovana šema uređaja za kontrolu LED diode i akviziciju podataka sa senzora. Centralna komponenta ovog uređaja je 20-pinski mikrokontroler ATTINY2313. Osnovne karakteristike ovog kontrolera su: 2KB programska memorija, 128B RAM, ISP programiranje, serijska UART komunikacija, serijska I²C komunikacija itd. ISP programiranje i serijska UART komunikacija omogućava jednostavno programiranje kontrolera i proveru ispravnosti rada sistema (debugovanje). Njegova uloga je da kontroliše rad LED (impulsni ili kontinualni režim rada). Preko I²C magistrale preuzima informacije o intenzitetu svetlosti od detektora svetlosti i preko serijske komunikacije prosleđuje podatke računaru.

Osnovni princip fiber optičkog sile prikazan je na slici 10.



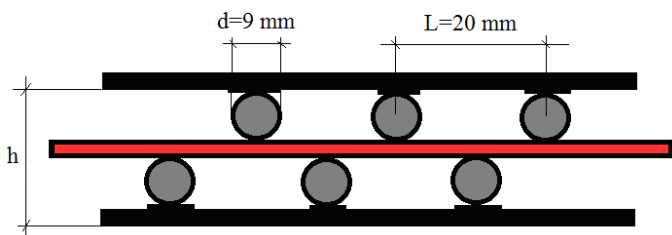
Slika 10. Osnovni princip fiber optičkog senzora sile [2]

Vlakno je postavljeno između dve paralelne obloge, na koje su nanoseni žljebovi. Kada nema nikakve spoljašnje sile (slika 10 levo) vlakno je ispravljeno i tada imamo maksimalno provođenje svetlosti. Kada se senzor optereti dolazi do savijanja optičkog vlakna na žljebovima nanešenim na obloge (slika 10 desno), a samim tim i do slabljenja svetlosti koja se prostire kroz vlakno [2, 4]. Sa porastom primenjene sile, raste i slabljenje svetlosti prouzrokovano savijanjem na žljebovima obloga. Ubacivanjem elastičnih opruga koje će se protiviti smanjenju rastojanja između obloga možemo kontrolisati opseg merenja sile. Korišćenjem jačih opruga dobićemo senzor za merenje većih sila i obrnuto. Dakle, opseg merenja sile zavisice od jačine korišćenih opruga.



Slika 11. Fotografija realizovanog senzora sile

Na slici 11. prikazana je fotografija realizovanog senzora, a na slici 12 skica senzora sa označenim dimenzijama žljebova i rastojanjem između obloga (d je prečnik žljebova, L je rastojanje između njih i h je rastojanje između obloga senzora).



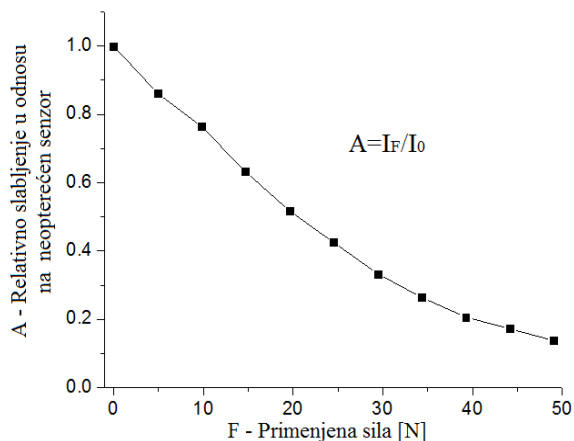
Slika 12. Skica realizovanog senzora sile

Maksimalno rastojanje h kada senzor nije opterećen iznosi 18 mm, a minimalno rastojanje kada su obloge maksimalno približene je 12 mm.

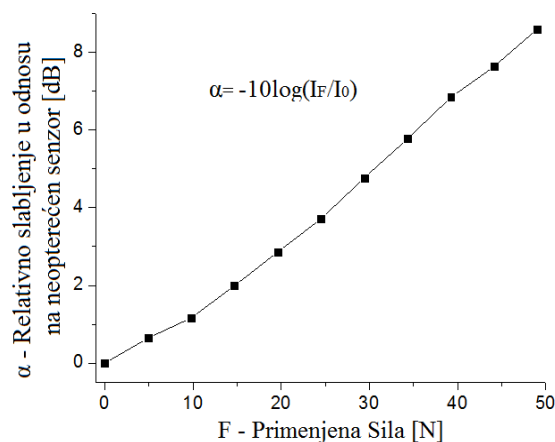
Na slici 13 dato je relativno slabljenje svetlosti opterećenog senzora u odnosu na neopterećen u zavisnosti od primenjene sile, a na slici 14 data je ista zavisnost izražena u dB.

Na slici 12 i 14, I_0 je intenzitet svetlosti na izlazu pravog vlakna, a I_F intenzitet svetlosti na izlazu opterećenog vlakna, pri opterećenju F . Na slici 14 zapaža se da je zavisnost

približno linearna, što je jedna od najpoželjnijih karakteristika senzora.



Slika 13. Relativno slabljenje svetlosti u zavisnosti od primenjene sile



Slika 14. Relativno slabljenje svetlosti u zavisnosti od primenjene sile izraženo u dB

V. ZAKLJUČAK

U ovom radu prikazana je realizacija fiber optičkog senzora za merenje sile. Prikazano je kako na jednostavan način se može realizovati jedan takav senzor. Realizovani senzor pokazuje opseg slabljenja od oko 9 dB pri opsegu opterećenja od oko 50 N i sve to na samo 5 mm promene rastojanja između obloga senzora. Postavljanjem opruga različite jačine izloženi senzor može se konfigurisati za merenje različitih opsega opterećenja.

ZAHVALNICA

Ovaj rad je finansijski podržan od strane Ministarstva za nauku Republike Srbije u okviru projekta „Razvoj sistema i instrumenata za istraživanje vode, nafte i gasa” pod brojem TR11006.

LITERATURA

- [1] Crisp, J., "Introduction to Fiber Optics". 2nd ed. Gillingham, 2001.
- [2] Ziemann O., Krauser J., Zamzow P. E., Daum W., "POF Handbook- Optical Short Range Transmission Systems". 2nd ed. Berlin, 2008

- [3] Zubia, J. and J. Arrue, "Plastic Optical Fibers: An Introduction to Their Technological Processes and Applications". Bilbao, 2006.
- [4] Thompson, B.J., "Fiber Optic Sensors". 2nd ed. New York, 2008.
- [5] Tomić, J. i Kušljević M., "*Uvod u Virtualnu Instrumentaciju*". 2009, Novi Sad.

Abstract – In this paper, realization of fiber optic force sensor based on change of light intensity caused by fiber bending is presented. Projected sensor has a linear dependence of optical parameters measured by changes in force.

Keywords-component: optical sensor, force, optical fiber

Fiber Optic Force Sensor

Induktivni senzori dodira u PCB tehnologiji

Ljubomir M. Vračar, Zoran D. Prijčić, Aneta P. Prijčić, Dušan V. Vučković

Katedra za mikroelektroniku
Univerzitet u Nišu, Elektronski fakultet
Niš, Srbija

ljubomir.vracar@elfak.ni.ac.rs, zoran.prijcic@elfak.ni.ac.rs, aneta.prijcic@elfak.ni.ac.rs, d.vuckovic85@elfak.rs

Sadržaj – U radu su opisani dizajn i praktična realizacija tastature za upotrebu u industrijskim uređajima. Tastatura je zasnovana na induktivnim senzorima dodira, a realizovana je standardnim tehnološkim postupcima koji se koriste u izradi štampanih ploča, što je čini ekonomičnom za masovnu proizvodnju.

Ključne reči – induktivni senzori; senzori dodira; tastature; štampane ploče

I. UVOD

Kapacitivni senzori dodira, kao alternativa mehaničkim tasterima, poznati su već nekoliko decenija. U masovnoj upotrebi su se pojavili kao zamena za mehaničke prekidače za osvetljenje gde se ubrzo uvideo njihov veliki potencijal. Jednostavniji su i jeftiniji za masovnu industrijsku proizvodnju od mehaničkih prekidača, a pri tome su veoma pouzdani pri radu. Takođe, dizajnerima dozvoljavaju veliku slobodu izbora veličine i oblika tastera. S obzirom da nemaju pokretnih mehaničkih delova, omogućavaju projektovanje dizajna otpornog na vlagu i prašinu, što je od velikog značaja za industrijsku primenu.

S druge strane, kapacitivni senzori dodira poseduju i više značajnih ograničenja:

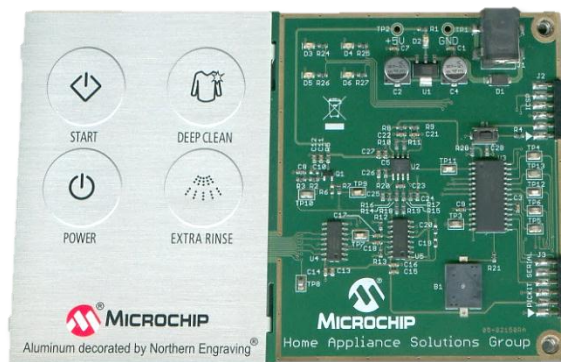
- U slučaju dizajna sa više od jednog tastera, standardni kapacitivni senzori dodira ne mogu imati metalnu prednju masku. Razlog za to je što prednja maska predstavlja jednu od obloga kondenzatora samog senzora te, u slučaju da je u celosti izrađena od metala, praktično kratko spaja sve tastere i time onemogućava detektovanje pritisnutog tastera.
- Prisustvo povećane vlage u vazduhu i kapljica vode na površini senzora može izazvati lažna očitavanja.
- Kako kod standardnih kapacitivnih senzora dodira sam korisnik (odnosno prst kojim se senzor dodiruje) predstavlja jednu od obloga senzorskog kondenzatora, neophodan je dobar električni kontakt sa prednjom maskom senzora. To u praksi znači da će očitavanja senzora u mnogome zavisiti od površine oblasti koja se dodiruje, kao i to da je gotovo nemoguće detektovati dodir ukoliko korisnik nosi rukavice.
- Nemoguće je implementirati *Braille*-vu azbuku za osobe sa slabijim vidom jer svaki dodir aktivira senzor.

Iz svega navedenog jasno je da kapacitivni senzori dodira, iako poseduju brojne prednosti u odnosu na mehaničke tastere, imaju niz ozbiljnih ograničenja, pogotovu kada je reč o industrijskoj primeni.

U ovom radu je prikazano jedno rešenje tastera za industrijsku primenu koje se zasniva na primeni induktivnih senzora dodira i time prevazilazi deo prethodno nabrojanih ograničenja. U drugoj sekciji je opisan osnovni princip rada induktivnih senzora dodira, kao i kompletne tastature. Rešenje koje je realizovano u standardnoj tehnologiji štampanih ploča (PCB), što ga čini ekonomičnim za masovnu proizvodnju, opisano je u trećoj sekciji.

II. INDUKTIVNI SENZORI DODIRA

Jedno od mogućih rešenja navedenih problema koji se javljaju u upotrebi kapacitivnih senzora je 2008. godine predstavila kompanija Microchip, a početkom 2010. godine u slobodnoj prodaji našlo se i razvojno okruženje iste firme (Sl. 1). Zapravo radi se o senzorima koji reaguju na veoma blagi pritisak, pre nego na dodir.

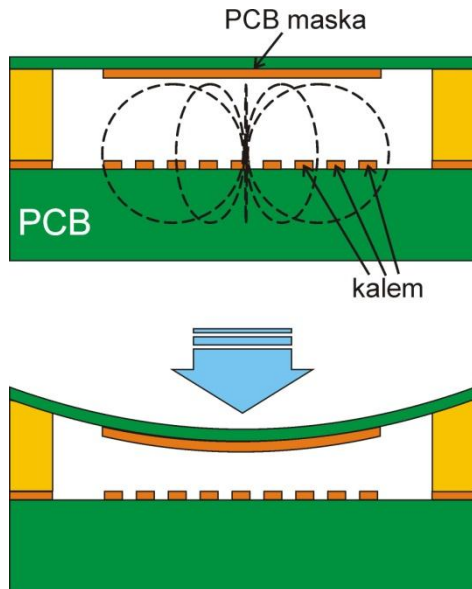


Sl. 1 Microchip®-ovo razvojno okruženje za induktivne senzore dodira.

Već na prvi pogled na ovo razvojno okruženje može se primetiti da je prilikom njegovog dizajna akcenat bio na primeni u industriji i kućnim aparatima. Okruženje je podeljeno na dva dela: levi deo predstavljaju sami induktivni senzori, dok je desni deo okruženja rezervisan za mikrokontroler i integrisana kola neophodna za rad ovog sistema.

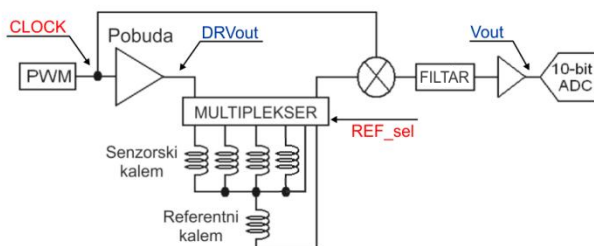
Pojednostavljen princip rada induktivnih senzora dodira je sledeći: u PCB tehnologiji izrađeni su štampani kalemovi iznad kojih se na izvesnom odstojanju nalazi provodna maska (Sl. 2). Provodna maska može biti od specijalno obrađenog aluminijuma, kao što se vidi na Sl. 1. Međutim, ovaj rad

uvodi provodnu masku izrađenu u standardnoj PCB tehnologiji.



Sl. 2 Poprečni presek i princip rada induktivnih senzora dodira.

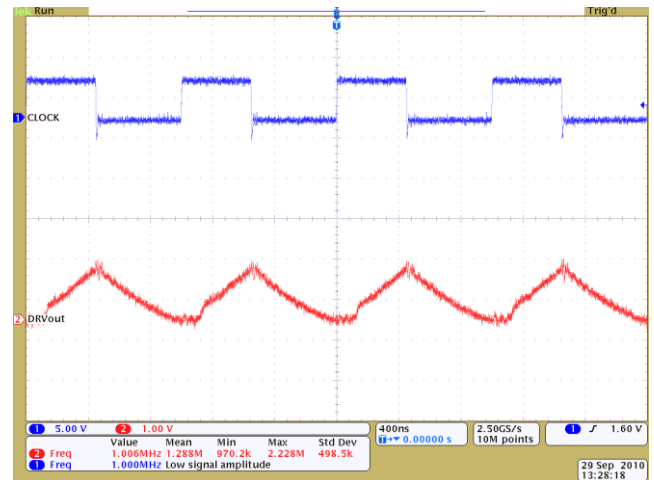
Pritiskajući taster korisnik smanjuje rastojanje između kalema i provodne maske i time povećava impedansu kalema. Relativno jednostavno merno kolo prikazano na Sl. 3 može se koristiti da bi se detektovala ova promena impedanse [2].



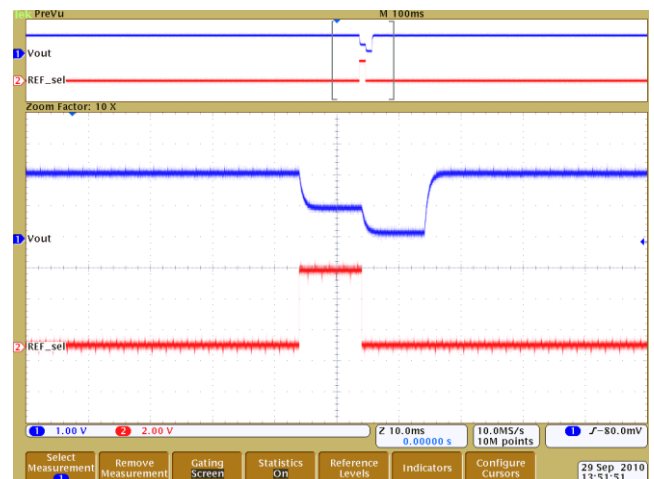
Sl. 3 Principijelno kolo za merenje impedanse induktivnih senzora dodira.

Kalemovi se pobuđuju pravougaonim naponskim impulsima učestanosti reda megaherca (1–4 MHz, zavisno od dizajna tastera). Kao oscilator iskorišćen je PWM modul samog mikrokontrolera, čiji se naponski signal pravougao-nog talasnog oblika dodatno pojačava u cilju pobude kale-mova relativno male omske otpornosti (2–4 Ω). Mikrokontroler upravlja i analognim multiplexerom koji ovaj signal dovodi do pojedinačnih senzora (tj. kalemova). Dalje, signal sa senzora se uvodi u frekventni mikser, filter i pojačavač ka A/D konvertoru mikrokontrolera. Izmereni napon na ulazu A/D konvertora proporcionalan je impedansi senzora. Sl. 4 prikazuje talasni oblik napona ulaznog PWM signala (na slici označen kao 1 CLOCK) i izlaznog signala iz pobudnog kola za kalemove (2 DRVout). Sl. 5 prikazuje oblik napona na A/D konvertoru (1 Vout) i kontrolnog signala za izbor referentnog kalema (2 REF_sel). Prikazani talasni oblici snimljeni su osciloskopom TEKTRONIX MSO 4034.

Kako bi se pojednostavio i automatizovao proces kalibracije senzora, pored četiri senzora namenjenih za tastere postoji i peti koji predstavlja referentni senzor. Na ovaj način eliminišu se varijacije u proizvodnji, kao i eventualna dugoročna odstupanja signala koja se mogu pojaviti usled plastične deformacije materijala ili promene temperature okoline.



Sl. 4 Talasni oblici ulaznog PWM signala (1 CLOCK) i izlaznog signala iz pobudnog kola za kalemove (2 DRVout).



Sl. 5 Talasni oblici napona na AD konvertoru (1 Vout) i kontrolnog signala za izbor referentnog kalema (2 REF_sel).

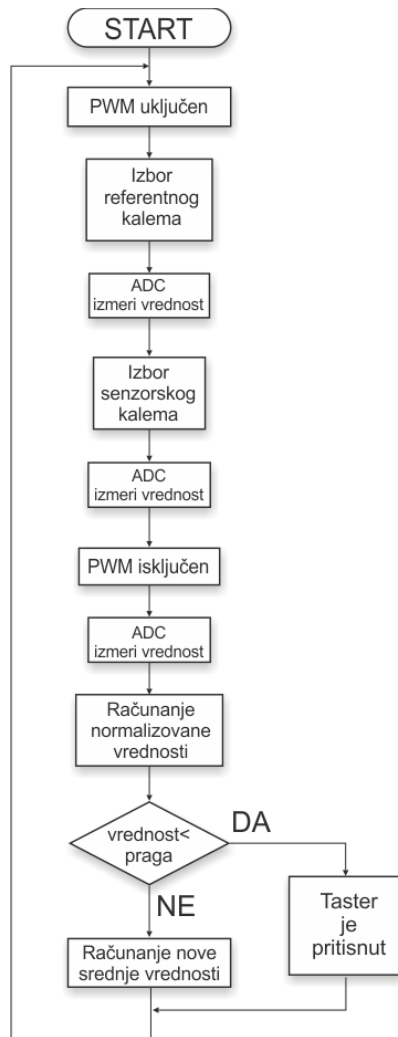
U cilju smanjenja cene, složenosti i fizičkih dimenzija prikazanog sistema Microchip je nedavno na tržište plasirao integrisano kolo koje predstavlja ekvivalent prikazane šeme za merenje impedanse (*analog front end*). Kolo MCP2036 objedinjuje pobudno kolo za kalemove, frekventni mikser, filter i izlazni analogni pojačavač [5]. Dizajneri sistema koji koriste ovo integrisano kolo treba dodatno da projektuju analogni multiplexer.

Za rad ovog sistema neophodan je program napisan za mikrokontroler. Zadatak programa je da upravlja pobudom za senzore, kontroliše multiplexer, meri dobijene napone i odlučuje o aktiviranju senzora.

Merenje impedanse senzora se odvija u dva koraka: u prvom koraku meri se amplituda DC signala na referentnom

kalemu, a zatim, u drugom koraku na senzorskom kalemu. Odnos ove dve vrednosti predstavlja normalizovanu vrednost impedanse senzorskog kalema. Na ovaj način eliminiše se uticaj napona napajanja, trajne promene impedanse senzorskog kalema usled plastične deformacije maske, kao i uticaj temperature na strukturu senzora. Ukoliko je prisutna AC komponenta u naponu napajanja, njen uticaj će biti podjednak na senzorski i referentni kalem, tako da će ovom metodom biti poništen.

Pojednostavljen algoritam toka programa prikazan je na Sl. 6, pri čemu se uočavaju prethodno opisani koraci u postupu detekcije pritiska na tastere. Treba napomenuti da ovaj program koristi relativno odstupanje od srednje vrednosti impedanse tastera kada on nije pritisnut i na taj način dodatno doprinosi stabilnosti celog sistema.

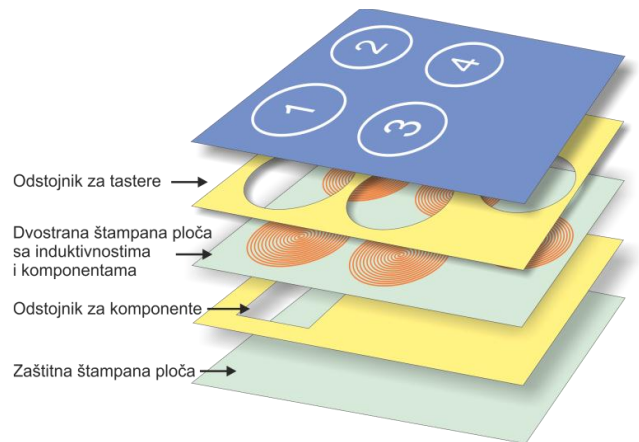


Sl. 6 Pojednostavljen algoritam toka programa u mikrokontroleru.

III. REALIZACIJA INDUKTIVNIH SENZORA DODIRA U PCB TEHNOLOGIJI

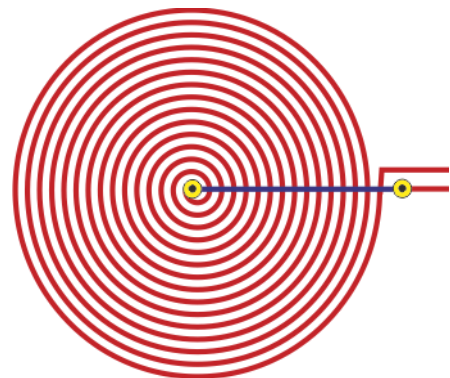
U cilju jednostavne, jeftine i industrijske proizvodnje tastatura sa induktivnim sensorima dodira razvijen je nov, inovativan dizajn. Dizajn se zasniva na upotrebi standardnih procesa u proizvodnji štampanih ploča, čime se izbegava

upotreba skupe metalne maske sa Sl. 1. Pored toga, mikrokontroler, kolo za merenje impedanse i ostale prateće elektronske komponente integrišu se u samu štampanu ploču tastature, čime se ona pretvara u modul spreman za ugradnju u odgovarajuće uređaje. Konstrukcija tastature po slojevima prikazana je na Sl. 7.



Sl. 7 Prikaz pojedinih slojeva korišćenih za konstrukciju induktivne tastature.

Senzorski kalemovi se nalaze na gornjoj strani štampane pločice debljine 0.71 mm, sa debljinom bakarnog sloja od 17 μm . Prečnik kalema je 25 mm, a njegov izgled je dat na Sl. 8. Izmerena induktivnost kalema nakon izrade ove pločice je oko 15 μH , a merenje je vršeno LCR metrom Agilent 4284A. Inače geometrija kalema može biti i drugačija, na primer kvadratna.

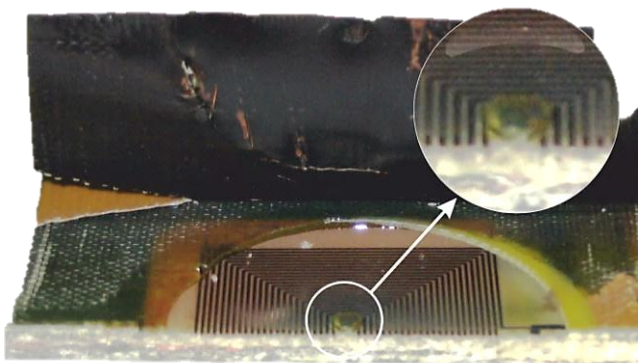


Sl. 8 Izgled pojedinačnog kalema u PCB tehnologiji.

Iznad pločice sa sensorima nalazi se pločica debljine 0.39 mm koja služi kao odstojnik i nosač za poslednju pločicu – masku. Maska je izrađena od pločice debljine 0.25 mm kako bi bila dovoljno fleksibilna.

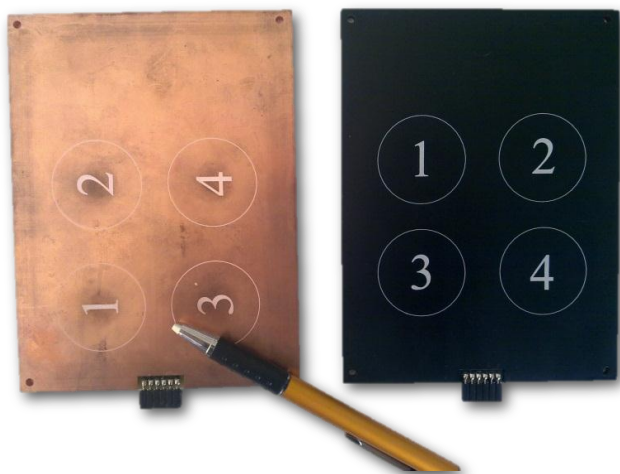
Pri razvoju tehnologije za izradu tastature bilo je potrebno savladati određena ograničenja. Naime, kako se za lepljenje slojeva koristi prepreg male viskoznosti može doći do njegovog curenja kroz viu koja prolazi kroz centar kalema. Time se stvara “stubić” koji se praktično ponaša kao odstojnik i onemogućava pravilno funkcionisanje tastera (Sl. 9).

Ovo se može izbeći urezivanjem odvodnog kanala za višak preprega oko kritičnog dela kalema.



Sl. 9 Fotografija unutrašnjih slojeva tastature koja ilustruje tehnološki problem prekomernog razlivanja preprega u okolini centralne vie kalema.

Realizovana induktivna tastatura prikazana je na Sl. 10. Gornja bakarna folija predstavlja oklop i važan je deo elektromagnetne zaštite tastature. Nagrizanje ove površine izvršeno je samo u okolini priključnih konektora.



Sl. 10 Induktivne tastature izradene u PCB tehnologiji.

Takođe, u cilju poboljšanja elektromagnetne zaštite cele tastature dodata je još jedna štampana ploča sa donje strane. Ona predstavlja oklop i unutrašnjim viama je vezana na masu sistema. Iz istog razloga je gornji sloj maske viama vezan na masu. Na kraju, cela tastatura je prevučena crnom

zaštitnom bojom koja se inače koristi kao solder maska i koja ima i dekorativnu ulogu. Oznake tastera su odštampane fotolitografskim postupkom. Treba napomenuti da je varijacijom standardnih tehnoloških postupaka u izradi štampanih ploča (promena zaštitne boje, hemijska pozlata, itd.) moguće ostvariti i dekorativne efekte po želji korisnika.

U toku eksploatacije ove tastature ustanovljeno je da je ugibanje prednje maske od svega 0.1 mm dovoljno za pouzdano detektovanje pritisnutog tastera, što je odgovaralo pritisku od oko 2 N. Kako je projektovani hod ove pločice maksimalno 0.39 mm, nisu primećene plastične deformacije u toku eksploatacije.

IV. ZAKLJUČAK

U ovom radu opisan je princip rada induktivnih senzora dodira. Posebna pogodnost ovih senzora u poređenju sa klasičnim kapacitivnim sensorima ogleda se u mogućnosti njihovog rada čak i kada korisnik nosi rukavice ili kada se nalaze u vlažnom okruženju. U cilju jednostavne industrijske proizvodnje razvijen je metod za izradu ovih senzora u potpunosti koristeći tehnologiju štampanih ploča. Kao dodatna pogodnost prikazanog metoda, integrisana kola neophodna za rad ovih senzora moguće je ugraditi u procesu proizvodnje unutar slojeva štampane ploče. Time se postiže znatno veća pouzdanost sistema, otpornost na vlagu i prašinu, a pogodno dizajnirani slojevi štampane ploče služe kao elektromagnetna zaštita za ceo sistem.

ZAHVALNICA

Rad je realizovan u okviru projekta TR-11018, finansiranog od strane Ministarstva nauke i tehnološkog razvoja Republike Srbije i preduzeća „Ei-PCB Factory“ iz Niša.

LITERATURA

- [1] *Inductive Touch Software Design*, Application Note AN1241, Microchip, 2008.
- [2] *Inductive Touch Hardware Design*, Application Note AN1237, Microchip, 2008.
- [3] *Inductive Touch Sensor Design*, Application Note AN1239, Microchip, 2008.
- [4] *mTouch™ Inductive Touch User's Guide*, Application Note, Microchip, 2009.
- [5] *MCP2036 Inductive Sensor Analog Front End Device*, Datasheet, Microchip, 2009.

Novi visokokvalitetni 70,455 MHz filtri za primenu u modulima za komunikacije u rudnicima

Dragi Dujković, Irini Reljin, Branimir Reljin
Elektrotehnički fakultet u Beogradu
Beograd, Srbija
dragi@etf.rs

Snežana Dedić-Nešić, Lenkica Grubišić
Institut Mihajlo Pupin
Beograd, Srbija
snezana@piezo.imp.bg.ac.rs

Sadržaj— Novi kristalni filtri za primenu u modulima za komunikacije u rudnicima su opisani u ovom radu. Oni se ističu po svojim visokim performansama u pogledu amplitudske karakteristike i karakteristike grupnog kašnjenja, kao i po svom širokom temperaturnom radnom opsegu. Filtri su na centralnoj frekvenciji od 70,455 MHz i imaju relativno slabljenje manje od 1dB na propusnom opsegu od 12 kHz. To su novi proizvodi koji se ističu svojom konkurentnošću na domaćem i stranom tržištu.

Ključne reči— filtri; kristalni filtri; kristalna jedinka; rudnici; moduli za komunikacije

I. UVOD

Realizovan je novi tip visokokvalitetnih kristalnih filtara za primenu u modulima za komunikacije u rudnicima uglja. Urađen je projekat filtara koji obezbeđuju ispunjenje postavljenih zahteva u pogledu toka amplitudske karakteristike i karakteristike grupnog kašnjenja u radnom temperaturnom opsegu od -40°C do $+70^{\circ}\text{C}$.

Bilo je neophodno ostvariti što veće slabljenje u nepropusnom opsegu filtra i sprečiti prisustvo neželjenih rezonancija u nepropusnom opsegu filtra. Ovo je ostvareno odgovarajućim rasporedom komponenata na štampanoj ploči, odgovarajućim redom filtra odnosno brojem kristalnih jedinki i odabirom optimalnog prečnika kristalne jedinice koji daje najpovoljnije rezultate u pogledu neželjenih rezonancija [1].

Filtar centralne frekvencije 70,455 MHz obezbeđuje u propusnom opsegu relativno slabljenje manje od 1 dB u frekventnom opsegu od 7 kHz i slabljenje veće od 60 dB izvan frekventnog opsega od 40 kHz. U opsegu frekvencija, izvan ± 300 kHz, relativno slabljenje je veće od 70 dB a na ± 450 kHz je veće od 80 dB.

Minimalno pogonsko slabljenje filtra je manje od 4 dB. Izobličenje grupnog kašnjenja u propusnom opsegu je manje od 50 μs . Ulazna i izlazna otpornost filtra iznose 50 Ω . Radni temperaturni opseg filtra je -40°C do $+85^{\circ}\text{C}$. Temperaturni opseg skladištenja je -50°C do $+85^{\circ}\text{C}$. Filtar je smešten u kućište dimenzija (40x20x11)mm. Postupak proizvodnje primenjen u realizaciji ovih filtara može da se uvede u proces proizvodnje svih tipova kristalnih filtara koji imaju stroge zahteve u pogledu zagarantovanog nivoa slabljenja u nepropusnom opsegu i u pogledu strogo definisanog toka amplitudske i fazne karakteristike u propusnom opsegu.

Korisnici ovih filtara su pre svega Institut Mihajlo Pupin, kao proizvođač kristalnih filtara i kristalnih jedinki, i drugi

proizvođači telekomunikacionih uređaja za civilne i vojne primene u zemlji i inostranstvu [1-7].

II. STANJE U SVETU

U mnogim oblastima vojnih i civilnih primena prisutna je potreba za kristalnim filtrima sa strogo definisanim zahtevima kako u pogledu električnih karakteristika, karakteristika amplitude, faze i grupnog kašnjenja, tako i u pogledu klimomehaničkih karakteristika.

Ovi zahtevi se kreću u širokim granicama kako u pogledu centralne frekvencije filtra, širine propusnog opsega, toka amplitudske i fazne karakteristike u propusnom opsegu, selektivnosti filtra tako i u pogledu unapred definisanih zahteva vezanih za vibracije, udare, potrese, temperaturu, pritisak, vlagu i mnoge druge specifične zahteve u zavisnosti od primene.

Da bi filtar imao karakteristike koje omogućavaju ispunjenje svih postavljenih zahteva potreban je odgovarajući projekat filtra i realizacija koja se odvija na osnovu tehnološke procedure koja iz tog projekta proizilazi. Projektom filtra definišu se i zahtevi koje mora da ispuni kristalna jedinka koja se u filtar ugrađuje i od koje u najvećoj meri zavise karakteristike filtra. Samo mali broj svetskih proizvođača pruža mogućnosti realizacije filtara na osnovu specifičnih zahteva korisnika. Veći je broj proizvođača koji svoju proizvodnju zasnivaju na izradi serijskih, kataloških tipova filtara.

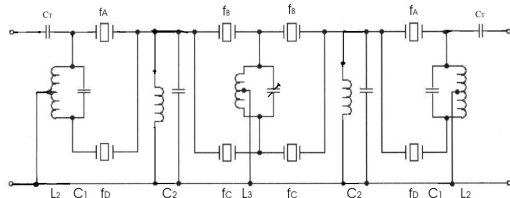
U svetu se malo proizvođača bavi ovom tehnologijom, jer je to veoma zahtevan proces u pogledu razvoja kristalnih jedinki i razvoja samih filtara, a sa druge strane ovi proizvodi se prave u malim serijama i zbog toga je njihova cena visoka. Ovakvi filtri spadaju u *Custom design* proizvode, pa se praktično dizajniraju po pristigloj porudžbini, a to zahteva visokokvalitetnu i obrazovanu radnu snagu. Pored mogućnosti jeftinijeg razvoja elektronskih sklopova, Institut Mihajlo Pupin ima i sopstveni razvoj kristalnih jedinki, što dodatno pojeftinjuje proizvodnju ovog proizvoda [7].

III. TEHNOLOŠKI POSTUPAK REALIZACIJE KRISTALNIH FILTARA 70.455 MHz

Urađen je projekat filtara čije su liste tehničkih podataka date tabelom 1. Polazna tačka u projektovanju bio je izbor aproksimacije koja će omogućiti ostvarenje postavljenih zahteva u pogledu frekvencijskih karakteristika filtra – toka amplitudske karakteristike u propusnom i nepropusnom opsegu i karakteristike grupnog kašnjenja u propusnom opsegu filtra.

Sledeći, vrlo važan korak, bio je izbor parametara kristalne jedinice koja će biti ugrađena u filter.

Kristalna jedinica ima presudan uticaj na karakteristike filtera pa od izbora kristalne jedinice, zavisi da li će se ostvariti postavljeni zahtevi. U slučaju ovog tipa filtera pogrešan izbor kristalne jedinice doveo bi do pojave neželjenih, sporednih rezonancija u filteru zbog kojih ne bi bio ostvaren zahtev u pogledu zagarantovanog slabljenja u nepropusnom opsegu.



Slika 1. Električna šema kristalnog filtera 70.455 MHz

Naredni korak u projektovanju ovih filtera bio je određivanje rasporeda komponenata na štampanoj ploči koja će se uklopiti u zadate dimenzije kućišta za filtre, sagledavanje uticaja parazitnih kapacitivnosti koje potiču od štampane ploče i sagledavanje realnih vrednosti kalemova, njihovih realnih vrednosti induktivnosti i Q faktora. Unapred uzimajući u obzir gubitke koji se u mreži očekuju urađeni su proračuni ovih filtera, određene njihove električne šeme i definisani zahtevi za kristalne jedinice, videti sliku 1 [2-5].

Na osnovu urađenih projekata realizovani su filteri, slika 2, koji pokazuju slaganje sa teorijskim modelima. Rezultati ispitivanja filtera na sobnoj temperaturi i u radnom temperaturnom opsegu od -40°C do $+70^{\circ}\text{C}$ pokazuju da filteri ispunjavaju zahteve navedene u listi tehničkih podataka [1-6].



Slika 2. Realizovani kristalni filteri 70.455 MHz.

IV. KRISTALNA JEDINKA

Projektom su definisani zahtevi za kristalne jedinice. Realizacija uzoraka kristalnih jedinica je u potpunosti sprovedena na osnovu preliminarne liste tehničkih podataka za kristale.

LISTA TEHNIČKIH PODATAKA ZA KRISTALE ZA FILTER 70.445MHz

- | | | |
|----|-------------|---|
| 1. | Kućište | CW-HC-45 |
| 2. | frekvencija | f1=70442.027kHz
f2=70457.718kHz
f3=70444.308kHz |

- | | | |
|-----|--------------------------|---|
| 3. | Q-faktor | f4=70455.436kHz
>100000 |
| 4. | dinamička kapacitivnost | C1=0.37mpF±10% |
| 5. | paralelna kapacitivnost | Co=1pF±5% |
| 6. | dinamička otpornost | R1<60Ω |
| 7. | podešenost | df/f=±10ppm |
| 8. | odstupanje | df/f=±20ppm |
| 9. | starenje | df/f=1ppm/god |
| 10. | radni temperaturni opseg | -40÷+85°C |
| 11. | neželjene rezonancije | A. fo +80kHz – bez fn
B. fn>35dB, fo ±1MHz |

U projektovanju kristalne jedinice vodilo se računa o odabiru elektrode ($d=1.14\text{mm}$ i $d=1.22\text{mm}$) i debljini nanetog filma. S obzirom da se radi o tankim filmovima kao elektrodi material korišćen je aluminijum, što predstavlja novu tehnologiju. Podešavanje frekvencije je hemijsko u sodi (maksimalno odstupanje posle grupnog neparavanja -35kHz) i anodnom oksidacijom (max $+60\text{kHz}$) uz formiranje stabilnog filma Al_2O_3 . Sve kristalne jedinice su posle grupnog neparavanja i cementiranja stajale na vazduhu 24h radi formiranja stabilnog prirodnog oksidnog sloja. Uobičajena kristalna jedinica je planparalelna (PP) prečnika $\Phi=5$ I5.5mm.

Međutim za frekvenciju 70.455 MHz mora se ići na veći prečnik pločice zbog ostvarivanja zahteva za Q-faktor. Iz istog razloga je korišćeno CW-kućište (u vakuumu). U proizvodnji se vodilo računa o planparalelnosti. Dozvoljen je samo jedan interferentni krug i to na ivici pločice. Razlog su položaj i potisnutost sporednih rezonancija [1-7].

Tehnološki postupak izrade kristalnih filtera

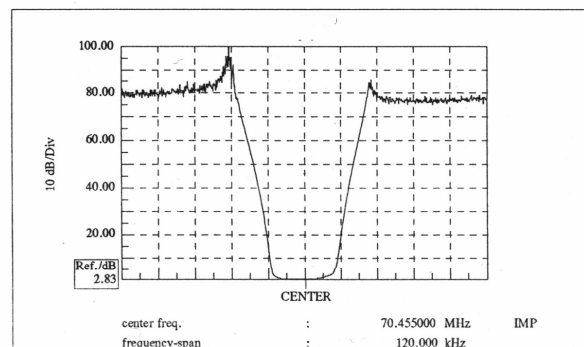
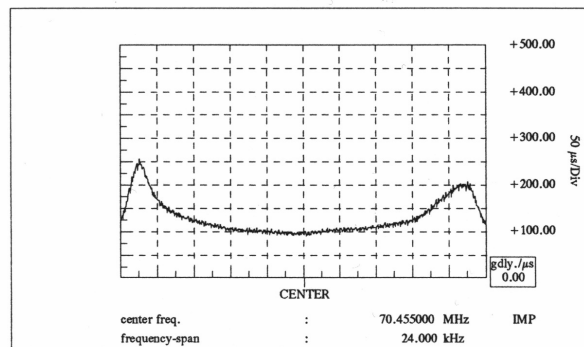
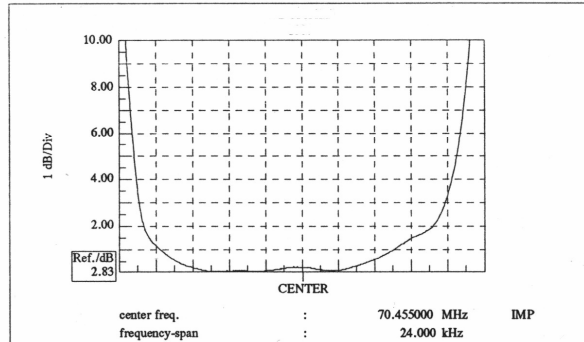
- Projekat filtera
- Kompletiranje komponenata za filtre
- Montaža kristala i komponenata na štampanu ploču i pranje
- Montaža štampane ploče na podnožje kućišta
- Podešavanje filtera
- Pranje, zalivanje i sušenje
- Temperaturno cikliranje filtera
- Kontrola i podešavanje filtera
- Zatvaranje filtera
- Provera električnih karakteristika posle zatvaranja
- Popravka filtera ukoliko je potrebno
- Ispitivanje filtera

U tabeli 1 su prikazane osnovne tehničke karakteristike filtera 70.455 MHz za komunikacije u rudnicima.

Filter je smešten u standardno CW-HC-45 kućište koje je prikazano na slici 4.

FILTER - TEST RECORD

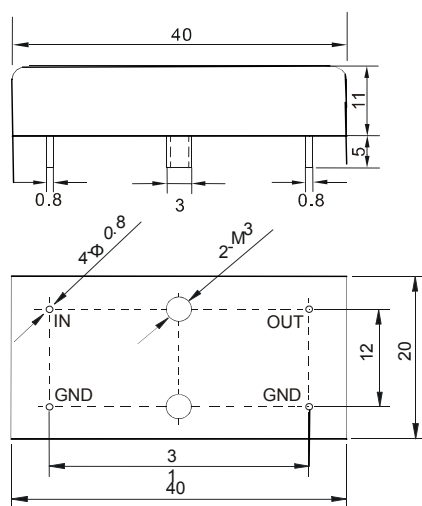
1. nominal centre freq. fc : 70.455000 MHz
 2. delta fc : -625 Hz
 3. bandwidth at 1.0 dB : 17.941 kHz
 w.r.t. fc : -9.596 kHz +8.346 kHz
 4. ripple : 0.20 dB in fm +/- 6.000 kHz
 5. transducer attenuation : 2.8 dB
 6. attenuation at fc : 3.0 dB
 7. stop bandwidth at : 60.0 dB
 at fc : - 17.738 kHz + 18.532 kHz
 8. ultimate attenuation >= : 79.9 dB
 from : 70.000000 MHz to 70.415000 MHz
 >= : 80.3 dB
 from : 70.495000 MHz to 70.910000 MHz



Slika 3. Rezultati merenja filtra 70.455 MHz na sobnoj temperaturi

TABLA I. TEHNIČKE KARAKTERISTIKE FILTRA 70.455 MHz

Centralna frekvencija	70.455 MHz \pm 1.0 kHz
Širina propusnog opsega na 1 dB	\pm 6.0 kHz na 25°C
Talasnost u propusnom opsegu	1 dB max za \pm 6.0 kHz
Širina nepropusnog opsega na 50 dB	\pm 20 kHz max
Relativno slabljenje u nepropusnom opsegu	70 dB min za \pm 300 kHz
Relativno slabljenje na \pm 1024 kHz	80 dB min
Minimalno pogonsko slabljenje	4 dB max
Izobličenje grupnog kašnjenja	50 μ s za \pm 6.0 kHz
Ulazna impedansa	50 Ω
Izlazna impedansa	50 Ω
Izobličenje grupnog kašnjenja	50 μ s za \pm 2.5 kHz
Radni temperaturni opseg	-40 °C do +85 °C
Temperaturni opseg skladištenja	-55 °C do +85 °C



Slika 4. Kućište CW-HC-45 filtra 70.455 MHz

V. ZAHVALNICA

Istraživanja opisana u ovom radu su delimično finansirana od strane Ministarstva za nauku i tehnološki razvoj Republike Srbije, kroz projekat „Razvoj elektronskih sklopova za posebne namene na bazi kristalnih jedinki“, ev. broj 11039.

ZAKLJUČAK

Pored realizacije visokokvalitetnog filtra, za ovaj projekat je razvijena i nova visokokvalitetna kristalna jedinka. Ovi kristalni filtri predstavljaju novi proizvod, jer su korišćene nove tehnologije i nove komponente.

Ovi proizvodi imaju širok dijapazon primena i veliku upotrebnu vrednost i ističu se svojom cenom i svojim kvalitetom, tako da su konkurentni ne samo na domaćem tržištu već i u celom svetu. Najčešća primena ovih filtara je u komunikacionim uređajima u rudnicima.

Navedene karakteristike i konkurentnost na svetskom tržištu daju perspektivu razvoju novih elektronskih sklopova i proizvoda na bazi kristalne jedinice.

U daljem razvoju ovih i sličnih uređaja treba ići na usvajanje novih tehnologija izrade kristalnih jedinki i upotrebe novih i kvalitetnijih komponenti u kolu elektronskih sklopova novih uređaja.

REFERENCE

- [1] Snežana Dedić-Nešić “Prilog projektovanju kristalnih filtara sa linearnom faznom karakteristikom” Magistarska teza, Elektrotehnički fakultet Beograd, 1991.
- [2] A.I.Zverev: “Handbook of Filter Synthesis” John Wiley and Sons, Inc, 1967
- [3] L. Weinberg: “Network Analysis and Synthesis” Mc. Graw - Hill Company, Inc. 1962
- [4] D. S. Humpherys “The Analysis, Design and Synthesis of Electrical Filters” Prentice Hall, Englewood Clifs, N.J. 1970.
- [5] H. J. Blinichkoff, A. I. Zverev “Filtering in the Time and Frequency Domains” John Wiley and Sons, Inc, 1976
- [6] R. Horvat “Sinteza električnih mreža” Naučna knjiga, Beograd, 1970
- [7] Snežana Dedić-Nešić, Dragi Dujković, Lenkica Grubišić, Irini Reljin, Branimir Reljin “Novi visokokvalitetni 90.1105 MHz filtri za komunikacije u rudnicima” Conf. ETRAN 2010, Proceedings CD, Donji Milanovac, 7-10 Juna 2010

Abstract – Novel crystal filters for communications in mines are described in this paper. Those filters have high performance in amplitude and group time delay characteristics, and very wide temperature working range. They have 70.455 MHz central frequency, and they have better than 1dB relative attenuation on 12 kHz bandwidth. Emphasizes its low prices and great characteristics, so this is a new product that is competitive in domestic and foreign markets.

Keywords-filters; crystal filters; crystal unit; mines; moduls for mines communication

New high performance filters on 70.455 MHz filters for mines communication

Novi visokokvalitetni kristalni oscilator DOCXO 10 kompenzovan sa dvostrukom pećnicom

Dragi Dujković, Irini Reljin, Branimir Reljin
Elektrotehnički fakultet u Beogradu
Beograd, Srbija
dragi@etf.rs

Snežana Dedić-Nešić, Lenkica Grubišić
Institut Mihajlo Pupin
Beograd, Srbija
snezana@piezo.imp.bg.ac.rs

Sadržaj—U radu je opisan novi visokokvalitetni kristalni oscilator na 10MHz, koji se primenjuje za GPS (global positioning system) sinhronizaciju u PLL petlji (phase locked loop). Ovi oscilatori su bazirani na kompenzaciji promene frekvencije oscilatora pomoću stabilne temperature kristalne jedinice koja se nalazi u stabilisanoj pećnici. To su takozvani Oven Controlled Crystal Oscillator ili skraćeno OCXO. Ovaj oscilator koristi dvostruku pećnicu, jednu za stabilizaciju temperature kristalne jedinice, a drugu za stabilizaciju temperature ostatka kola. Ističe se svojom niskom cenom i odličnim karakteristikama, pa je to poboljšani proizvod koji je konkurentan na domaćem i inostranom tržištu. Ovaj rad je praktično deo rezultata projekta, koji se odvija već dve godine.

Ključne reči—kristalni oscilator; GPS; PLL; OCXO; fazni šum, stabilnost oscilovanja

I. UVOD

Tehnologija izrade visokokvalitetnih kristalnih oscilatora sa veoma dobrim karakteristikama stabilnosti i faznog šuma, bazirana je na bitnom unapređenju postojeće tehnologije izrade oscilatora u Institutu Mihajlo Pupin, kao i na razvoju potpuno novog i kvalitetnijeg kristalnog oscilatora, zasnovanog na stabilizaciji frekvencije pomoću kristalne pećnice (oven controlled crystal oscillator OCXO) [1,2]. U okviru ovog projekta razvijena je nova visokostabilna kristalna jedinica i novi oscilator OCXO 10P, koji zadovoljava sve zahteve projekta [3].

U projektu se zahteva razvoj oscilatora, za upotrebu u digitalnoj televiziji, sa sledećim karakteristikama u pogledu faznog šuma: $\leq -80\text{dBc}$ (pri odstupanju frekvencije 1Hz); $\leq -110\text{dBc}$ (10Hz); $\leq -135\text{dBc}$ (100Hz); $\leq -135\text{dBc}$ (1kHz); $\leq -145\text{dBc}$ (10kHz); $\leq -145\text{dBc}$ (100kHz). Pored faznog šuma zahtevana je velika kratkoročna stabilnost oscilacija bolja od $\pm 10^{-10}$ u toku dana, kao i dugoročna stabilnost $\pm 10^{-7}$ u toku godine [3,4].

Međutim, postoji potreba za kvalitetnijim oscilatorima u pogledu faznog šuma i stabilnosti oscilovanja. Da bi se ovo postiglo poboljšan je proizvedeni oscilator dodavanjem još jednog modula, koji služi za stabilizaciju temperature celog elektronskog sklopa oscilatora. Taj modul je takozvana eksterna ili druga pećnica, tako da se ovaj oscilator zove DOCXO 10 (slovo D znači double), što znači kristalni oscilator sa kompenzacijom pomoću dvostruke pećnice. Ovaj

oscilator je nastao kao unapređenje dosad razvijenih kristalnih oscilatora na 10 MHz, koji su nastali u okviru ovog projekta [3,4].

Kao što je poznato, kristalna jedinica se stabilizuje na temperaturi oko $78^\circ \pm 3^\circ \text{C}$, i to daje stabilnu temperaturu oscilovanja kristalne jedinice, međutim fazni šum i stabilnost takođe zavise i od ostalih elektronskih komponenti. Kod njih se takođe zahteva temperaturna stabilizacija ambijenta u kome se nalaze, jer temperatura direktno utiče na šum pojedinačnih elektronskih komponenti. Ali postoji problem u tome što ostala elektronika oscilatora može pouzdano da radi do maksimalne temperature od 65°C i samim tim ne može da se koristi postojeća pećnica kao za kristalnu jedinku. Za tu svrhu je razvijena eksterna pećnica koja greje ceo oscilator OCXO 10P na stabilnu temperaturu od 55°C .

Ovo je tip proizvoda koji u proizvodnji zahteva visokotehnološke postupke, i dobro obučenu i visoko kvalifikovanu radnu snagu. U Institutu Mihajlo Pupin postoje sve predispozicije, kao i znanje i iskustvo potrebno za ovakav proizvod. Ovde je obezbeđeno bitno poboljšanje postojećeg proizvoda dodavanjem druge pećnice, i to bez potrebe za promenom tehnologije proizvodnje, sa malim intervencijama u okviru postupka proizvodnje i dobijanje praktično još jednog proizvoda.

Poboljšanja ovog proizvoda se ogledaju u boljoj vrednosti faznog šuma i stabilnosti oscilacija oscilatora. Međutim, konstrukcijom druge pećnice povećane su dimenzije i potrošnja oscilatora. Dodavanjem novih komponenti je povećana i cena proizvoda. Problem je i to što je smanjen i radni temperaturni opseg ovog proizvoda, jer ne može da radi na temperaturi većoj od eksterne pećnice. Može se zaključiti da ovaj proizvod svoju vrednost može pokazati tamo gde se traže strožiji kriterijumi u pogledu kvaliteta oscilacija i faznog šuma [3,4].

Ovaj oscilator se koristi kao lokalni oscilator za sinhronizaciju uređaja, i to tamo gde se traže visoki parametri u pogledu odstupanja frekvencije i nivoa faznog šuma. Obično se koristi u PLL petljama (phase locked loop) kao što je to slučaj kod GPS (global positioning system) sinhronizacije. Pored ove namene najčešće se koristi kao vremenska baza za merenja vremena (časovnici, precizni tajmeri i dr.), ili kao osnovni oscilator kod sintetizatora frekvencija, mada može imati i razne druge primene. U okviru ovog projekta je ovaj oscilator namenjen za korišćenje u digitalnoj televiziji [1-7].

Postignuto je:

- **Novi tip oscilatora** na bazi OCXO, bez velike promene u procesu proizvodnje.
- **Karakteristike faznog šuma** su bolje pogotovo u nižim vrednostima ofseta frekvencije.
- **Stabilnost oscilacija** je dosta bolja od prethodne ($\pm 10^{-11}$ u toku dana, kao i dugoročna stabilnost $\pm 10^{-8}$ u toku godine).

II. STANJE U SVETU

U digitalnim telekomunikacijama je neophodno obezbediti jako stabilnu i preciznu sinhronizaciju rada svih delova komunikacionog sistema, i to se najčešće ostvaruje pomoću lokalnih oscilatora. Stabilnost ovih oscilatora se postiže najčešće temperaturnom kompenzacijom. Međutim, pojavom digitalne televizije i potrebom za još boljom i preciznijom sinhronizacijom upotrebljavaju se lokalni oscilatori kontrolisani GPS sinhronizacijom, pomoću PLL petlje [6,7].

Za ovakve namene su neophodni kristalni oscilatori kompenzovani pećnicom, koji su izuzetni po veoma dobrim osobinama u pogledu nivoa faznog šuma i stabilnosti frekvencije oscilovanja [3,4]. U svetu se malo proizvođača bavi ovom tehnologijom, jer je to veoma zahtevan proces u pogledu razvoja kristalnih jedinki i razvoja samih oscilatora, a sa druge strane ovi proizvodi se prave u malim serijama i zbog toga je njihova cena visoka. Ovakvi oscilatori spadaju u *Custom design* proizvode, pa se praktično dizajniraju po pristigloj porudžbini, a to zahteva visokokvalitetnu i obrazovanu radnu snagu. Pored mogućnosti jeftinijeg razvoja elektronskih sklopova, Institut Mihajlo Pupin ima i sopstveni razvoj kristalnih jedinki, što dodatno pojeftinjuje proizvodnju ovog proizvoda [1-5].

U svetu postoji mnogo proizvođača oscilatora, ali ovakav oscilator nudi mali broj proizvođača [8,9], jer se razlikuje po svojim zahtevnim osobinama u pogledu faznog šuma i stabilnosti oscilovanja, kao i po ceni koja je znatno viša nego kod klasičnih oscilatora i serijske proizvodnje.

Proizvodnja oscilatora baziranih na principu OCXO datira od kraja 80-tih godina, i postojao je veliki broj proizvođača ovog tipa oscilatora, Institut Mihajlo Pupin Beograd je jedan od njih [10].

Poslednju deceniju prošlog veka je obeležio razvoj ovih oscilatora i ekspanzija proizvodnje tipskih velikih serija, što je uništilo veliki broj malih proizvođača kristalnih jedinki, koji nisu mogli da prate trendove ovakvog razvoja. Ovakvu proizvodnju su u zadnjih 10 godina preuzeli proizvođači iz Kine, koji nisu imali sopstveni razvoj ovih tehnologija, nego su kopirali postojeće proizvode poznatih svetskih proizvođača. Danas u svetu postoji svega nekoliko proizvođača kristalnih jedinki koji nisu iz Kine [11].

Slična situacija je i sa proizvodnjom kristalnih oscilatora, mada je u ovoj branši više malih fleksibilnih proizvođača, koji opstaju na tržištu, zahvaljujući velikim potrebama za specifičnim oscilatorima, koji se proizvode u malim serijama, ili praktično na komad [1-11].

Ovakav razvoj tržišta je dosta oslabio pozicije svih Evropskih proizvođača ovih proizvoda i bitno je uticao i na pad proizvodnje kristalnih jedinki i uređaja baziranih na kristalnim jedinkama u Institutu Mihajlo Pupin. Pored svih problema globalne prirode, postoje i problemi koji su nastali raspadom bivše Jugoslavije i sankcijama koje su uvedene proizvođačima iz Srbije, tako da je Institut Mihajlo Pupin praktično izgubio tržište i stečeni renome u svetu.

Međutim razvojem novih digitalnih tehnologija pojavila se potreba za novim uređajima baziranim na savremenijim kristalnim jedinkama, čije potrebe i specifične karakteristike Kineski proizvođači ne mogu da ispune, pa je stvoren prostor za razvoj ovakvih sklopova u okviru firmi koje su u međuvremenu opstale.

Na internetu se može pronaći mnogo firmi koje nude širok spektar ovih proizvoda, ali te firme nisu proizvođači, nego samo preprodaju proizvode u svetu manje zastupljenih firmi, kao što je Institut Mihajlo Pupin.

Oscilatori razvijeni u okviru ovog projekta, u odnosu na svetsku konkurenciju ima bolji kvalitet za manju cenu. Oscilator DOCXO 10 je nadogradnja oscilatora OCXO 10P, a sve radi poboljšanja njegovih karakteristika. Oscilator OCXO 10P je već predstavljen u radovima [3,4], gde je upoređen sa konkurencijom. Praktično samo nekoliko firmi iz Evrope i sveta može da ponudi ovakav proizvod. Konkurencija u našoj zemlji i regionu Istočne Evrope praktično ne postoji [3,4,11].

Prednost ovog proizvoda, u odnosu na konkurenciju je to da se proizvodnja bazira na originalnoj tehnologiji u proizvodnji same kristalne jedinice i celog oscilatora, kao i boljim ekološkim standardima materijala korišćenih u proizvodnji [1-4].

III. KONSTRUKCIJA OCXO OSCILATORA

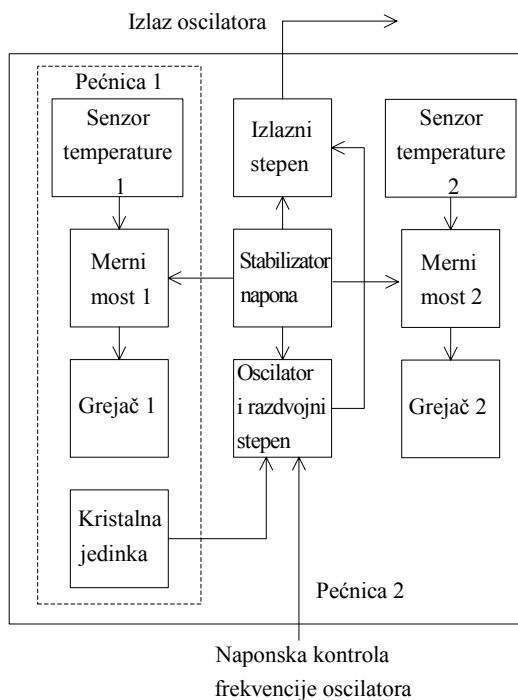
Da bi se pojeftinila proizvodnja, razvijeno je kućište, eksterna pećnica i elektronski sklop za kontrolu temperature na štampanoj pločici na koju se direktno montira štampana pločica oscilatora OCXO 10R. Pećnica se nalazi oko celog osnovnog oscilatora i ona ima svoje posebne grejače i senzor.

Kolo osnovnog oscilatora se sastoji od stabilizatora napona, kola za pobudu kristalne jedinice (oscilator i razdvojni stepen), izlaznog RF pojačavača (izlazni stepen) i pećnice. U sklopu pećnice kristalne jedinice se nalaze grejač pećnice 1, most za kontrolu temperature pećnice 1 i senzor temperature 1, kao što je prikazano na slici 1. Spoljašnja pećnica obuhvata ceo osnovni oscilator i na njoj se još nalaze senzor temperature 2, memi most 2 i grejač 2. Na slici 2 je prikazan izgled kućišta oscilatora, a unutrašnjost oscilatora se može videti na slikama 3 a) i 3 b) [3,4,10].

Svi elektronski sklopovi dodatne pećnice su smešteni na jednu dvoslojnu štampanu ploču sa SMD komponentama, na koju se priključuje i kolo osnovnog oscilatora, videti sliku 3. Pećnica je pričvršćena grejačima za ploču i priključena je na potencijal mase, a zatim se i kućište celog oscilatora nalazi na potencijalu mase i samim tim je ovaj oscilator manje osetljiv na spoljašnje elektromagnetne smetnje [3,4].

Realizovani oscilator ima četiri, ili pet priključaka za konekciju sa spoljnim svetom, a to su priključak za napajanje, priključak mase (uzemljenja), priključak za naponsku kontrolu frekvencije oscilovanja i izlazni priključak, kao i opcioni priključak za referencu napona.

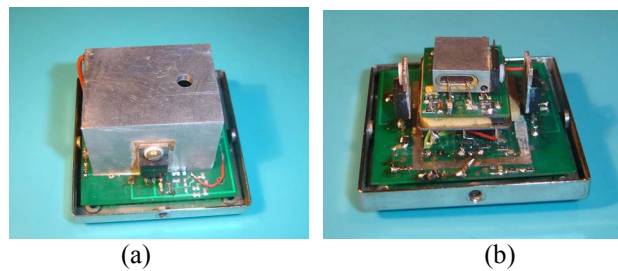
Kolo oscilatora se sastoji od stabilizatora napona, kola za pobudu kristalne jedinice (oscilator i razdvojni stepen), izlaznog RF pojačavača (izlazni stepen) i pećnice. U sklopu pećnice se nalaze grejač pećnice, most za kontrolu temperature pećnice i senzor temperature, kao što je prikazano na slici 1 [11].



Slika 1. Blok šema oscilatora DOCXO 10



Slika 2. Izgled kućišta oscilatora DOCXO 10



Slika 3. Izgled oscilatora DOCXO 10 proizvedenog u Institutu Mihajlo Pupin Beograd: (a) Spoljašnja pećnica oscilatora DOCXO 10. (b) Unutrašnjost oscilatora DOCXO 10.

U tabeli 1 je prikazano uporedno merenje faznog šuma na slučajnom uzorku iz prve serije oscilatora OCXO 10P proizvedenih u Institutu Mihajlo Pupin Beograd i njihovo poboljšanje DOCXO 10, tako što su isti oscilatori stavljeni u eksternu pećnicu, a sve ovo je realizovano u okviru projekta TP 11039. Oscilatori označeni sa sufiksom 1 su tipa OCXO 10P, a sa sufiksom 2 njihove replike DOCXO 10 tipa. Iz samih vrednosti se vidi da postoji bitno poboljšanje faznog šuma i trenutne stabilnosti primenom dvostruke pećnice.

TABELA I

UPOREDNI FAZNI ŠUM I STABILNOST OSCILACIJA IZMERENIH NA UZORKU IZ PRVE SERIJE OSCILATORA OCXO 10P I NJIHOVIH REPLIKA DOCXO 10

1Hz	10Hz	100Hz	1k	10k	100k	Osc.No.	Stability
-80	-110	-142	-150	-150	-150	10/1	4.9E-12
-85	-118	-145	-155	-150	-150	10/2	1.8E-12
-83	-115	-140	-140	-155	-150	18/1	3.6E-12
-85	-118	-145	-148	-152	-150	18/2	2.1E-13
-80	-115	-140	-145	-145	-150	6/1	4.2E-12
-85	-118	-145	-150	-150	-150	6/2	2.7E-13

IV. KRISTALNA JEDINKA

Pored realizacije oscilatora, za ovaj projekat je prethodno razvijena i nova visokokvalitetna kristalna jedinka [3,4] sa sledećim karakteristikama:

1. Frekvencija *10MHz*
2. Red overtona *3ot*
3. Tip reza *AT*
4. Tip kućišta *HC43/U*
5. Tolerancija frekvencije *+/- 5ppm na 78°C*
6. Temperatura minimuma *78°C ±3°C*
7. Starenje *+/- 1 ppb/dan*
+/- 0.2j5 ppm/god

8.	Q -Faktor	$Q \geq 700000$
9.	Kapacitivnost opterećenja C_I	$C_I = 30pF$
10.	Dinamička kapacitivnost C_I	$C_I = 0.5 \pm 0.05mpF$
11.	U temperaturnom opsegu rada	$-10 \div +80^\circ C$
	dR/R	$\pm 3\%$
12.	$dR((1 \div 50)\mu W)$	$< 10\%$

V. ZAHVALNICA

Istraživanja opisana u ovom radu su delimično finansirana od strane Ministarstva za nauku i tehnološki razvoj Republike Srbije, kroz projekat „Razvoj elektronskih sklopova za posebne namene na bazi kristalnih jedinki“, ev. broj 11039.

ZAKLJUČAK

Pored realizacije visokokvalitetnog oscilatora, za ovaj projekat je razvijena i nova visokokvalitetna kristalna jedinka [3,4]. Ovi oscilatori na bazi OCXO predstavljaju novi proizvod, jer su korišćene nove tehnologije i nove komponente [1-6]. Ovi proizvodi imaju širok dijapazon primena i veliku upotrebnu vrednost i ističu se svojom cenom i svojim kvalitetom, tako da su konkurentni ne samo na domaćem tržištu već i u celom svetu. Najčešća primena ovih oscilatora je u GPS sinhronizaciji.

Navedene karakteristike i konkurentnost na svetskom tržištu daju perspektivu razvoju novih elektronskih sklopova i proizvoda na bazi kristalne jedinice.

U daljem razvoju ovih i sličnih uređaja treba ići na usvajanje novih tehnologija izrade kristalnih jedinki i upotrebe novih i kvalitetnijih komponenti u kolu elektronskih sklopova novih uređaja [1-5].

REFERENCES

- [1] D. Jevtic, D. Dujkovic, S. Dedic-Nesic, M. Paskas, I. Reljin, "Application of crystal units in digital TV", (in Serbian) Conf. YUINFO 2009, Proceedings CD, Kopaonik,
- [2] D. Dujkovic, S. Dedic-Nesic, I. Reljin, "Improving stability and phase noise in OCXO", (in Serbian) Conf. ETRAN 2009, Proceedings CD, Vrnjaska Banja,
- [3] Dragi Dujković, Snežana Dedić-Nešić, Lenkica Grubišić, Irini Reljin, "NOVI PEĆNICOM KOMPENZOVANI KRISTALNI OSCILATOR DOCXO10/P SA PERFORMANSAMA VISOKOG KVALITETA", Conf. ETRAN 2010, Proceedings CD, Donji Milanovac, 7-10 Juna 2010
- [4] Dragi M. Dujković, Dubravka R. Jevtić, Snežana Dedić-Nešić, Lenkica Grubišić, Irini Reljin, Branimir Reljin, "High-quality OCXO for Digital TV", Conf. TELSIS 2009, Proceedings CD, Niš 2009
- [5] Dragi M. Dujković, Irini Reljin, Branimir Reljin, Snežana Dedić-Nešić, Lenkica Grubišić, "OCXO phase noise measurement methods", (in Serbian) Conf. INFOTEH 2010, Proceedings CD, Jahorina, 2010
- [6] Dragi M. Dujković, Irini Reljin, Branimir Reljin, Snežana Dedić-Nešić, Lenkica Grubišić, "Adjustment methodes for OCXO nominal frequency calibration", (in Serbian) Conf. INFOTEH 2010, Proceedings CD, Jahorina, 2010.
- [7] S. Cotter, Complete Wireless Design, *Second Edition*, McGraw-Hill Inc., 2008.
- [8] http://www.bliley.com/10MHZ_OCXO.pdf
- [9] <http://www.temex.com/products.php?id=13>
- [10] A. Pavasović, "Kristalni oscilator sa kontrolisanom temperaturom (OCXO) – projekat i performanse", Zbornik XXIX konf. ETRAN-a, str. II.157-164, Niš, Juni 1985.
- [11] E. Rubiola, Phase Noise and Frequency Stability in Oscillators, Cambridge University Press, 2008.

Abstract – Paper describes a novel type of high quality crystal oscillator at 10 MHz, with implementation in GPS (global positioning system) synchronization with PLL (phase locked loop). Oscillator is based on compensation of temperature frequency offset, with stabile temperature in ovened crystal quartz unit. It is called oven controlled crystal oscillator or OCXO. This particular type of oscillator uses double ovened temperature compensation. Emphasizes its low prices and great characteristics, so this is a new product that is competitive in domestic and foreign markets.

Keywords-kristalni oscilator; GPS; PLL; OCXO; fazni šum, stabilnost oscilovanja

New high quality chrystal oscilator DOCXO 10 with double ovened temperature compenzation



Sekcija TO-2
ENERGETSKA ELEKTRONIKA

G. LJ. Arsov	
O TIRISTORU I NJEGOVOJ BUDUĆNOSTI	50
J. Kosev	
A SERIES-PARALLEL SWITCHED-CAPACITOR POWER CONVERTER	
DESIGN APPROACH	57
V. Vujičić, S. Markić	
ANALIZA I ISPITIVANJE KARAKTERISTIKA INTEGRISANOG	
“BUCK-FLYBACK” PRETVARAČA	63
M. Lazić, D. Petrović, G. Stojanović	
UPOREDNA ANALIZA RAZLIČITIH REŠENJA UREĐAJA ZA	
NEPREKIDNO NAPAJANJE	68
Ž. V. Despotović, A. I. Ribić	
VIBRACIONA KONTROLA REZONANTNIH DOZATORA SA	
ELEKTROMAGNETNOM POBUDOM	74
M. Šilj, S. Lubura, M. Šoja	
POBOLJŠANI MODEL BATERIJE U MATLAB/SIMULINK OKRUŽENJU . . .	80

O tiristoru i njegovoj budućnosti

Goce Lj. Arsov

Fakultet za Elektrotehniku i Informacijske Tehnologije
Univerzitet Sv. Kiril i Metodij, Karpos II B.B., P.Fah 574
Skopje, Republika Makedonija
e-mail: g.arsov@ieee.org

Sadržaj—Počeci moderne poluprovodničke energetske elektronike su tesno povezani sa pronalaskom tiristora 1957. godine, tada još uvek poznatim pod nazivom “Silicon Controlled Rectifier” ili SCR. On je bio osnovna komponenta u energetskim elektronskim pretvaračima energije 1960-tih i 70-tih godina. U radu se pokušava odgovoriti na neka pitanja vezana za perspektive tiristora analizirajući njegovu evoluciju od pronalaska do danas, kao i uporednom analizom tiristora i energetskih tranzistora u pogledu njihovih osnovnih karakteristika i njihove primene u elektronskim energetskim pretvaračima za različitu primenu.

Ključne reči—tiristor; energetski transistor; elektronski energetski pretvarač; primena energetske elektronike

I. UVOD

U današnjem modernom društvu skoro svi uređaji rade na bazi električne energije. Bez nje je nezamislivo govoriti o kvalitetu života. Na svetskom nivou potrošnja električne energije dramatično raste kako bi se poboljšao životni standard. To, drugim rečima, znači da je razvoj društva tesno povezan sa povećanjem potrošnje električne energije. Pored toga, mora se istaći da sve više i više potrošača traži električnu energiju sa specifičnim karakteristikama - jednosmernu, sa mogućnostima promene napona, ili naizmjeničnu sa mogućnostima promene amplitude i frekvencije napona, što se danas ostvaruje pomoću uređaja energetske elektronike.

Energetska elektronika, kao moderna oblast, postaje sve važnija i predstavlja osnov za veliki broj industrijskih procesa, za racionalno korišćenje električne energije, za nove tehnologije u individualnom i masovnom transportu. Ona postaje sve bitnija i u svim oblastima gde se traže nova rešenja za bolju ekonomičnost, minijaturizaciju i pouzdanost. Energetska elektronika dobija sve veći značaj i u zaštiti čovekove okoline. Očekuje se da će do kraja 2010. godine sistemi energetske elektronike kontrolisati oko 80 procenata ukupne električne energije koja se koristi u Sjedinjenim Američkim Državama [1].

Pretvaranje električne energije se, danas, ostvaruje pomoću statičkih energetskih pretvarača. Takav pretvarač, koji se u suštini sastoji od matrice elektronskih energetskih prekidača (ventila) i jedne ili više pasivnih komponenti, vrši pretvaranje i kontrolu električne energije iz naizmjenične u jednosmernu (AC/DC), iz jednosmerne sa jednim u jednosmernu sa drugim parametrima (DC/DC), iz jednosmerne u naizmjeničnu (DC/AC) ili iz naizmjenične sa jednim u naizmjeničnu sa drugim parametrima (AC/AC) [2]. Poluprovodničke elektronske energetske komponente predstavljaju srce modernog statičkog pretvarača električne energije zbog čega je moderna evolucija

energetske elektronike tesno povezana sa evolucijom odgovarajućih komponentata [2]–[12].

Iako energetska elektronika, kao oblast, nastaje još početkom 20. veka njen brzi razvoj započinje tek 1957. godine pronalaskom tiristora odnosno “silicijumskog kontrolisanog ispravljača” (*Silicon Controlled Rectifier – SCR*) kako je nazivan u to vreme. Naime, 1957. godine u kompaniji General Electric (GE) predstavljen je prvi poluprovodnički energetski element sa četiri poluprovodnička sloja ($p-n-p-n$), tri $p-n$ spoja i tri priključaka, pod imenom SCR.

Pojavom na svetsku pozornicu SCR privlači veliki broj ljudi iz različitih institucija, sa različitih strana sveta, koji rade na njegovom usavršavanju. Ovaj proces traje i danas. Međutim, naziv SCR nije bio zvanično odobren od same kompanije, već je bio predložen od grupe ljudi u GE. Tako, u julu 1959. godine Westinghouse najavljuje poluprovodnički kontrolisani ispravljački element koju je nazvan „*trinistor*“. Tek 1965. godine L.F. Stringer [13] a zatim i L.R. Tresino počinju da koriste naziv “*tiristor*”. Ovaj naziv je u Evropi bio prihvaćen veoma brzo, verovatno zbog pojave IEC TC47 osnovanog 1960. godine. Tek za nekoliko godina naziv “*tiristor*” je postao univerzalan.

Prototipovi tiristora raspoloživih 1957. godine su bili sposobni da izdrže napone od 300 V i struju do 7 A. Prečnik samog $p-n$ spoja je iznosio 3mm a cena mu je bila 60 USD za jednu komponentu. Snaga potrebna za okidanje pojedinačnih tiristora iznosila je oko 15 mW.

Osnovni nedostatak klasičnog tiristora (inverzno neprovodni triodni tiristor) je njegova nesposobnost da bude isključen upravljačkim impulsom. Zato se u sistemima energetske elektronike veoma često koriste komponente koje imaju sposobnost da budu isključene pomoću upravljačkog signala kao što su: energetski i darlingtonovi tranzistori, energetski MOS-tranzistori i bipolarni tranzistori sa izoliranim gejtom (IGBT).

Danas naziv tiristor pokriva jednu celu familiju komponentata, baziranih na četvoroslojnoj strukturi, od klasičnog triodnog inverzno neprovodnog tiristora (SCR) pa sve do najnovijih kompleksnih struktura sa sposobnošću isključivanja pomoću upravljačkog impulsa (IGCT [14] and ETO-tiristori [15], [16]). Pored toga, novi materijali, kao na primer SiC, treba da omogućue izradu tiristora za više radne napone i temperature.

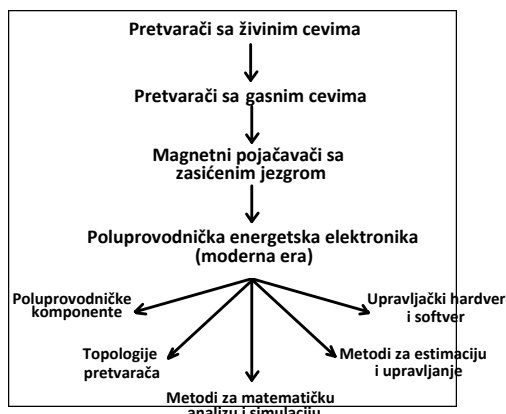
Ovaj rad ima za cilj da odgovori na neka pitanja vezana za perspektive tiristora putem analize njegove evolucije od pronalaska do danas, kao i putem uporedne analize tiristora i energetskih tranzistora u pogledu njihovih osnovnih karakteristika.

ristika i njihove ugradnje u elektronskim energetskim pretvaračima za različitu primenu.

II. O PRONALASKU TIRISTORA I NJEGOVOJ EVOLUCIJI [17]

Energetska elektronika je zvanično nastala 1901. godine pronalaskom živinih ispravljačkih cevi [18]. Zatim dolazi era gasnih elektronskih cevi (1930-tih godina) i magnetnih pojačavača (1940-tih godina). Naime, tiratron se pojavio 1926. a ignitronski pretvarač 1933. godine. Energetska elektronika počinje da se širi i 1930. godine. Njujorška podzemna železnica instalira mrežno upravljane živine ispravljače (3 MW) za upravljanje jednosmernih elektromotornih pogona (EMP). Odmah zatim (1931. godine) Nemačke železnice uvode ciklokonvertore, na bazi živinih ispravljačkih cevi, za upravljanje univerzalnih motora u električnoj vuči. 1934. godine tiratronski ciklokonvertor, kao prvi EMP sa naizmeničnim motorom upravljanim promenom frekvencije napona napajanja (za upravljanje sinhronog motora od 400 KS), je instaliran u Loganovoj električnoj centrali u SAD.

Era poluprovodničke energetske elektronike (sadašnja era) započinje pronalaskom tiristora (SCR). Naime, 1956. godine ekipa na čelu sa John L. Moll-om iz laboratorije kompanije Bell-Telephon (BTL) u SAD, je objavila istorijski članak [19] o *p-n-p-n* tranzistorima. Zatim, 1958. godine kompanija General Electric proizvodi prvi komercijalni tiristor. Time započinje široka ekspanzija u istraživanju i tehnološkom razvoju u različitim pravcima, kao što je prikazano na slici 1.

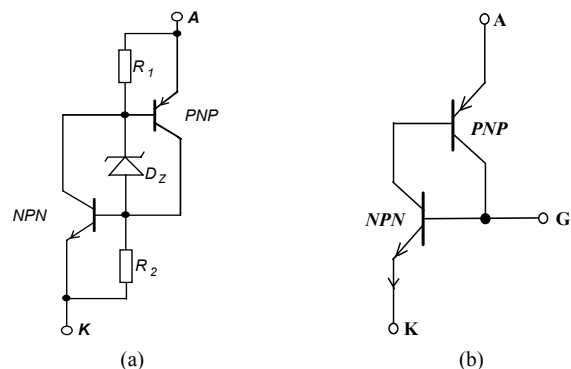


Slika 1. Istorijska evolucija energetske elektronike [20].

Sve je započelo pronalaskom bipolarnog tranzistora 1948. godine u BTL-u. Ovaj pronalazak je predstavljao veliki podstrek ka daljim istraživanjima poluprovodničkih komponenata u cilju zamene glomaznih elektronskih cevi (vakuumске, gasne itd.) mnogo manjim i efikasnijim elementima baziranim na poluprovodničkoj tehnologiji.

Silicijumski kontrolisani ispravljač (SCR) je predložio William Shokley pre 60 godina (1950). Teorijski je opisan u nekoliko radova od kojih treba istaći radove J. J. Ebersa [21] i posebno J. L. Moll-a [19]. Sam tiristor je eksperimentalno razvijen 1956. godine od inženjera kompanije General Electric predvođenih Gordonom Hall-om. Komercijalnu verziju je razvio Frank W. „Bill“ Gutzwiller u GE kompaniji 1958. godine.

Ideja o prekidaču na bazi *p-n-p-n* strukture je simulirana pomoću Ebers-ovog modela predloženog 1952. godine (slika 2a) [21]. Osnovni princip rada predloženog *p-n-p-n* prekidača se sastoji u tome da gornji tranzistor (*p-n-p*) upravlja radom donjeg tranzistora (*n-p-n*), dok u isto vreme donji tranzistor upravlja radom gornjeg. Kolektorska struja jednog tranzistora (bilo kojeg) obezbeđuje baznu struju drugog tranzistora i obratno. Time se obezbeđuje nestabilnost kola čime se oba tranzistora dovode u stanje zasićenja. Osnovna zamisao pronalazača se sastoji u tome da u trenutku kada napon između anode (A) i katode (K) dostigne vrednost lavinskog proboja *n-p* diode (D_z na slici 2-a), struje koja protiču kroz otpornike R_1 i R_2 obezbeđuju direktnu polarizaciju spojeva baza-emiter oba tranzistora. Struje kroz njih rastu i stvaraju se uslovi da se zbir faktora strujnog pojačanja tranzistora ($\alpha_{PNP} + \alpha_{NPN}$) približi jedinici. Time se obezbeđuje kontinuitet struje i element prelazi u stanje niskog pada napona. Oba tranzistora prelaze u stanje zasićenja a kolo u stanje direktnog provođenja struje. To još uvek nije bila komponenta izvedena kao integrisani element i osnovno pitanje koje su sebi postavili istraživači je: može li se ovakav prekidač izraditi kao integrisana poluprovodnička komponenta koja će raditi kako je zamišljeno?



Slika 2. Model *p-n-p-n* prekidača: (a) izrađenog u GE 1952. godine [20]; (b) realnog tiristora.

U ranu jesen 1954. godine J. M. Goldey, iz MIT-a i Nick Holonyak Jr., iz Bardeen-ove laboratorije u Urbani, prključuju se Moll-ovoj grupi u Bell-ovim laboratorijama sa jedinim zadatkom: da se konstruiše silicijumski *p-n-p-n* prekidački element koji bi bio u mogućnosti da zameni gasne cevi koje su se u velikom broju koristile za komutaciju u telefonskim centralama [22]. U početku su u potpunosti kopirali Ebers-ov model [21] i relativno brzo (1954-1955) izradili su nekoliko *p-n-p-n* komponenata sa tri i četiri priključka. Pri tome su se iznenadili činjenicom da integrisana struktura radi i bez pomoćnih otpornika i zener-diode (prikazanih na sl.2-a).

Istovremeno je (1954-55) njihov kolega iz BTL-a, Mort Prince, nezavisno ispitivao uticaj defekata (klopki) na strujno-naponsku karakteristiku (injekciju nosilaca) kod difuzno izrađenih silicijumskih ispravljačkih elemenata [23]. Utvrdio je da se, zbog postojanja klopki u prelaznoj oblasti oko *p-n* spoja, silicijumski ispravljači kao i oba spoja kod *p-n-p-n* komponente, kod nižih nivoa struje, ne ponašaju kao *p-n* spojevi nego kao *p-i-n* strukture [24]. Time je pokazano da pomoćni elementi za okidanje tiristora nisu potrebni i da se

može koristiti struktura prikazana na slici 2b. Time je nastala nova komponenta a, istovremeno i nova tehnologija.

SCR je predstavljao veliki uspeh za General Electric. Tekstovi o njemu se pojavljuju i u poslovnim časopisima. Tako, na primer, "Business Week" u izdanju od 28. decembra objavljuje članak pod naslovom "New way to Change AC to DC" (Novi način za pretvaranje naizmenične u jednosmernu struju). Komercijalni tiristori se pojavljuju na tržištu već početkom 1958. [25] a odgovoran za tehničku i promotivnu podršku je bio Bill Gutzwiller.

U proleće 1958. godine Holonyak i Aldrich su dobili zadatak da razviju dvosmerni upravljani prekidač koji bi imao nizak pad napona u provodnom stanju [26]. Razvili su i opisali više dvosmernih $p-n-p-n$ komponenti koje su imale dva, tri ili više priključaka. Ove komponente su koristile "kratkospojeni emiter" [27], njihova inovacija je omogućila izradu dvosmerne $p-n-p-n$ komponente, ali je istovremeno omogućila i značajna poboljšanja karakteristika jednosmerne komponente (pre svega tiristora) [28]. Naime, takva konstrukcija je omogućavala da se projektovanjem definiše određeni nivo struje iznad koga je moguće dovesti prekidač u provodno stanje, odnosno ispuniti uslov $\alpha_{PNP} + \alpha_{NPN} \rightarrow 1$. Dodajući strukturi upravljačku elektrodu dobili su trijak (TRIAC - Triode alternating current switch). Prvi komercijalni trijaci su bili SC40 i SC45, za 6 A odnosno 10 A.

Time je započela tiristorska era u energetskej elektronici.

Od pronalaska tiristora do danas energetska elektronika se kontinuirano razvija koncentrirajući se, pre svega, na topologije pretvarača. Ovaj proces je ubrzan evolucionim razvojem poluprovodničkih energetskih komponenti. Naime, evolucija energetske elektronike je praktično nemoguća bez evolucije poluprovodničkih energetskih komponenti. Njihov razvoj se može podeliti u 4 pokoljenja. Prvo pokoljenje, koje je trajalo 17 godina, je karakteristično po dominaciji tiristora i taj period se jednostavno može nazvati "tiristorska era". Drugo pokoljenje, u periodu od 10 godina, je karakteristično po pojavi komponenta koje se mogu kontrolisano uključivati i isključivati (bipolarni tranzistori – BT, energetski MOS tranzistori, GTO tiristori koji se mogu isključiti negativnim impulsom u gejtu), paralelno sa snažnim integrisanim kolima, mikroprocesorima i strukturama za specifičnu primenu (ASIC). U trećem pokoljenju najdominantniji energetski elektronski element je IGBT (bipolarni transistor sa izoliranim gejtom). On zauzima važno mesto u istoriji energetske elektronike. Pored njega, pojavljuju se SIT (statički indukcionni transistor), energetski inteligentni moduli, i snažni DSP-i. Na kraju, četvrto pokoljenje je karakteristično po razvoju i pojavi novih komponenti, kao što su IGCT (tiristor sa integrisanim kolom gejta za isključivanje - *integrated gate commutated thyristor*), ETO-tiristori (tiristori sa isključenjem preko emitera - *emitter turn-off thyristor*), i po pretvaračima u integrisanom obliku kao "energetski elektronski blokovi". Istražuju se novi materijali i tehnologija se pomera ka SiC (silicijum-karbid) baziranim komponentama.

Familija tiristora, danas, obuhvata komponente kao što su: Tiristor (SCR ili klasični triodni tiristor); ASCR – Asimetrični

tiristor; RCT – Inverzno provodni tiristor; LASCR – Fototiristor (light activated SCR, ili LTT – Light triggered thyristor); DIAC i SIDAC – Dvosmerni diodni tiristor (ili silicijumski DIAC), dijak; BOD – Četvoroslojna dioda (ili diodni tiristor – tiristor bez gejta koji se okida kada se dostigne prevalni napon); TRIAC – Triodni dvosmerni tiristor ili trijak; BRT – Tiristor kontrolisan otpornošću baze; SITH – Statički indukcionni tiristor (ili FCD – Field Controlled diode odnosno Dioda upravljana poljem) koji poseduje strukturu gejta kojim se može prekinuti anodna struja; LASS – Poluprovodnički foto prekidač (light activated semiconducting switch); GTO – Gejtom isključivi tiristor (Gate turn-off thyristor); MCT – MOS upravljani tiristor (u strukturi su ugrađena dva MOSFET-a za uključivanje i isključivanje $p-n-p-n$ strukture); IGCT – Tiristor sa integrisanim kolom gejta za isključivanje (Integrated Gate Commutated Thyristor); ETO – Tiristor sa isključenjem preko emitera (Emitter turn-off thyristor). Poslednje četiri komponente su tiristori kod kojih je omogućeno isključivanje tiristora upravljačkim impulsom.

Do pojave IGCT-a osnovni nedostatak tiristora je bio njegova nesposobnost za isključivanje pomoću upravljačkog signala. GTO, koji se pojavio 1962. godine, imao je veliki pad napona pri provodjenju i zahtevao veoma velike stuje gejta za isključenje. IGBT, kao moguća komponenta sa sposobnošću isključenja, se pojavio 1983. godine, ali on pati od ograničene naponske i strujne opteretivosti i relativno velikog pada napona u provodnom stanju. Kao rezultat veoma intenzivnog rada 1996. i 1998. godine pojavljuju se dve nove komponente sposobne za isključenje u svakom trenutku. 1996. godine se pojavio IGCT, a zatim se pojavljuje ETO (1998.) u kome su kombinovane bolje karakteristike IGBT-a i IGCT-a. Neke od njihovih karakteristika su date u tabeli 1. Obe ove komponente koriste jedinično pojačanje kao uslov za isključivanje [29].

Osnovni metod za postizanje uslova za prisilno isključivanje leži u brzini porasta struje gejta pri isključenju. Za isključenje anodne struje od 4 kA potrebno je ostvariti porast struje u gejt u 6 kA/μs [29]. Kod IGCT-a to se postiže tako što se obezbeđuje da induktivnost u kolu gejta ima dovoljno malu vrednost (3 nH), tako da jednosmerni napon na gejt koji mora biti manji od probojnog napona spoja gejt-katoda (18-22 V) može obezbediti porast struje od 6 kA/μs. S druge strane kod ETO tiristora ovaj uslov se postiže pomoću dodatnog prekidača koji je redno vezan u katodnoj grani GTO-a.

III. MODERNE ENERGETSKE POLUPROVODNIČKE KOMPONENTE

Pored evolucije tiristora, i tehnologija ostalih energetskih poluprovodničkih komponenti je doživela impresivan progres [30], [31], [32]. Prekidačke i zaštitne funkcije se sve više ostvaruju putem kombinovane primene niskonaponskih kola za obradu podataka i procesiranja signala, i energetskih komponenta. Evolucija podrazumeva i integraciju niskonaponskih i energetskih struktura u cilju poboljšanja performansi i smanjenja dimenzija komponente ili uređaja. Primena tehnologije integrisanih kola kod energetskih elektronskih komponenti

omogućuje bolje upravljanje i zaštitu, kao i mogućnost direktnog povezivanja sa kolima za obradu signala u jednom čipu.

U osnovi, razlikuju se dva koncepta u razvoju energetske poluprovodničkih komponenti. Prvi koristi vertikalne strukture za diskretne elemente namenjene za srednju i veliku snagu, dok drugi koristi lateralne komponente za velike napone (male struje), „pametne“ aplikacije i monolitnu integraciju sa niskonaponskim sistemima. Diskretni vertikalni elementi od osnovnih bipolarnih komponenti (diode, tiristori, tranzistori i GTO) su evoluirali ka energetskim MOS-tranzistorima, IGBT i MCT komponentama [33], [34]. Jedan od najvećih koraka ka direktnom povezivanju energetske komponente i integrisanih sklopova je pojava energetskog MOSFET-a [35], [36]. To omogućava razvoj energetske poluprovodničkih komponenti u odnosu na njihovu strukturu, projektovanje, smanjenje dimenzija i proizvodnje. Omogućava se velika redukcija otpornosti u provodnom stanju i drastično smanjenje disipacije snage. Novi napredak diskretnih komponentata dešava se pronalaskom IGBT-a u kome su kombinovane prednosti bipolarnih (mali pad napona pri provođenju) sa prednostima MOS tranzistora (mala snaga upravljanja i kratki prelazni režimi). Poboljšanje karakteristika energetske MOS-tranzistora i IGBT-a je tesno povezano sa razvitkom standardne MOS tehnologije. To omo-

gućava da se energetske poluprovodničke elemente proizvode u istim pogonima gde se proizvode i standardna integrisana kola.

Pored toga, uvođenje MOS tehnologije u energetske elektroničke omogućava integrisanje energetske komponente standardnom tehnologijom, tako da sva integrisana kola (energetska i ne-energetska) postaju međusobno kompatibilna. U odnosu na energetske MOS tranzistore, IGBT je dominantan za primenu kod aplikacija na srednjim i visokim naponima, pre svega zbog poboljšanja strukture gejta korišćenjem metoda za izradu VLSI tehnologije i uvođenjem „ukopanog“ gejta [37]. Danas, pojavom novih tiristora sa sposobnošću kontrolisanog isključivanja (MCT, IGCT i ETO), posebno zadnja dva, obećavaju tiristoru novo mesto i dobru budućnost u primeni kod srednjih i visokih radnih napona.

Novi, veoma perspektivan prilaz, u oblasti energetske poluprovodničkih komponenti, je primena novih materijala kao što su SiC (silicijum karbid) [38], [39], [40] i (GaN) (galijum nitrid). SiC bazirani Šotki-ispravljači i MOSFET-ovi, kao i ETO-tiristori nude značajna poboljšanja u odnosu na vezu između provodne otpornosti i probojnog napona, kao i u radu pri visokim temperaturama.

Uporedni prikaz karakteristika nekih poluprovodničkih energetske komponente je dat u tabeli I.

TABELA I. UPOREDNI PRIKAZ ENERGETSKIH POLUPROVODNIČKIH KOMPOENATA [41], [42], [43]

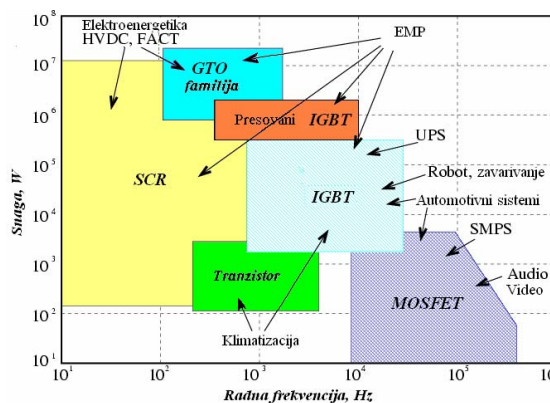
Komponenta	Godina kad se pojavila	Maksimalni radni napon	Maksimalna radna struja	Maksimalna frekvencija	Maksimalna snaga	Pad napona pri provođenju
Tiristor (SCR)	1957	7 kV	3.5 kA	500 Hz	100's MW	1.5–2.5 V
Trijak	1958	1 kV	100 A	500 Hz	100's kW	1.5–2 V
GTO	1962	4.5 kV	3 kA	2 kHz	10's MW	3–4 V
BJT (Darlington)	1960-	1.2 kV	800 A	10 kHz	1 MW	1.5–3 V
MOSFET	1976	500 V	50 A	1MHz	100 kW	3–4 V
IGBT	1983	1.2 kV	400 A	20 kHz	100's kW	3–4 V
SIT	1985	1.2 kV	300 A	100 kHz	10's kW	10–20 V
SITH	1988	1.5 kV	300 A	10 kHz	10's kW	2–4 V
MCT	1988	3 kV	2 kA	20–100 kHz	10's MW	1–2 V
IGCT	1996	6 kV	4 kA	1 kHz	100's MW	1.5–3 V
ETO	1998	6 kV	5 kA	2 kHz	100's MW	1–2.5 V

IV. PRIMENA

Od pojave prvog poluprovodničkog pretvarača energije, primena energetske elektroničke se širi na sve oblasti ljudskih aktivnosti gde se koristi električna energija, pre svega zbog malih gubitaka i nadmoćne dinamike. Grafička predstava nekih oblasti primene energetske elektroničke za različite poluprovodničke energetske komponente, je prikazana na slici 3. Da bi se u dijagram uveli IGCT i ETO-tiristori oblast primene elemenata iz GTO-familije tiristora je nešto proširena u odnosu na podatke iz [44].

IGCT i ETO bazirani sistemi energetske elektroničke su vrlo privlačni za primenu u menadžiranju električnom energijom kao na primer za: STATCOM sa/bez akumulacijom energije, HVDC pretvarače, direktno povezivanje vetrogeneratora, kontrolu prenosa električne energije, statičke prekidače, strujne ograničavače i sl. [44], [45].

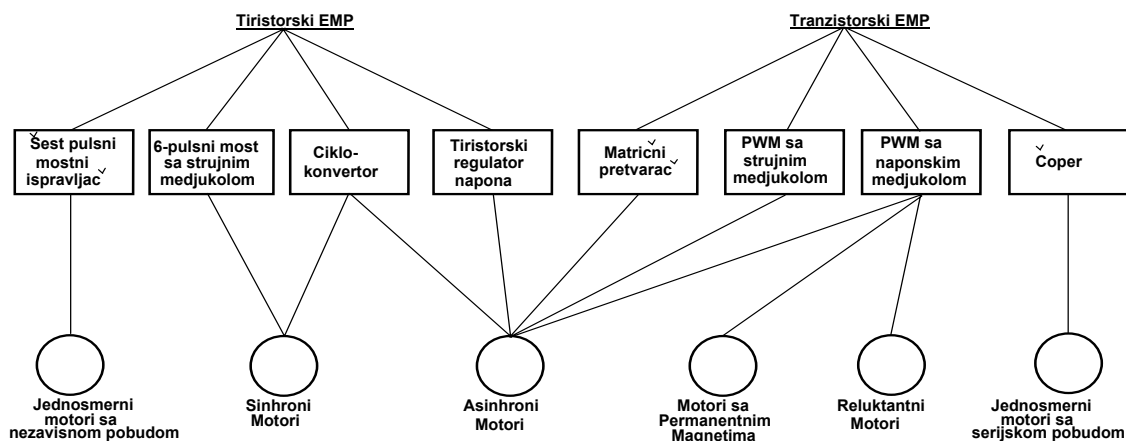
Na slici 3 je dat pregled najupotrebljivanih elektromotornih pogona kao najvećih potrošača električne energije [46].



Slika 3. Primena nekih od diskretnih komponenta prikazanih u Tabeli 1 [44].

U tabeli II je dat komparativni pregled glavnih oblasti primene uređaja energetske elektronike baziranih na tiristorima i/ili tranzistorima. U tabeli se ne nalaze primeri specijalnih aplikacija energetske elektronike u civilnim i vojnim uređajima. Iako se za pretvarače kod fotonaponskih izvora trenutno

koriste tranzistorski uređaji, nove tehnologije bazirane na SiC i GaN materijalima mogu biti veoma perspektivne. Iz tabele se može videti da je veliki deo primene pokriven komponentama baziranim na tiristoru.



Slika 4. Glavne kategorije elektromotornih pogona i odgovarajući pretvarači za njihovo upravljanje [46].

TABELA II. KOMPARATIVNI PREGLED PRIMENE TIRISTORSKIH I TRANZISTORSKIH PRETVARAČA [48]

		Tiristori	Tranzistori
Procesna industrija	Jednosmerni EMP	Ispravljači	Čoperi
	Naizmernični EMP	Pretvarači naizmerničnog napona; Ciklokonvertori	Pretvarači frekvencije sa jednosmernim medjukolom
		Elektrotermija	
		Electrohemija	
Proizvodnja, prenos i distribucija električne energije		Generator static excitation	
		Upuštanje velikih sinhronih mašina	Pomoćni uređaji u hidro i termo elektrana- ma (pumpe, ventilatori, montažne linije) - Naizmernični EMP; Vetrogeneratori
		Povezivanje sistema sa različitom frekvencijom (50/60 Hz)	
	Prenos energije putem visokonaponskih jedno- smernih sistema, HVDC	Ispravljači	Invertori
		Kontrola reaktivne energije i korekcija faktora snage (PFC)	
	Povezivanje različitih vrsta izvora električne energije (solarni izvori sa baterijom is l.)		
Izvori neprekidnog napajanja		Ispravljači	Invertori
Transport	Napajanje u električnoj vuči	Ispravljači	
	Električna vuča	Ispravljači; Čoperi; Pretvarači frekvencije	Ispravljači; Čoperi; Pretvarači frekvencije
	Kranovi i beskrajne trake		Pretvarači frekvencije
		Napajanje elektromagneta za podizanje tereta	
			Hibridna vozila
			Drugo (vazdušni, svemirski)
Aparati za domaćinstva i ručne alatke		Trijaci	

V. ZAKLJUČAK

Jasno je da značaj energetske elektronike raste iz dana u dan, ne samo zbog većeg kvaniteta i kvaliteta produktivnosti, već i zbog toga što je njena primena najefikasniji način za uštedu energije za obezbeđivanje boljih ekoloških uslova.

Elektromotorni pogoni su najveći potrošači električne energije, više od 60% proizvedene električne energije u

industriji razvijenih zemalja. Očigledno je da regulisani naizmernični EMP zamenjuju jednosmerne u mnogim oblastima primene. Hibridna i električna vozila, kao veoma važna oblast transporta, doživljavaju značajan progres.

Svedoci smo progressa obnovljivih izvora energije koji neophodno koriste energetske elektroniku. U visokorazvijenim zemljama zakonska je obaveza da određeni procenat od ukup-

ne proizvedene električne energije bude iz obnovljivih izvora .

Može se reći da tranzistorski bazirane komponente dominiraju, danas, u oblastima niske i srednje snage. Njihova upravljivost je nadmoćna u odnosu na tiristore. S druge strane tiristorima treba samo impuls okidanja, a zatim ostaju provodni, dok tranzistori traže kontinuiranu pobudu u celom periodu provođenja. Jasno proizlazi da tiristor, sa sve više inovacija, ostaje jedan od najvažnijih elemenata sa veoma širokom primenom u energetskej elektronici. Može se zaključiti da tiristor ima svetlu i perspektivnu budućnost u oblastima primene kod srednjih i velikih snaga, i da će u oblastima veoma velikih snaga još dugo biti nezamenljiva komponenta.

LITERATURA

- [1] Center for Power Electronics Systems, Virginia Polytechnic Institute and State University, www.erc-assoc.org/factsheets/u/html/erc_u.htm
- [2] B. K. Bose, "Power electronics—A technology review," *Proc. IEEE*, vol. 80, no. 8, pp. 1303–1334, Aug. 1992.
- [3] B. K. Bose, *Modern Power Electronics and AC Drives*. Upper Saddle River, NJ: Prentice-Hall, 2001.
- [4] B. K. Bose, "Recent advances in power electronics," *IEEE Trans. Power Electron.*, vol. 7, no. 1, pp. 2–16, Jan. 1992.
- [5] B. K. Bose, "Power electronics—Why the field is so exciting?" *IEEE Power Electron. Soc. Newslett.*, pp. 11–19, Fourth Quarter 2007.
- [6] K. Satoh and M. Yamamoto, "The present state of the art in highpower semiconductor devices," *Proc. IEEE*, vol. 89, no. 6, pp. 813–821, 2001.
- [7] L. Lorenz, G. Deboy, A. Knapp, and M. Marz, "COOLMOS TM—A new milestone in high voltage power MOS," in *Proc. 11th ISPSD*, 1999, pp. 3–10.
- [8] B. J. Baliga, "The future of power semiconductor device technology," *Proc. IEEE*, vol. 89, no. 6, pp. 822–832, Jun. 2001.
- [9] Z. J. Shen and I. Omura, "Power semiconductor devices for hybrid, electric, and fuel cell vehicles," *Proc. IEEE*, vol. 95, no. 4, pp. 778–789, Apr. 2007.
- [10] L. Lorenz, "Power semiconductors—State-of-the-art and future," in *Proc. IPEC Rec.*, Niigata, Japan, Apr. 2005, pp. 64–71.
- [11] K. Shenai, R. S. Scott, and B. J. Baliga, "Optimum semiconductors for high-power electronics," *IEEE Trans. Electron Devices*, vol. 36, no. 9, pp. 1811–1823, Sep. 1989.
- [12] M. Bakowski, "Status and prospects of SiC power devices," presented at the Int. Power Electronics Conf. Rec. (IPEC), Niigata, Japan, Apr. 2005, Paper no. S1-3.
- [13] L.F. Stringer, "Thyristor DC systems for non-ferrous hot line", *IEEE Industrial Static Power Control*, 1965, pp 6-10
- [14] P. K. Steimer, H. E. Grunning, J. Werninger, E. Carroll, S. Klaka, and S. Linder, "IGCT – a New Emerging Technology for High Power, Low Cost Inverters", *IEEE Industry Applications Magazine*, July/August 1999, pp. 12-18
- [15] Y. Li, A. Q. Huang and F. C. Lee, "Introducing the Emitter Turn-Off Thyristor (ETO)," *Proc. IEEE Industry Applications Society 33rd Annual Meeting*, Oct. 12-15, 1998, pp. 860-864.
- [16] A. Q. Huang, "Emitter Turn-Off Thyristors (ETO)", *US Patent No. US 6,933,541 B1*, Aug. 23, 2005
- [17] G. L. Arsov, S. Mircevski, "The Sixth Decade of the Thyristor", 15-th International Symposium on Power Electronics -Ee 2009, Novi Sad, Republic of Serbia, October 28-30, 2009
- [18] C. C. Harskind and M. M. Morack, *A History of Mercury-Arc Rectifiers in North America*. Piscataway, NJ: IEEE IA Society, IEEE Service Center, 1987.
- [19] J. L. Moll *et al.*, "PNPN transistor switches," *Proc. IRE*, vol. 44, no. 9, pp. 1174–1182, Sep. 1956.
- [20] B. K. Bose, *Power Electronics and Motor Drives – Advances and Trends*, Burlington, MA: Academic, 2006
- [21] J. J. Ebers, "Four Terminal P-N-P-N Transistors," *Proceedings of the IRE*, 40, 1361-1364 (November, 1952)
- [22] Nick Holonyak Jr., "The Silicon p-n-p-n Switch and Controlled Rectifier (Thyristor)", *IEEE Trans. on Power Electronics*, Vol. 16, No. 1, Jan 2001, pp 8-16
- [23] M. B. Prince, "Diffused p-n junction silicon rectifiers," *Bell Sys. Tech. J.*, vol. 35, pp. 661–684, May 1956.
- [24] Robert N. Hall, "Power rectifiers and transistors," *Proc. IRE*, vol. 40, pp. 1512–1518, Nov. 1952.
- [25] Ward 2005 an Oral History of Jerry Suran <http://www.semiconductor-museum.com/Transistors/GE/OralHistories/Suran/Interview.htm>
- [26] General Electric History <http://sites.google.com/site/transistorhistory/Home/us-semiconductor-manufacturers/general-electric-history>
- [27] R. W. Aldrich and N. Holonyak, Jr., "Two-terminal asymmetrical and symmetrical silicon negative resistance switches," *J. Appl. Phys.*, vol. 30, pp. 1819–1824, Nov. 1959.
- [28] F. Gentry, P. Scace, J. Flowers J. "Bidirectional Triode PNPN Switches", *Proc IEEE* 53, 1965, 355-69
- [29] T. L. Skvarenina, Editor The Power Electronics Handbook, CRC Press LLC, 2002
- [30] B. J. Baliga, "Trends in Power Semiconductor Devices," *IEEE Trans. Electron Devices*, vol. ED-43, no. 10, pp. 1717-1731, 1996.
- [31] T. Efland, J. Devore, A. Hastings, S. Pendharkar, and R. Teggatz, "Bipolar Issues in Advanced Power BiCMOS Technology," *Proc. Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 20-27, 2000.
- [32] P. Hower, "Power Semiconductor Devices: an Overview," *Proc. IEEE*, vol. 76, pp. 335-342, 1998.
- [33] B. J. Baliga, *Power Semiconductor Devices*. PWS Publ. Company, 1996.
- [34] Benda, *Power Semiconductor Devices: Theory & Applications*. UK: Wiley UK, 1999.
- [35] Grant, *Power MOSFETs: Theory and Applications*. Wiley, 1989.
- [36] B. E. Taylor, *Power MOSFET Design*. Chichester, New York, Brisbane, Toronto, Singapore: John Wiley & Sons, 1993.
- [37] A. Sugai, "Trends in Power Device Technology," *PASSWORD*, vol. 02-14-e, pp. 1-7, 2002
- [38] T. Ayalew, *SiC Semiconductor Devices Technology, Modeling, and Simulation*. Dissertation, Technische Universität Wien, 2003. <http://www.iue.tuwien.ac.at/phd/ayalew>.
- [39] H. Huang, M. Uder, R. Barthelmeß, J. Dorn, "Application of High Power Thyristors in HVDC and FACTS Systems" *Proc. 17th Conference on Electric Power Supply Industry, CEPsi 2008, CDROM*
- [40] J. Wang, et al. "Silicon Carbide Emitter Turn-Off Thyristor", *International Journal of Power Management Electronics*, Vol. 2008
- [41] A. Edris, "Technology Development & Applications of Power Electronics-Based Controller on Transmission Grids", Electric Power Research Institute, Inc., 2005
- [42] B. Zhang, Y. Liu X. Zhou, J. Hawley, A.Q. Huang, "The high power and high frequency operation of the emitter turn-off (ETO) thyristor", *Proc. IECON '03*, 2-6 Nov. 2003 Vol. 2, pp 1167- 1172
- [43] M. H. Rashid, "Power Electronics Handbook", Academic Press, 2007
- [44] Jong Mun Park, "Novel Power Devices for Smart Power Applications", PhD Dissertation, Techncl University Wien, Oct. 2004
- [45] A. Huang, Liu Yu, Chen Qian, Li Jun, Song Wenchao, "Emitter turn-off (ETO) thyristor, ETO light converter and their grid applications", *Proc. IEEE Power & Energy Society General Meeting, 2009*, Calgari 26-30 July 2009, pp 1-8
- [46] Thomas A. Lipo, Karel Jezernik. Electronic motors, Alternating current motor speed control. Section 15.1. V: Hamid A. Toliyat (ed.). *Handbook of electric motors*, (Electrical and computer engineering, 120). 2nd ed.. New York; Basel: M. Dekker, cop. 2003, pp. 732-759
- [47] B. Sahan, S. V. Araújo, T. Kirstein, L. Menezes, P. Zacharias "Photovoltaic converter topologies suitable for SiC-JFETs", *Proc. PCIM*, 2009, 431-437
- [48] Z. Bencic, "What is Power Electronics?", *Automatika* 1-2/1980, pp 3-10

Abstract—The beginning of modern semiconductor power electronics is bound to the invention of Silicon Controlled Rectifier (SCR) in the 1957, wide known as thyristor. It was the base component for power electronics converters during 1960s and early 1970s. At present, about 70% of electric power is consumed by the process of power electronic equipments, and it is expected to grow up in the future. Some aspects about the future of the thyristor are analyzed in this paper. The answers are given through dealing with evolution of thyristor, comparison between thyristors and power transistors and their application in power converters for different usage. The first part of the paper is dedicated to the history of the thyristor from it's invention, through it's evolution up to the newest components like ICT and ETO. The second part concerns to the whole family of modern

power electronics devices and the comparison of their main characteristics. In the third part the some comparative aspects on the application of power electronics devices are given with special attention to the thyristor and its role in modern power electronics systems. The imposed conclusion is that the old, good thyristor with more innovations of new types, has large, serious application in power electronics. The path and future of thyristors are without doubt sure and promising especially in the area of very large power.

Keywords—Thyristor, transistor, power converter, power electronics application.

The Thyristor and it's Future

A Series-Parallel Switched-Capacitor Power Converter Design Approach

Josif Kosev

University “SS Cyril and Methodius” - Skopje
Faculty of Electrical Engineering and IT
Skopje, R. Macedonia
josif@feit.ukim.edu.mk

Abstract—The asymmetrical series-parallel switched-capacitor converter configuration is analyzed applying constant current load approximation. The validity of the approximation is evaluated. The results are compared with previous art and are confirmed with simulation. A design procedure for the converter parameters and components calculation is developed and an example is presented.

Keywords—switched capacitor; charge pump; converter design; step-down; asymmetrical series-parallel

I. INTRODUCTION

Switched-capacitor power converters (SCC) are attracting higher interest for research activities mainly in the past twenty years, although capacitors are ubiquitous elements for energy storage in many basic power applications, such as rectifiers. Capacitors even provide three to four orders of magnitude higher energy density than inductors [1 – Table 4.1]. The main problem with the switched-capacitors power conversion is the complexity of the switch matrix necessary to provide the capacitor connections and the generation of appropriate driving signal levels for the switches. Nowadays SCCs find applications mainly in the low and ultra-low power range (several watts to several microwatts).

Early research activities are mainly experiments with different but fixed topologies and steady-state characterization through state-space averaging techniques [2]-[7] with the exception of [9] which provides a fundamental topological insight defining the Fibonacci type converters as optimal type for step-up operation. Later it has been complemented with [9] where all of the possible two-phase classical (parallel-series) SCCs are presented. These converters are the most explored ones in practice, especially for on-board power conversion. Other DC-DC topologies are also investigated, such as the exponential type based on multiphase switch-drive [10]. This has been further extended by deriving conditions for optimal capacitance distribution [11] as a contribution for the design procedure. There are just a few contributions in SCC concerning AC voltages and this area remains “neglected”. This is understandable since AC voltages are usually needed for higher-power loads (i.e. higher voltages and currents) while

the complexity of these converters is best suited for IC realizations.

There are two classes of DC-DC IC realizations: on-board and on-chip. Actually ICs for on-board realizations are only switching matrices and control circuitry while the capacitors are external discrete components. There are many SCC chips from nearly all of the semiconductor companies: Linear Technologies, Maxim, Analog Devices, Texas Instruments, National Semiconductors, and NXP - just to mention some. They almost exclusively implement series-parallel SCC topologies, either for step-up, step-down or buck-boost operation, and deliver several miliamperes to several hundreds of miliamperes to the load. Although on-chip converters traditionally implement Dickson’s charge pump [12] for step-up operation, recent reports predominantly analyze and design series-parallel SCCs and their cascade connections [13]-[17]. Starting with single supply EEPROM applications, they explore the area of local supply for low power digital processing circuitry (e.g. microcontrollers or DSPs) and especially ultra-low power sensors based on energy harvesting.

The first practical SCCs (the voltage inverter and the voltage doubler) were uncontrolled. They are still used for on-board voltages generation in many applications (e.g. obtaining RS 232 voltages from a single supply) where a few miliamperes of supply current are sufficient. More sophisticated SCC supplies include output voltage control [4], [7]. They may be based on PWM or switch current-limiting control techniques, but they mostly implement the frequency control techniques since these provide the best efficiency for very wide load variations. The simplest variable frequency technique is the ripple-control technique where the frequency is changed asynchronously according to the minimum load-voltage allowed [18], while the most sophisticated technique is the pseudo-random frequency modulation technique which provides a spread-spectrum (reduced peaks) output voltage harmonics [19]. One of the very basic regulation limits of SCCs – configuration predefined output-to-input current ratio (and output-to-input no-load-voltage ratio) [8] that limits the efficiency to the output-voltage to no-load-output-voltage ratio, is usually cured by on-the-fly reconfiguration of the converter,

usually within two to four possible configurations [15], [17]-[19].

Several design reports can be found in the literature but they are mainly limited to a specific configuration. A very general approach that includes several SCC classes is presented in [1]. It defines performance metrics for evaluating SCCs and develops optimizing methodology based on different constraints to determine the SCC's component and parameter values. This methodology proves indispensable in on-chip SCC design, but is somewhat cumbersome and needs a special tool for implementation.

This article provides a simple insight into the fundamental behavior of the series-parallel class of step-down switched-capacitor converters by analyzing the idealized structure. Such approach can be easily extended to other SCC classes. This is an extension of the approach presented in [20] with introduction of a simple suitable approximation. The presented design method for determining the idealized SCC structure provides a starting point for quick evaluation of the converter parameters since the provided closed-form relations can be easily entered into any spread-sheet program.

II. THE IDEAL STEP-DOWN SCC OPERATION

For the matter of clarity the operation of the converter explained in [20] will be repeated here.

The classical asymmetric step-down converter where the output capacitor is charged in both states is presented in Fig. 1. There are two sets of switches: S_i and S'_i . They operate in opposite positions in the two states. This is illustrated in Fig. 2.: in one of the states switches S_i charge the capacitors in series (together with the output capacitor C_o) while in the other state they are connected in parallel through switches S'_i and discharge into the output capacitor. This actually makes four changes of the output voltage during one cycle, two of which are discontinuous and two are continuous.

It is obvious that the switched capacitors C_1, C_2, \dots, C_n must be equal since their parallel connection would cause charge redistribution among them and additional power losses. Therefore their voltages are equal and the state-space vector has only two variables: the switched-capacitor(s) voltage(s) v_s and the output voltage v_o .

The operation is depicted in Fig. 3. Let the period of operation is denoted by T and the duty cycle by D . The cycle starts at moment t_k^- at which all the capacitors are connected in parallel (just before the switches S'_i turn off) and continues at moment t_k^+ (just after the switches S_i turn on). This is the first discrete state-change. Then follows a continuous state-change which lasts DT when all of the capacitors are connected in series. Switches S'_i turn off at $t_k + DT^-$ and switches S_i turn on at $t_k + DT^+$ which makes the second discrete state-change. In the second continuous state-change all

of the capacitors are in parallel. It lasts $(1-D)T$ and ends at the moment t_{k+1}^- completing the cycle.

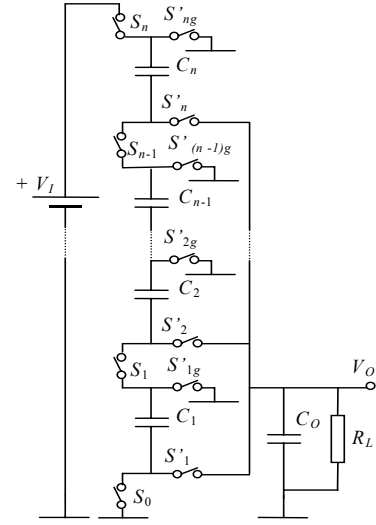


Figure 1. Step-down classical converter schematic diagram

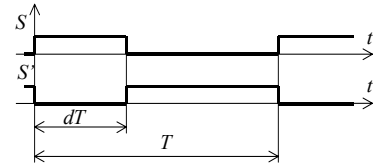


Figure 2. Timing diagrams of the switches

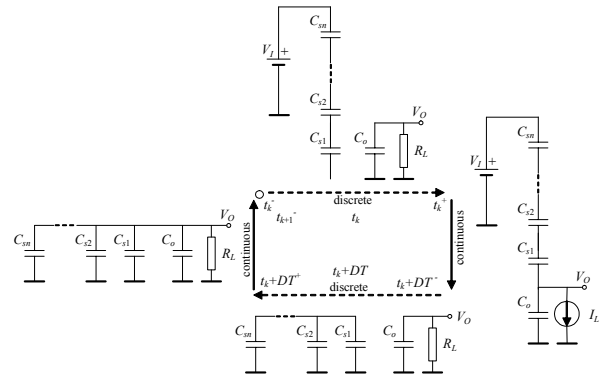


Figure 3. Operational states of the SCC

Since all of the values of the state-space variables within a certain cycle can be related to the initial values in that cycle, and these are all equal to the output voltage initial values, the complete behavior of the converter can be described with the initial-values trajectory of the output voltage. This makes the

basis for a variable frequency approach to the regulation of the output voltage. Instead of regulating the average value of the output voltage - initial-values regulation can be applied which is more suitable for digital controllers.

III. THE APPROXIMATE RELATIONS

If we denote the values of the switched capacitors $C_1 = C_2 = \dots = C_n = C$ and the output capacitor is $C_o = mC$, than for the switched-capacitor voltage(s) v_s and the output voltage v_o at certain moments t_k , following equations would apply:

$$v_s(t_k^-) = v_o(t_k^-) \quad (1)$$

$$v_o(t_k^+) = \frac{V_I}{mn+1} + v_o(t_k^-) \frac{n(m-1)}{mn+1} \quad (2)$$

$$v_s(t_k^+) = V_I \frac{m}{mn+1} - v_o(t_k^-) \frac{m-1}{mn+1} \quad (3)$$

$$v_o(t_k + DT^-) = \frac{V_I}{mn+1} + v_o(t_k^-) \frac{n(m-1)}{mn+1} - \frac{nD}{mn+1} \frac{I_L}{fC} \quad (4)$$

$$v_s(t_k + DT^-) = V_I \frac{m}{mn+1} - v_o(t_k^-) \frac{m-1}{mn+1} + \frac{D}{mn+1} \frac{I_L}{fC} \quad (5)$$

$$\begin{aligned} v_o(t_k + DT^+) &= v_s(t_k + DT^+) = \\ &= V_I \frac{m(n+1)}{(mn+1)(m+n)} + v_o(t_k^-) \frac{n(m-1)^2}{(mn+1)(m+n)} - \frac{n(m-1)D}{(mn+1)(m+n)} \frac{I_L}{fC} \end{aligned} \quad (6)$$

$$\begin{aligned} v_o(t_{k+1}^-) &= v_s(t_{k+1}^-) = V_I \frac{m(n+1)}{(mn+1)(m+n)} + v_o(t_k^-) \frac{n(m-1)^2}{(mn+1)(m+n)} - \\ &- \frac{mn+1-(n+1)D}{(mn+1)(m+n)} \frac{I_L}{fC} \end{aligned} \quad (7)$$

Equation (7) is the difference equation of the output-voltage discrete trajectory. It has the form:

$$v_o(t_{k+1}^-) = \frac{1}{K} [a v_o(t_k^-) + b V_I + r I_L] \quad (9)$$

Where $K = (mn+1)(m+n)$, $a = n(m-1)^2$, $b = m(n+1)$, $r = -\frac{mn+1-(n+1)D}{fC}$ and $v_o(0^-) = 0$.

It can be solved either directly or by implementing z-transform:

$$V_o(z) = \frac{bV_I + rI_L}{K} \cdot \frac{z}{\left(z - \frac{a}{K}\right)(z-1)} \quad (10)$$

The output voltage discrete trajectory becomes:

$$v_o(t_k^-) = \frac{bV_I + rI_L}{K-a} \cdot \left[1 - \left(\frac{a}{K}\right)^k \right] \quad (11)$$

Although this is a model for the steady-state when the current achieves its final value, it can also be used to find the approximate transient time as a number of cycles:

$$k = \frac{\ln \left[1 - \frac{V_R(K-a)}{bV_I + rI_L} \right]}{\ln \frac{a}{K}} \quad (12)$$

It can be noted that this model also supports the case $m=1$ (i.e. $a=0$) when the converter directly enters the steady-state v_{O_s} , obtainable for $k \rightarrow \infty$:

$$v_o(t_k^-)_s = \frac{V_I}{n+1} - \frac{mn+1-(n+1)D}{m(n+1)^2} \cdot \frac{I_L}{fC}, \quad (13)$$

$$v_o(t_k^+)_s = \frac{V_I}{n+1} - \frac{n(m-1)}{m(n+1)(mn+1)} \left(\frac{mn+1}{n+1} - D \right) \cdot \frac{I_L}{fC}, \quad (14)$$

$$v_o(t_k + DT^-)_s = \frac{V_I}{n+1} - \frac{n}{m(n+1)} \left(\frac{m-1}{n+1} + D \right) \cdot \frac{I_L}{fC}, \quad (15)$$

$$v_o(t_k + DT^+)_s = \frac{V_I}{n+1} - \frac{n(m-1)}{m(m+n)(n+1)} \left(\frac{m-1}{n+1} + D \right) \cdot \frac{I_L}{fC} \quad (16)$$

It is interesting to note that the output saw-tooth voltage waveform has unequal positive peaks (and also unequal negative peaks), but the positive peaks become equal for any n with $m=1$ and are equal to the maximum obtainable (no-load) output voltage.

$$v_o(t_k + DT^+)_s = v_o(t_k^+)_s = \frac{V_I}{n+1} \quad (17)$$

The output voltage ripple is defined with:

$$\Delta V_{Op-p} = \max[V_o(t_k^+)_s, V_o(t_k + DT^+)_s] - \min[V_o(t_k^-)_s, V_o(t_k + DT^-)_s] \quad (18)$$

and was examined numerically. Again it appears that the minimum output voltage ripple is obtainable for:

$$D = \frac{1}{n+1}, \quad (19)$$

and can be shown that at this duty cycle the low peaks in the output voltage waveform become equal independently of m :

$$v_o(t_k^-)_s = v_o(t_k + DT^-)_s = \frac{V_I}{n+1} - \frac{n}{(n+1)^2} \cdot \frac{I_L}{fC}. \quad (20)$$

The average output voltage is:

$$V_{OS} = \frac{V_I}{n+1} - \left[\frac{2(mn+1)(m+n) - m(n+1)^2}{2m(m+n)(n+1)^2} + \frac{mn - m - 2n}{m(m+n)(n+1)} D + \frac{mn + m + 2n}{2m(m+n)(mn+1)} D^2 \right] \cdot \frac{I_L}{fC}, \quad (21)$$

and for $D=1/(n+1)$ becomes:

$$V_{OS} = \frac{V_I}{n+1} - \frac{mn(2mn + n^2 + 1)}{2(m+n)(mn+1)(n+1)^2} \cdot \frac{I_L}{fC}. \quad (22)$$

Both of these expressions resemble the form:

$$V_{OS} = V_{oi} - R_{sc} I_L, \quad (23)$$

where R_{sc} is the equivalent output (switched-capacitor) resistance. In the case of $m \rightarrow \infty$ the same value as with exact equations in [20] is obtained:

$$\lim_{m \rightarrow \infty} R_{sc} = \frac{n}{(n+1)^2} \cdot \frac{1}{fC}. \quad (24)$$

The output-to-input current ratio depends only on the topology and the charge-transfer analysis provides the same expression as in [20]:

$$\frac{I_L}{I_i} = \frac{1}{K_i} = n+1. \quad (25)$$

where K_i is the ideal (no-load) output-to-input voltage ratio. This determines the efficiency expression:

$$\eta = \frac{1}{K_i} \frac{V_{OS}}{V_I}. \quad (26)$$

where V_{OS} is the steady-state output voltage.

IV. DESIGN PROCEDURE AND CONTROL TECHIQUE

The design procedure assumes that the following input parameters are given:

- input voltage range (V_{Imin}, V_{Imax}),

- average steady-state output voltage (V_{OS}),
- maximum output current (I_{Lmax}),
- maximum output voltage ripple (ΔV_{Omax}).

The designer selects the maximum switching frequency (f_{max}) and calculates the values of:

- number of switched capacitors needed (n),
- value of the switched capacitors (C),
- output capacitor multiplier (m).

The procedure is based on (20) which decouples the m and n parameters and shows that the output voltage ripple can be obtained independently of the switching frequency. Therefore the frequency variation can serve only for providing the necessary output current while keeping the lower peaks of the output voltage (and thus the average output voltage) at the required level. This simply means that at low currents the frequency would drop accordingly, and implicitly would reduce all other switching losses keeping the efficiency at the projected (highest possible) level for the selected configuration.

The intuitive explanation of the previous behavior would be as follows: We can choose as high value for the output capacitor as necessary to reduce the voltage ripple at will. If we inject charge every time the output voltage reaches the lowest value, than we can keep the output voltage at the required level provided that we can do it often enough to supply the output current. Now, if the injected charge is always the same – so would be the output voltage ripple too.

The output voltage ripple can be determined form:

$$\Delta v_o(t_k) = v_o(t_k^+)_s - v_o(t_k^-)_s = \frac{n}{(mn+1)(n+1)} \cdot \frac{I_L}{fC} \quad (27)$$

and

$$\Delta v_o(t_k + DT) = v_o(t_k + DT^+)_s - v_o(t_k + DT^-)_s = \frac{n}{(m+n)(n+1)} \cdot \frac{I_L}{fC}. \quad (28)$$

Since low ripple means $m > 1$, and also $n \geq 1$, we obtain:

$$\Delta v_o(t_k + DT) > \Delta v_o(t_k), \quad (29)$$

so the output voltage ripple would be:

$$\Delta V_{Op-p} = \frac{n}{(m+n)(n+1)} \cdot \frac{I_L}{fC}. \quad (30)$$

This allows the following modification of (20):

$$v_{Omin} = v_o(t_k^-)_s = v_o(t_k + DT^-)_s = \frac{V_I}{n+1} - \frac{m+n}{n+1} \cdot \Delta V_{Op-p}. \quad (31)$$

Since we keep v_{Omin} constant, the maximum output voltage ripple appears at the maximum input voltage. Therefore, provided we know n , the multiplier m should be:

$$m = \frac{V_{L,max}}{\Delta V_{Omax}} - (n+1) \frac{v_{Omin}}{\Delta V_{Omax}} - n \quad (32)$$

The number of switched-capacitors, n , is determined from the condition that the steady-state average output voltage should be less than the minimum no-load output voltage:

$$V_{OS} < V_{O,min} = K_i V_{L,min} \Rightarrow n+1 = \frac{1}{K_i} < \frac{V_{L,min}}{V_{OS}}$$

i.e.

$$n = \left\lfloor \frac{V_{L,min}}{V_{OS}} \right\rfloor - 1, \quad (33)$$

where $\lfloor x \rfloor$ means integer part.

The capacitance value C is obtained from (30) knowing that the converter must deliver the maximum output current even at the lowest input voltage (i.e. lowest output voltage ripple) necessarily operating at the highest projected frequency:

$$C = \frac{I_{L,max}}{f_{max} \Delta V_{Omin}} \cdot \frac{n}{(m+n)(n+1)}, \quad (34)$$

where ΔV_{Omin} can be obtained from (31):

$$\Delta V_{Omin} = \frac{V_{L,min} - (n+1)v_{Omin}}{m+n}. \quad (35)$$

Since ΔV_{Omax} is within a few % of V_{OS} , v_{Omin} can be approximated with:

$$v_{Omin} \approx V_{OS} - \frac{1}{2} \Delta V_{Omax}. \quad (36)$$

Finally we can define the design procedure:

1. Calculate n from (33), and then D from (19).
2. Calculate v_{Omin} from (36).
3. Calculate m from (32).
4. Calculate ΔV_{Omin} from (35).
5. Calculate C from (34) and $C_O = mC$.

V. EXAMPLE

Let be $V_I = 12V$ (11V-14V), $V_{OS} = 5V$, $I_{L,max} = 2A$, $\Delta V_{Omax} = 1\% V_{OS} = 50mV$, and let choose $f_{max} = 100kHz$. We obtain:

$$1. n = \left\lfloor \frac{11}{5} \right\rfloor - 1 = 1 \Rightarrow d = 0.5$$

$$2. v_{Omin} = 5 - \frac{1}{2} \cdot 0.05 = 4.975V$$

$$3. m = \frac{14}{0.05} - 2 \cdot \frac{4.975}{0.05} - 1 = 80$$

$$4. \Delta V_{Omin} = \frac{11 - 2 \cdot 4.975}{81} = 0.01296V$$

$$5. C = \frac{2}{100 \cdot 10^3 \cdot 0.01296} \cdot \frac{1}{2 \cdot 81} = 9.5 \cdot 10^{-6} F, C_O = 760\mu F$$

Spice simulation with nearly ideal switches confirms the results very closely. Table 1 presents the obtained results for minimum and maximum input voltage at $I_L = 2A$.

TABLE I. PSPICE SIMULATION RESULTS

V_I	V_{Omin}	V_{Omax}	V_{OS}	ΔV_O	f
(V)	(V)	(V)	(V)	(V)	(kHz)
11	4.971	4.982	4.976	0.011	100
14	4.956	5.004	4.980	0.048	25.77

VI. CONCLUSIONS

Two-phase series-parallel switched-capacitor converters are the most explored type in practice – equally for on-board and for on-chip applications. The analysis approach for the ideal step-down SCC presented here provides effective insight into its operation, including the most effective control technique for SCCs – the frequency control. It is a starting point for development of a simple design algorithm. The algorithm is implemented on a specific case as an example and confirmed with PSPICE simulation.

This methodology can be easily extended for other types of two-phase series-parallel SCCs, but it may be also applicable for other types of converters. The only condition is the validity of the constant current load approximation analyzed in the Appendix.

REFERENCES

- [1] M. Seeman, "A design methodology for switched-capacitor DC-DC converters", dissertation, Electrical Engineering and Computer Sciences, University of California at Berkeley, May 21, 2009
- [2] F. Ueno, T. Inoue, T. Umeno, I. Oota, "Analysis and application of switched-capacitor transformers by formulation", in Electronics and Communications in Japan, Part II: Electronics, Vol. 73, No. 9, Sept. 1990
- [3] I. Oota, F. Ueno, T. Inoue, "Analysis of a switched-capacitor transformer with a large voltage-transformer ratio and its applications", in Electronics and Communications in Japan, Part II: Electronics, Vol. 73, No. 1, Jan. 1990
- [4] S. V. Cheong, A. Ioinovici, "Inductorless DC-to-DC converter with high power density" in IEEE Transactions on Industrial Electronics, Vol. 41, No. 2, April 1994, pp.208-215
- [5] K. D. T. Ngo, R. Webster, "Steady-state analysis and design of a switched-capacitor DC-DC converter", in IEEE Transactions on Aerospace and Electronic systems, Vol. 30, No. 1, January 1994

- [6] W. S. Harris, K. D. T. Ngo, "Operation and design of a switched-capacitor DC-DC converter with improved power rating", APEC '94 Conference Proceedings, Feb. 13-17, 1994, Orlando, FL, pp.192-198
- [7] J. Kosev, G. L. Arsov, "PWM - Controllable 12V to 5V inductorless DC-to-DC converter with minimum component count", Proceedings of the 9-th Symposium on Power Electronics, Novi Sad, 22-24 Oct. 1997, pp 161-165
- [8] M. S. Makowski, D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters", IEEE Power Electronics Specialist Conference Record 1995, Jun 1995, pp. 1215-1221
- [9] J. Kosev, "On the possible configurations of the classical two-step charge-pump power converters", Summer Symposium on Electronics and Signal Processing LEOS 2002, 21-23 Jun, Ohrid, 2002 (in Macedonian)
- [10] I. Oota, F. Ueno, T. Inoue, "Analysis of a switched-capacitor transformer with a large voltage-transformer ratio and its applications", in Electronics and Communications in Japan, Part II: Electronics, Vol. 73, No. 1, Jan. 1990
- [11] J. Kosev, G. L. Arsov, "Multistep Inductorless DC-DC Transformer with High Voltage Ratio", in Electronics, vol 5, No 1-2, Jan. 2001, pp. 54-57, Banja Luka
- [12] J. K. Dickson, "On-chip high voltage generation in NMOS integrated circuits using an improved voltage multiplier technique," *IEEE J. Solid-State Circuits*, vol. SC-11, pp. 374-378, June 1976.
- [13] Dragan Maksimovic and Sandeep Dhar, "Switched-capacitor DC-DC converters for low-power on-chip applications", Power Electronics Specialists Conference, 1999. PESC 99, pp. 54 - 59 vol.1
- [14] A. Cabrini, A. Fantini, G. Torelli, "High-Efficiency Regulated Charge Pump for Non-Volatile Memories", Electronics, 13th IEEE International Conference on Circuits and Systems, 2006. ICECS '06. pp. 720 - 723
- [15] Y.K. Ramadass, A.P. Chandrakasan, "Voltage scalable switched capacitor DC-DC converter for ultra-low-power on-chip applications", Power Electronics Specialists Conference, 2007. PESC 2007, pp. 2353 - 2359
- [16] J. Kwong, et al., "A 65 nm Sub-Vt Microcontroller With Integrated SRAM and Switched Capacitor DC-DC Converter", Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers, pp. 318 - 616
- [17] M.D. Seeman, S.R. Sanders, J.M. Rabaey, "An ultra-low-power power management IC for energy-scavenged wireless sensor nodes", Power Electronics Specialists Conference, 2008. PESC 2008. , pp. 925 - 931
- [18] O.A. Hasib, M. Sawan, Y. Savaria, "Fully integrated ultra-low-power asynchronously driven step-down DC-DC converter", Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), 2010, pp. 877 - 880
- [19] W. Walter, "New step-down charge-pumps are tiny, efficient and very low noise", Design note 310, www.linear.com, 2003
- [20] J. Kosev, G. Arsov, "An exact approach to the analysis of the ideal step-down charge-pump parallel-series power converter", 14th International symposium on power electronics EE2007, T1-1.5, Novi Sad, Nov. 2007

VII. APPENDIX

The approximation in this article is based on replacement of the exponential (output voltage) waveform with a linear one shown in Fig. 4.

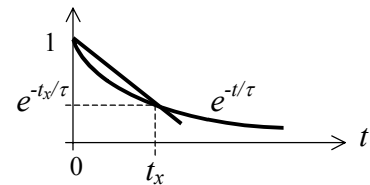


Figure 4. Linear approximation of the exponential function

The average values of the exact and the approximated waveforms are:

$$AVG_{ex} = \frac{1}{t_x} \int_0^{t_x} e^{-\frac{t}{\tau}} dt = \frac{\tau}{t_x} \left(1 - e^{-\frac{t_x}{\tau}} \right) \text{ and } AVG_{apr} = \frac{1 + e^{-\frac{t_x}{\tau}}}{2},$$

and their difference is:

$$\delta = \frac{AVG_{apr} - AVG_{ex}}{AVG_{ex}} = \frac{1}{2} \frac{t_x}{\tau} \frac{1 + e^{-\frac{t_x}{\tau}}}{1 - e^{-\frac{t_x}{\tau}}} - 1,$$

If these values differ less than 1%, numerically we obtain:

$$\frac{t_x}{\tau} < 0,34 \text{ i.e. } \frac{\tau}{t_x} > 3. \quad (37)$$

Since t_x may be DT or $(1-D)T$, (37) gives:

$$\frac{\tau/T}{D} > 3 \text{ and } \frac{\tau/T}{1-D} > 3,$$

which will be satisfied for any D if (conservatively):

$$\tau_r = \frac{\tau}{T} > 3. \quad (38)$$

Equation (38) allows waveform change of

$$\Delta = 1 - e^{-\frac{0.34\tau}{\tau}} = 0.288 \quad (39)$$

or 28.8% ripple – an order of magnitude greater than any applicable ripple in practice!

Analiza i ispitivanje karakteristika integrisanog „buck-flyback“ pretvarača

Vladan Vujičić

Univerzitet Crne Gore
Elektrotehnički fakultet
Podgorica, Crna Gora
vladanv@ac.me

Sandro Markić

Elektroprivreda Crne Gore
ED Ulcinj
Ulcinj, Crna Gora
sandroul@hotmail.com

Sadržaj—U ovom radu razmatra se mogućnost primjene integrisanog „buck-flyback“ pretvarača (IBFP) u ac-dc pretvaračima visokog faktora snage. Objasnjen je princip rada IBFP-a i analiziran uticaj pojedinih parametara pretvarača na njegove karakteristike. Izvršena je računarska simulacija rada konkretnog IBFP-a snage 100W. Rezultati simulacije ukazuju da IBFP ispunjava međunarodne standarde u pogledu kvaliteta električne energije. Pored toga, na osnovu dobijenih rezultata, može se zaključiti da IBFP ima veoma brz dinamički odziv i da obezbjeđuje stabilnost izlaznog napona, nezavisno od nivoa opterećenja i stabilnosti ulaznog napona.

Ključne riječi—„buck-flyback“ pretvarač; harmonijska izobličenja; dinamički odziv

I. UVOD

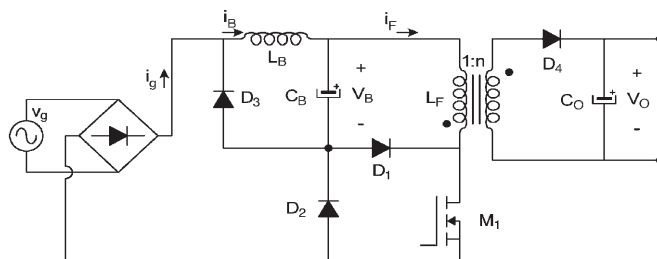
Osnovni zadatak uređaja i sklopova energetske elektronike koji se koriste kao sekundarni izvori napajanja je da potrošaču obezbijede potreban nivo napona i struje. Od njih se, kao uostalom i od svih energetskih pretvarača, zahtijeva da imaju dobre tehničko-ekonomske pokazatelje. Potrebno je obezbijediti: male gabarite i masu, pouzdanost i bešumnost pri radu, jednostavno održavanje, visok stepen korisnog dejstva, dug radni vijek i prihvatljivu cijenu odnosno niske troškove izrade. U slučaju kada se ovi uređaji snadbijevaju energijom posredstvom električne mreže, postoji niz standarda i preporuka iz oblasti kvaliteta električne energije o kojima potrebno voditi računa prilikom njihovog projektovanja. Imajući u vidu da oni predstavljaju izrazito nelinearne potrošače, osnovni problem je svesti generisana harmonijska izobličenja na prihvatljiv nivo i obezbijediti visok faktor snage na njihovom ulazu.

Ovaj rad bavi se analizom integrisanog „buck-flyback“ pretvarača (IBFP) kao sekundarnog izvora jednosmjernog napona koji obezbjeđuje visok faktor snage na ulazu [1]–[4]. IBFP se sastoji od diodnog mostnog ispravljača i, preko njega napajanog, integrisanog „buck-flybak“ dc-dc pretvarača. Zadatak dc-dc pretvarača je da obezbijedi stabilan izlazni napon, ali i da oblikuje ulaznu struju, kako bi se ostvario visok faktor snage i smanjio uticaj viših harmonika. Rad se bavi ispitivanjem mogućnosti primjene IBFP-a za napajanje uređaja snage od 75W do 600W (kao što su personalni računari, monitori i TV prijemnici) koji po standardu Međunarodne elektrotehničke komisije IEC 61000-3-2 spadaju u klasu D potrošača. Uz pomoć računarske simulacije, biće izvršen

proračun harmonika i utvrđeno da li IBFP zadovoljava IEC 61000-3-2 standard u pogledu amplituda viših harmonika. Pored toga, biće izvršena analiza uticaja varijacije mrežnog napona i opterećenja na stabilnost i talasnost izlaznog napona. Dinamički odziv pretvarača biće testiran naglom promjenom otpornosti potrošača.

II. PRINCIP RADA IBFP-A

Na slici 1. je prikazana šema IBFP-a koji se napaja preko naizmjenične (AC) električne mreže. Najprostiji način rada pretvarača je održavanje diskontinualnog strujnog režima (DSR) u oba Buck i Flyback induktivna elementa (kalema i transformatora, respektivno). U tom slučaju napon na kapacitivnom filtru V_B praktično je nezavistan od opterećenja, prekidačke učestanosti i faktora popunjenosti (engl. *duty cycle*), već isključivo zavisi od ulaznog AC napona i odnosa „buck“ i „flyback“ induktivnosti (L_B i L_F , respektivno), [4]. Ovo je važna osobina za integrisane energetske pretvarače koji rade u DSR-u, jer omogućuje brzu regulaciju izlaznog napona.

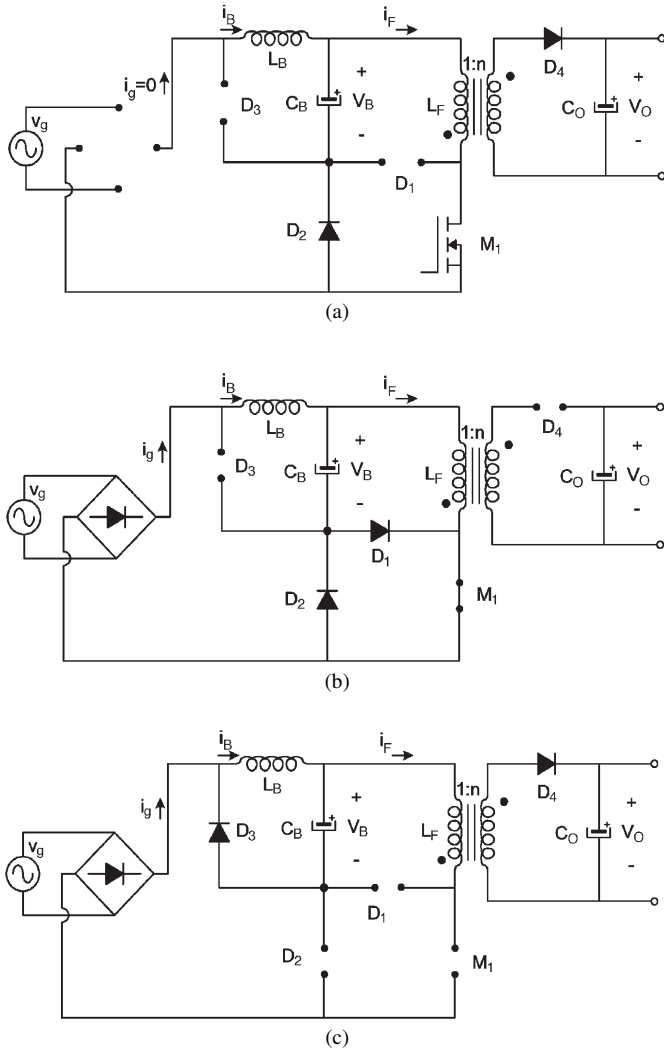


Slika 1. Šema IBFP-a

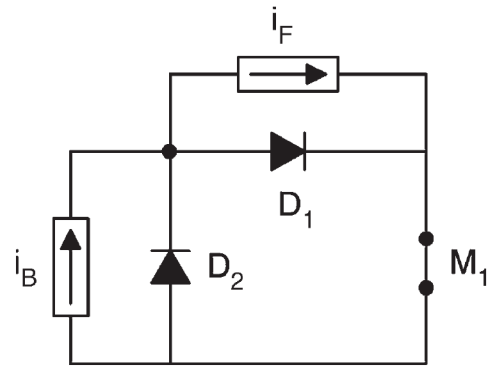
Na slici 2 prikazana su ekvivalentna kola IBFP-a u toku poluperiode mrežnog napona v_g . U vremenskim intervalima u kojima je trenutni napon v_g manji od napona V_B , diode mostnog ispravljača su inverzno polarisane, pa je izlazna struja i_g jednaka nuli. Diode D1 i D2 su takođe inverzno polarisane, a struja kroz L_B jednaka je nuli ($i_B=0$). Ekvivalentno kolo prikazano je na slici 2a. U ovom modu jedino Flyback pretvarač ostvaruje svoju funkciju preko prekidača M1 i dioda D2 i D4. Rad IBFP-a je ekvivalentan radu Flyback pretvarača, pri čemu se energija uzima iz kondenzatora C_B i predaje opterećenju.

Slike 2b i 2c prikazuju ekvivalentna kola u vremenskom intervalu u kojem je trenutni napon v_g veći od napona V_B . U ovom intervalu energija u induktivnim elementima L_B i L_F raste kada je prekidački element M1 uključen. Tada su diode D3 i D4 inverzno polarisane, pa predstavljaju prekid u kolu (slika 2b). U zavisnosti od međusobnog odnosa struja i_B i i_F , osim kroz M1, struja će proticati kroz jednu od dioda D1 ili D2.

Da bi lakše razumjeli ulogu dioda D1 i D2 i utvrdili uslove za njihovo provođenje, razmotrićemo kolo sa slike 3 do kojeg se dolazi uprošćavanjem kola sa slike 2b. U ovom kolu kroz prekidač M1 protiče veća od dvije struje i_B i i_F . Struja kroz diodu D1 protiče samo kada je $i_B > i_F$, dok će se kroz diodu D2 struja javljati samo u obrnutom slučaju kada je $i_B < i_F$. Struja kroz diodu D1 kada provodi ($i_B > i_F$) iznosiće $i_B - i_F$, dok će struja kroz diodu D2 kada provodi ($i_B < i_F$) iznositi $i_B - i_F$. Kroz M1 uvijek će proticati veća od struja i_B i i_F , ali nikada ne i njihov zbir. Ovo je jedna od prednosti IBFP-a u odnosu na druge integrisane topologije pretvarača u kojima struje iz dva pretvaračka stepena simultano cirkulišu kroz upravljački prekidač.



Slika 2. Ekvivalentna kola IBFP-a kada je: (a) $v_g < V_B$, (b) $v_g > V_B$ i M1 uključen, (c) $v_g > V_B$ i M1 isključen



Slika 3. Pojednostavljeno ekvivalentno kolo kada je M1 uključen

Na kraju, na slici 2c prikazano je ekvivalentno kolo za slučaj $v_g > V_B$ kada je prekidač M1 isključen. Tokom ovog intervala, akumulirana energija iz L_F prenosiće se ka potrošaču preko diode D4, dok će se akumulirana energija iz L_B preko diode D3 prenositi u C_B . Kroz diodu D3, odnosno diodu D4, protiče struja sve dok se ne oslobodi cjelokupna akumulirana energija iz L_B , odnosno L_F , respektivno. Najveći napon koji se pojavljuje na prekidaču M1 tokom ovog intervala, shodno slici 2c, iznosi: $V_g + V_B + V_o / n$.

III. ODREĐIVANJE UGLA PROVOĐENJA

Posmatrano sa strane ulaza, "buck-flyback" pretvarač može se ekvivalentirati kaskadnom vezom "buck" i "flyback" pretvarača. Obzirom da "buck" pretvarač može radi samo kada je napon na njegovom ulazu veći od izlaznog napona, struja i_g će proticati samo u intervalima kada je $|v_g| > V_B$. Prema tome, ugao provođenja ulazne struje u toku poluperiode ulaznog napona (θ) može se definisati jednačinom:

$$\theta = \pi - 2 \cdot \sin^{-1} m \quad (1)$$

gdje $m = V_B / V_g$ predstavlja odnos napona V_B i amplitude ulaznog napona V_g . Na osnovu (1) možemo zaključiti da, ako odnos m ima vrijednost između 0 i 1, ugao provođenja može varirati od 0 do 180°. S druge strane, međutim, odnos m zavisi od odnosa induktivnosti $\alpha = L_B / L_F$, a veza između m i α definisana je sljedećom aproksimativnom jednačinom [4]:

$$m - 1 - \frac{1}{2m\alpha} \left(1 - \frac{2}{\pi} \sin^{-1} m \right) + \frac{1}{\pi\alpha} \sqrt{1 - m^2} = 0 \quad (2)$$

Korišćenjem nekog numeričkog metoda za rješavanje jednačine (2) moguće je za željeni odnos m izračunati potreban odnos induktivnosti α . Može se pokazati da m opada sa porastom α , pri čemu je $m=1$ u slučaju kada je $\alpha=0$.

Odabir odnosa napona m odražava se na režim rada IBFP-a. Ako se zanemare gubici u pretvaraču, onda snaga koja se prenosi potrošaču iznosi [5]:

$$P_0 = \frac{V_B^2 D^2}{2L_F f_s} \quad (3)$$

gdje je f_s prekidačka učestanost i D faktor popunjenosti. Na osnovu (3), za datu snagu potrošača P_O , faktor popunjenosti će iznositi:

$$D = \frac{1}{V_B} \sqrt{2P_O L_F f_S} \quad (4)$$

Učestanost f_s i induktivnost L_F neophodno je odabrati tako da „buck” i „flyback” pretvarači, pri maksimalnom faktoru popunjenosti D , rade u DSR-u. Uslov DSR-a može se izraziti preko maksimalnih dozvoljenih faktora popunjenosti za „buck” (D_{Buck_Max}) i „flyback” ($D_{Flyback_Max}$) pretvarače:

$$D_{Buck_Max} = m \quad (5)$$

$$D_{Flyback_Max} = \frac{V_0}{nmV_g + V_0} \quad (6)$$

Na osnovu (5) može se zaključiti da je D_{Buck_Max} definisan odnosom napona m , čija je vrijednost ograničena željenim uglom provođenja, odnosno zahtjevom za eliminisanjem viših strujnih harmonika. Prenosni odnos transformatora n trebalo bi odabrati tako da $D_{Flyback_Max}$ ima približno istu vrijednost kao naponski odnos m . Na taj način obezbeđuje se maksimalna moguća efikasnost IBFP-a i minimizuju zahtjevi za izlaznim kapacitivnim filtrom.

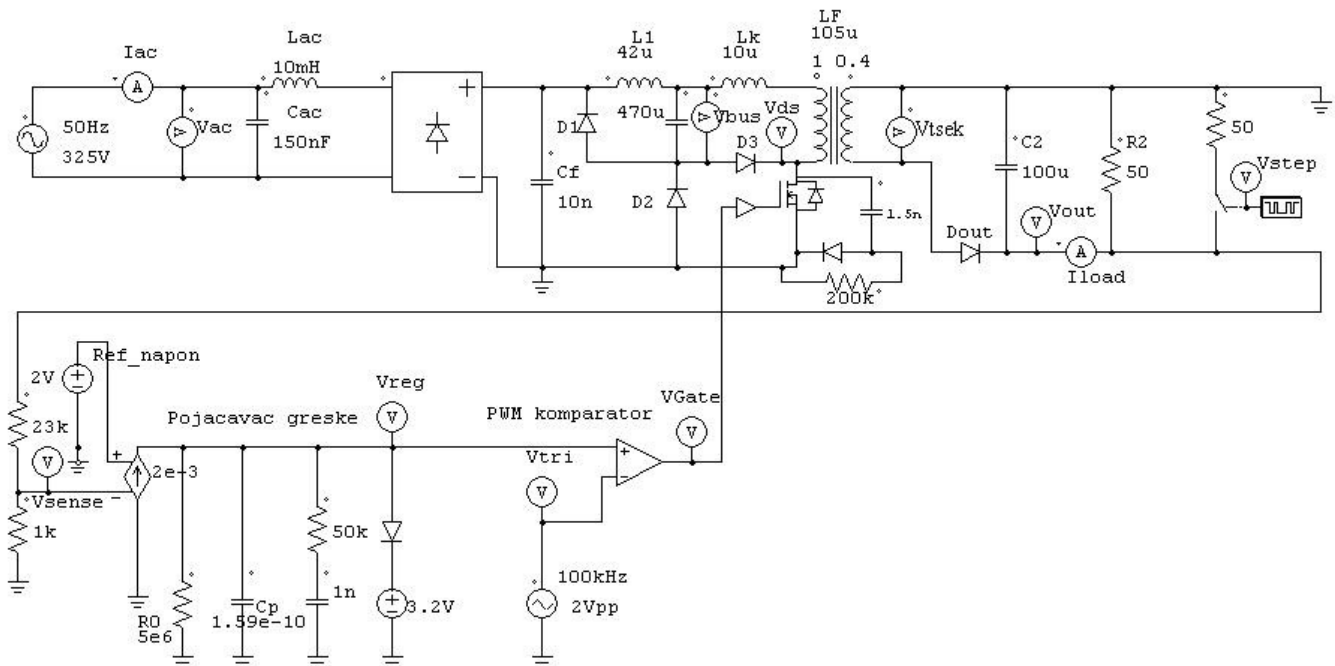
Da bi se ispunili zahtjevi IEC 60000-3-2 za klasu D potrošača, neophodno je da ugao provođenja iznosi minimalno 75° [6]. Na osnovu (1), može se izračunati da ovoj vrijednosti ugla provođenja odgovara vrijednost odnosa napona $m=0.8$. Ugao provođenja raste sa smanjenjem odnosa m , a time se smanjuju harmonijska izobličenja u ulaznoj struji. Međutim, sa

smanjenjem odnosa m povećava se struja u pretvaraču i smanjuje njegova efikasnost, o čemu se mora voditi računa prilikom izbora ugla provođenja.

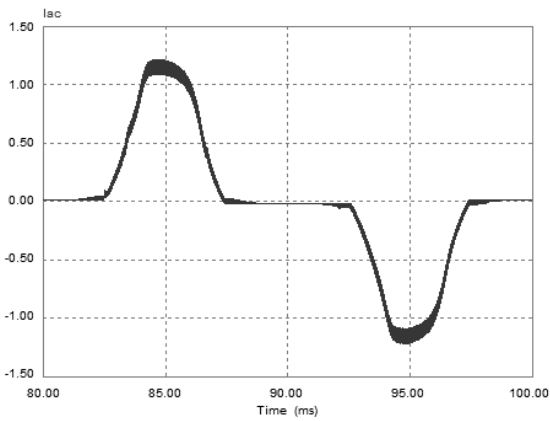
IV. REZULTATI RAČUNARSKE SIMULACIJE

U cilju potvrde ispravnosti sprovedene analize, ali i radi ispitivanja statičkih i dinamičkih karakteristika IBFP-a, izvršena je simulacija rada IBFP-a snage 100W i izlaznog napona 48V koji se napaja iz električne mreže standardnim naponom 220/230V. Simulacija je vršena upotrebom programskog paketa PSIM (verzija 6.0). Za ugao provođenja θ izabrana je vrijednost od 105° , što bi trebalo da obezbijedi sigurno ispunjenje standarda IEC 61000-3-2 klase A i D. Na osnovu (1) utvrđeno je da ovom uglu provođenja odgovara odnos napona $m=0.6$. Maksimalni faktor popunjenosti je, u upravljačkom kolu, ograničen na vrijednost 0.6, pri čemu radna učestanost $f_s=100\text{kHz}$. Kompletna šema korišćena za simulaciju u PSIM-u, sa parametrima IBFP-a, prikazana je na slici 4.

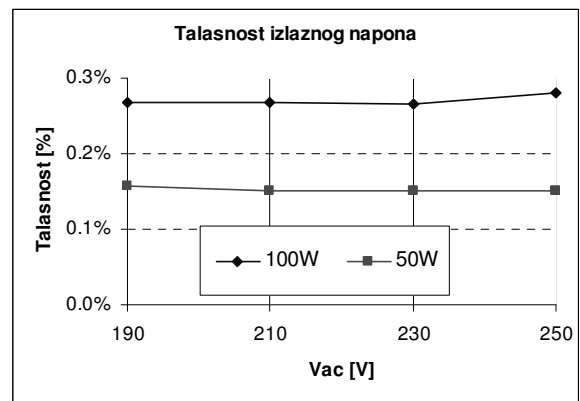
Na slici 5 prikazan je talasni oblik ulazne struje u ustaljenom režimu, kada IBFP radi pri punom opterećenju (100W) i napaja se naponom 230V. Na dobijenim podacima izvršena je Furijeova analiza kako bi se odredile amplitude viših harmonika. Dobijeni podaci su zatim normalizovani i upoređeni sa normama IEC 61000-3-2 klasa D, kao što je prikazano na slici 6. Jasno je da IBFP u potpunosti zadovoljava IEC norme po pitanju elektromagnetne kompatibilnosti.



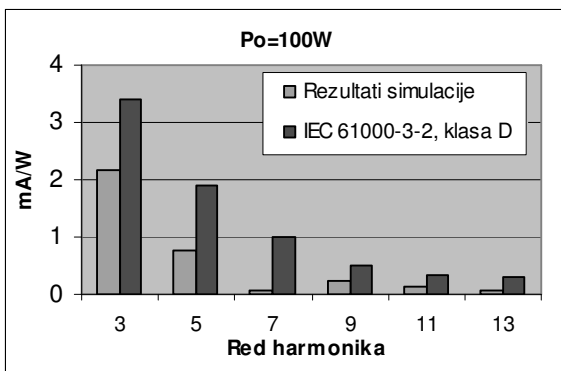
Slika 4. Korišćena šema u simulaciji



Slika 5. Ulazna struja [A] u ustaljenom režimu, pri punom opterećenju

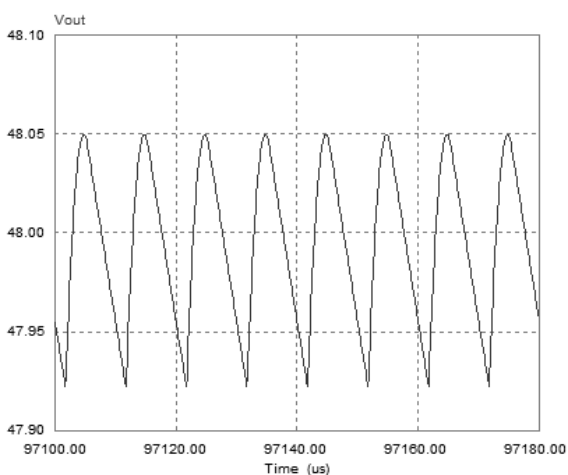


Slika 8. Zavisnost talasnosti izlaznog napona od ulaznog napona u slučaju punog i djelimičnog opterećenja

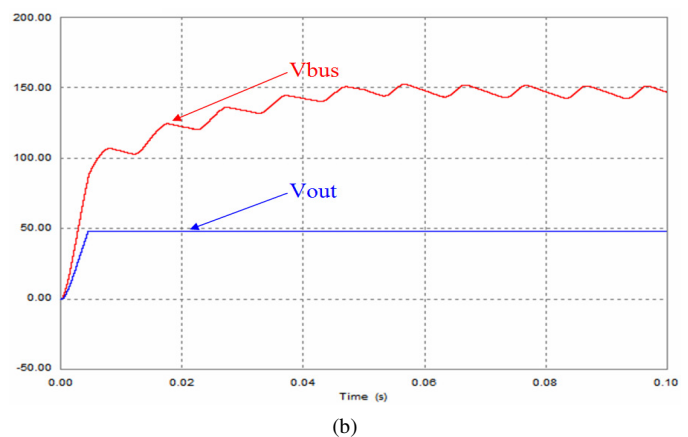
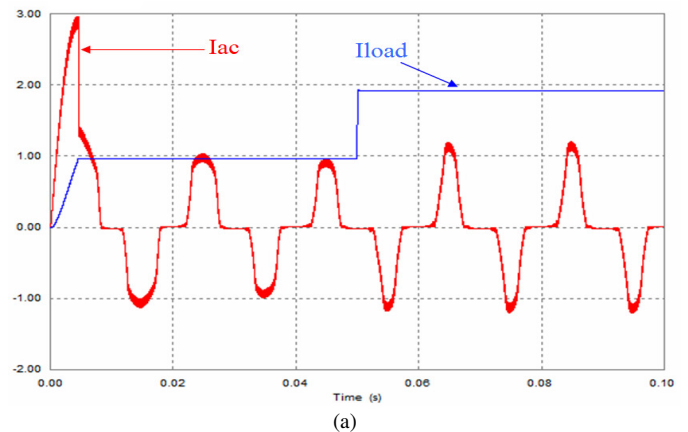


Slika 6. Harmonijski sastav ulazne struje i norme IEC-a

Na slici 7 prikazan talasni oblik izlaznog napona. Napon osciluje oko vrijednosti $U_o=48V$, a talasnost napona ($(U_{omax}-U_{omin})/U_o$, izražena u procentima, iznosi oko 0.265%. Da bi se ispitala stabilnost rada IBFP-a, efektivna vrijednost ulaznog napona mijenjana je u opsegu od 190V do 250V. Talasnost izlaznog napona u funkciji ulaznog napona, u slučaju punog (100W) i djelimičnog (50W) opterećenja, prikazana je na slici 8.



Slika 7. Talasni oblik izlaznog napona



Slika 9. Talasni oblici (a) struja i (b) napona u toku dinamičkog testa

V. ZAKLJUČAK

Na osnovu sprovedene analize može se zaključiti da IBFP, kada radi u DSR-u, posjeduje sve neophodne osobine za uspješnu primjenu u savremenim energetske ac-dc pretvaračima. Uz pravilan odabir odgovarajućih elemenata kola, IBFP ispunjava međunarodne standarde u pogledu kvaliteta električne energije, što potvrđuju i rezultati simulacije. Rezultati simulacije, takođe, pokazuju da IBFP ima veoma dobre dinamičke karakteristike, kao i da obezbjeđuje stabilnost izlaznog napona u svim radnim uslovima.

REFERENCE

- [1] M. Madigan, R. Erickson, and E. Ismail, "Integrated high-quality rectifier regulators," IEEE Trans. Ind. Electron., vol. 46, no. 4, pp. 749–758, Aug. 1999.
- [2] M. Ferdowsi and A. Emadi, "Pulse regulation control technique for integrated High-Quality rectifier-regulators," IEEE Trans. Ind. Electron., vol. 52, no. 1, pp. 116–124, Feb. 2005.
- [3] J. Y. Lee, "Single-stage AC/DC converter with input-current dead-zone control for wide input voltage ranges," IEEE Trans. Ind. Electron., vol. 54, no. 2, pp. 724–732, Apr. 2007.
- [4] J. Marcos Alonso, Marco A. Dalla Costa and Carlos Ordiz, "Integrated Buck-Flyback converter as a High-Power-Factor Off Line Power Supply" IEEE Trans. Ind. Electron., vol. 55, no. 3, pp. 1090–1099, March 2008.
- [5] J. M. Alonso, A. J. Calleja, J. Ribas, E. Lopez, and M. Rico-Secades, "Analysis and design of a novel Single-Stage High-Power-Factor electronic ballast based on integrated Buck-Half-Bridge resonant

inverter," IEEE Trans. Power Electron., vol. 19, no. 2, pp. 550–559, Mar. 2004.

- [6] A. Fernandez, D. G. Lamar, M. M. Hernando, and J. Sebastian, "A Hybrid solution to meet IEC 61000-3-2 regulations reprocessing a small part of the total power," in Proc. IEEE Power Electron. Spec. Conf., Jeju, Korea, Jun. 2006, pp. 408–414.

Abstract—In this paper, the potential application of integrated buck-flyback converters (IBFC) in high power factor ac-dc converters is considered. Principles of IBFC are explained, and the relationship between converter's parameters and performances is analyzed. Computer simulation results of the actual IBFC, a 100W power, are presented. Simulation results show that IBFC meets international standards in terms of power quality. In addition, based on the results, it can be concluded that IBFC has very fast dynamic response and ensure stability of output voltage, regardless of the level of load and input voltage stability.

Keywords—buck-flyback converter; harmonics distortion; dynamic response

Analysis and performance tests of the integrated buck-flyback converter

Uporedna analiza različitih rešenja uređaja za neprekidno napajanje

Miroslav Lazić, Dragana Petrović

Energetska elektronika
Iritel a.d. Beograd
Beograd, Srbija
mlazic@iritel.com, titelac@iritel.com

Goran Stojanović

Elektronika
FTN Novi Sad
Novi Sad, Srbija
sgoran@unc.ac.rs

Sadržaj – Neprekidan i pouzdan rad je neophodan uslov u savremenim telekomunikacionim sistemima. Da bi se ostvarila neprekidnost koriste se uređaji za neprekidna napajanja. U praksi se uobičajeno koristi izraz UPS od engleske skraćenice Uninterruptible Power Supply. Postoji širok spektar različitih rešenja za uređaje koji obezbeđuju neprekidno napajanje. U radu je urađena komparativna analiza tri tipa uređaja. Kao kriterijumi za upoređivanje korišćeni su: princip rada, oblik izlaznog signala, efikasnost i složenost. Uz analizu standardnih rešenja uređaja za neprekidno napajanje sa naizmeničnim izlaznim naponom opisano je i specifično rešenje sa jednosmernim naponom na izlazu.

Ključne reči–*neprekidno napajanje; neprekidnost; efikasnost; pouzdanost; izlazni napon*

I. UVOD

Na konferenciji Infotech 2009 Jahorina publikovan je rad „Jedno rešenje neprekidnog napajanja uređaja IT” [1] u kome je izvršena podela uređaja za neprekidna napajanja i opisane su karakteristike svake grupe. Opisano je i rešenje za neprekidno napajanje nazvano DC UPS koje je po karakteristikama efikasnosti i neprekidnosti rada bolje od uobičajenih rešenja u praksi, ali ima ograničenu oblast primene.

Rad „Uporedna analiza različitih rešenja uređaja za neprekidno napajanje” je nadgradnja prethodno pomenutog rada. Dati su realni oblici napona pri prelasku sa osnovnog na rezervni izvor energije. Urađena je harmonijska analiza. U skladu sa tim, analiziran je uticaj oblika signala napona na rad potrošača koji se napajaju preko uređaja za neprekidno napajanje.

II. UREĐAJI ZA NEPREKIDNO NAPAJANJE

Uloga uređaja za neprekidno napajanje je da u trenutku kada nastane prekid u snabdevanju energijom iz osnovnog izvora, obezbedi napajanje potrošača iz rezervnog izvora energije. Prema postojećim statistikama, problemi u napajanju manifestuju se kao potpuni nestanak mrežnog napona samo u 6% slučajeva. Glavni uzročnik neadekvatnog rada potrošačkih uređaja je variranje napona oko nominalne vrednosti (podnaponi i prenaponi) kao i kratkotrajni, ali visoki, skokovi napona („pikovi”). Uređaji za neprekidno napajanje

imaju kao dodatni zadatak zaštitu potrošača od drugih neželjenih promena mrežnog napona.

Neprekidna napajanja razlikuju se po principu rada, obliku izlaznog napona, vremenu autonomije, maksimalnoj izlaznoj snazi i dodatnim bezbednosnim mogućnostima.

Osnovna podela uređaja za neprekidno napajanje odnosi se na način povezivanja potrošača (standard EN 62040). Dele se na:

- Uređaje za neprekidno napajanje sa paralelno vezanim izvorom energije (u literaturi se koristi termin „Off-line” UPS).

Rad „Off-line” UPS-a zasniva se na principu da se energija iz osnovnog izvora prenosi direktno na priključke na kojima je povezan potrošač. Dok je prisutan osnovni izvor energije, uređaj za neprekidno napajanje proverava stanje mreže, a istovremeno, po potrebi, dopunjava akumulator. U trenutku nestanka električne energije iz osnovnog izvora, uređaj za neprekidno napajanje prebacuje električnu energiju iz rezervnog izvora na izlazne konektore (generiše se naizmenični napon pomoću invertora od baterijskog napona). Ovaj uređaj reaguje samo na potpuni prekid napajanja iz mreže (blackout) i podnapon (brownout).

- Uređaji za neprekidno napajanje sa redno vezanim izvorom energije (u literaturi se koristi termin „On-line” UPS).

„On-line” UPS je realizovan tako da se potrošački uređaj napaja naponom koji generiše inverter bez obzira da li je napajanje iz osnovnog ili rezervnog izvora energije. Akumulator se povremeno, po potrebi, dopunjuje. Pošto ne postoji prebacivanje sa mrežnog na generisani napon, ovakvo rešenje je pouzdano i ne postoji mogućnost prekida u napajanju kod prelaska sa osnovnog na rezervni izvor energije. Ovakav tip uređaja za neprekidno napajanje nudi najbolji stepen zaštite potrošačkih uređaja, ali je najsloženiji, pa samim tim i najskuplji.

U praksi se ovaj tip uređaja koristi za velike sisteme. To je centralizovano rešenje kod kojeg se sa jednog mesta obezbeđuje neprekidnost za sve uređaje u objektu. Samim tim,

ukoliko otkáže uređaj za neprekidno napajanje svi potrošači ostaju bez napajanja. Veliki nedostatak je i mali stepen korisnog dejstva. Zbog gore opisanih nedostataka kao i zbog visoke cene ovaj tip UPS-eva se sve ređe sreće u praksi.

- „Line Interactive” UPS.

„Line Interactive” UPS radi na sledeći način: kada je mreža ispravna, mrežni napon se prosleđuje na izlazne priključke, a istovremeno i na ispravljački deo. Sa izlaza ispravljača dopunjava se akumulator, ali istovremeno se napaja i invertorski deo, koji tada radi u praznom hodu. U trenutku kada nastupi smetnja na mreži, inverter se prebacuje na napajanje iz akumulatora, a izlaz na napajanje iz invertora. „Line Interactive” UPS se često posmatra kao „Off-line” UPS. Međutim, inverter „Line Interactive” UPS-a radi u praznom hodu kada je prisutan osnovni mrežni napon tako da je vremenski period prelaska sa osnovnog na rezervno napajanje kraći. [1]

Standardima za uređaje za neprekidno napajanje je definisan i oblik izlaznog napona. Međutim, pre svega zbog cene, u praksi postoje tipovi uređaja za neprekidno napajanje koji ne generišu sinusni oblik signala na svom izlazu. Generalno, uređaji se po obliku izlaznog napona mogu podeliti u tri grupe:

- Uređaji koji na svom izlazu generišu naizmjenični napon sinusnog oblika.

Ovoj grupi pripadaju neprekidna napajanja čiji rezervni izvor napajanja ima isti oblik napona kao osnovni izvor, ima istu učestanost (sinhron) i isti fazni stav (sinfazan). Teorijski, kod ovakvih rešenja i kod Off line UPS-a moguće je obezbediti stvarnu neprekidnost uređajima koje napajaju, tako da potrošač nastavlja sa radom i ne „primeti” prelazak sa osnovnog na rezervni izvor napajanja. Motori, asinhroni motori i uređaji sa linearnim napajanjem da bi nesmetano radili moraju imati naizmjeničan sinusni napon na ulazu. Pojava viših harmonika u dolaznom naponu, dovela bi do njihovog neispravnog rada koji bi za posledicu imalo previsoku temperaturu induktivnih komponenata. Da bi se obezbedio pravilan i nesmetan rad pomenute vrste potrošača neophodno je koristiti kvalitetna samim tim i skupa neprekidna napajanja.

- Uređaji koji na svom izlazu generišu naizmjenični napon nesinusnog oblika (kvazisinus ili PWM signal).

S obzirom na različite oblike napona primarnog izvora energije i sekundarnog izvora napona, ova dva napona ne mogu biti sinhroni i sinfazani. Zbog toga, kod Off line UPS-a ove grupe uređaja mora postojati prekid u napajanju potrošača u trenutku prelaska sa osnovnog na rezervni izvor energije. Prekid, pored toga što direktno utiče na pouzdanost sistema, može naneti problem ustanovama za čije funkcionisanje je nepohodna neprekidnost u radu uređaja. U slučaju manje osetljivih potrošača neprekidno napajanje sa nesinusnim naponom na izlazu zadovoljava potrebe korisnika. Ovaj tip neprekidnih napajanja je široko rasprostranjen jer je po ceni

znatno povoljniji od napajanja sa sinusnim naponom na izlazu. [1]

- Uređaji koji na svom izlazu generišu jednosmerni izlazni napon.

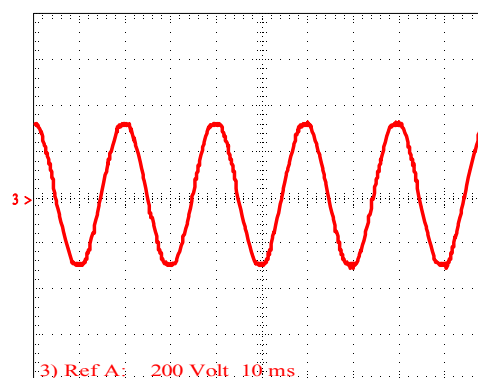
Neprekidna napajanja koja na svom izlazu generišu jednosmerni izlazni napon mogu se koristiti za napajanje uređaja IT (računara, monitora, rutera, štampača i telekomunikacionih uređaja). Neophodan uslov za korišćenje ove vrste neprekidnih napajanja je da uređaji koji se napajaju na svom ulazu imaju prekidačko napajanje. Na primer, prvi element na ulazu računara je ispravljač koji efektivnu vrednost naizmjeničnog napona od 230V konvertuje u jednosmerni napon vrednosti oko 300V. Iza ispravljača se nalaze prekidačka napajanja čija je funkcija da od jednosmernog napona reda 300V generišu potrebne jednosmerne napone 12V, 5V i 3.3V. To znači da, ako se na ulaz računara priključi jednosmerni napon čija je vrednost jednaka sa vrednošću jednosmernog napona dobijenog ispravljanjem ulaznog naizmjeničnog napona, računar neće primetiti razliku. Naprotiv, ispravljač u računaru će raditi u povoljnijem režimu, a elektroliti u ispravljaču računara puniće se kontinualnom strujom. [2]

Neprekidna napajanja sa izlaznim jednosmernim naponom su po ceni u klasi sa kvazisinusnim uređajima, a po kriterijumu nepekidnosti sa uređajima iz kategorije ON line.

III. OBLICI SIGNALA AC UPS-A SA PARALELNO VEZANIM IZVOROM ENERGIJE

Kao što je navedeno AC UPS sa paralelno vezanim izvorom energije omogućava neprekidan rad potrošača koji mogu da prevaziđu prekide u komutacionom periodu reda milisekundi.

Slika 1 prikazuje rad AC UPS-a kada je izvor energije mrežni napon. U toku testiranja na AC UPS je bio vezan potrošač snage oko 350W.



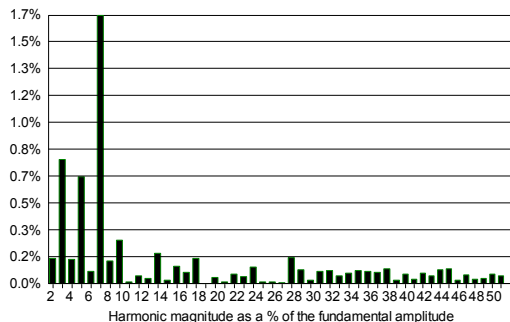
Slika 1. AC UPS-rad na osnovni izvor energije

Na slici 2 nalazi se harmonijska analiza rada na osnovni izvor energije.

Dopuštene vrednosti viših harmonika mogu se prikazati na dva načina:

- pojedinačno, njihovim amplitudama (U_h), svedenim na amplitudu osnovnog harmonika (U_1),
- zajednički, pomoću ukupnog sadržaja viših harmonika: THD (eng. Total Harmonic Distortion – ukupno harmonijsko izobličenje), koje se izračunava kao:

$$THD = \sqrt{\sum_{h=2}^{40} (U_h)^2} \frac{100\%}{U_1} \quad (1)$$



Voltage: Ref A
 Current:
 # Harmonics: 50
 Type: Voltage Magnitude

Slika 2. Harmonijska analiza-rad na mrežni napon

Tokom svakog desetominutnog intervala, vrednost THD-a mora biti manja od 5% vrednosti prvog harmonika, dok vrednosti pojedinih harmonika mogu imati vrednosti najčešće u pojasu od 0,5% (npr. od 6. do 24. harmonika) do 6% (npr. za "poznati" 5. harmonik) od vrednosti prvog harmonika. Više harmonike u mrežnom naponu najčešće proizvode viši harmonici struja nelinearnih opterećenja potrošača, koji su priključeni na različitim nivoima distributivne mreže. Navedeni viši harmonici struje opterećenja stvaraju na impedansama unutar distributivne mreže odgovarajuće više harmonike dolaznog napona. S druge strane, sve veća primena pretvarača frekvencije i sličnih upravljačkih uređaja utiče na povećanje vrednosti međuharmonika, čije se dopuštene vrednosti u okviru norme EN 50160 još razmatraju. [3-5]

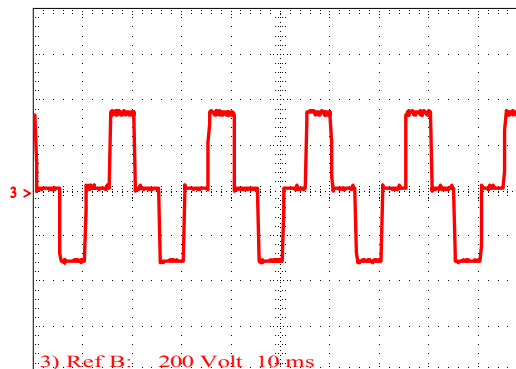
Važeći standardi u Srbiji definišu da faktor snage ($\cos\phi$) mora biti veći od 0.98, faktor distorzije struje TDH manji od 5%, pri tome distorzija napona u elektrodistributivnoj mreži mora biti manja od 1%.

Na slici 2 je dominantan uticaj sedmog harmonika sa 1.7% dok je uticaj ostalih harmonika ispod 1%. Izračunata vrednost THD za oblik signala sa slike 1 iznosi 2.07%. Izračunate vrednosti zadovoljavaju važeće propise.

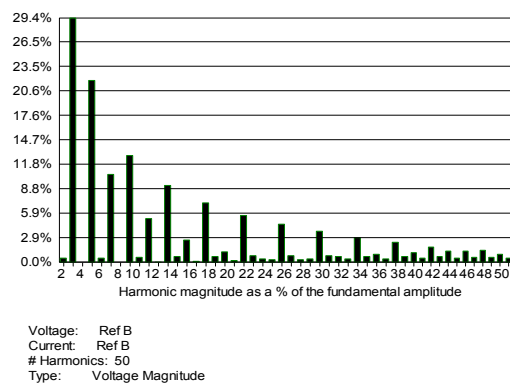
Propisi o distorziji napona definišu minimalno potreban kvalitet napona da bi potrošači koji su povezani na njega radili ispravno. Pored toga, postoje propisi koji definišu kvalitet rada uređaja koji se povezuje na mrežni napon. Izobličenja napona koji mogu da nastanu kao posledica rada uređaja moraju biti unutar propisanih granica. Praktično, sprečava se uticaj jednog

potrošača na rad ostalih potrošača preko zajedničkog mrežnog napona.

Slika 3 je snimak merenja kada je AC UPS napajan preko rezervnog napajanja - baterije. Umesto sinusnog napona generišu se pravougli oblici napona. Širinskom modulacijom se održava stabilna vrednost izlaznog napona i eliminiše uticaj promene opterećenja.



Slika 3. AC UPS-rad na rezervni izvor energije



Voltage: Ref B
 Current: Ref B
 # Harmonics: 50
 Type: Voltage Magnitude

Slika 4. Harmonijska analiza-rad na baterije

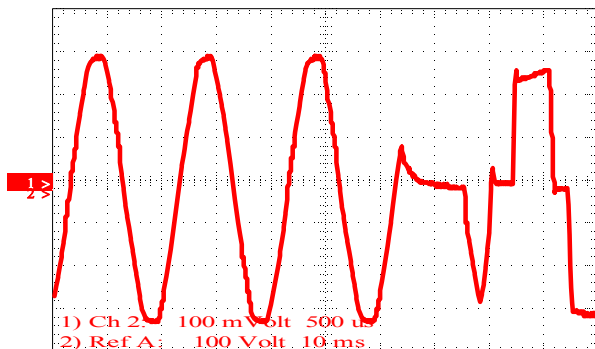
Harmonijska analiza signala kada uređaj radi na baterije prikazana je na slici 4. Ukupna izračunata distorzija iznosi 43.76%. Ova vrednost daleko prevazilazi dozvoljene granice napona iz kojih se napajaju potrošači. Uređaji koji se napajaju iz ovakvog napona neće imati ispravan i pouzdan rad. Primećuje se dominantan uticaj trećeg, petog i sedmog harmonika. Uticaj neparnih harmonika odražava se na smanjenje pouzdanosti i efikasnost uređaja.

IV. OBLICI SIGNALA U PRELAZNIM REŽIMIMA

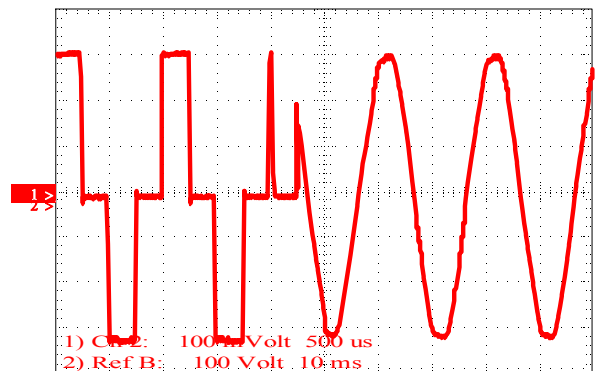
Po standardu za kratkotrajne prekide napajanja, kada pri maksimalnom opterećenju nestane ulazni napon, vrednost napona na ulazu potrošačkog uređaja, za vremenski period od 10ms ne sme da padne ispod 10% od svoje nominalne vrednosti. Međutim, napon na elektrolitu ulaznog dela potrošača je zavistan od veličine ulaznog mrežnog napona i opterećenja. Ukoliko je napon mreže manji od nominalne vrednosti, tada je i vrednost napona na elektrolitu srazmerno manja. Dakle, da bi se zadovoljio uslov o dozvoljenom padu

napona mora se uzeti u obzir minimalni mrežni napon i maksimalno opterećenje.

Testiranjem AC UPS-a sa paralelno vezanim izvorom energije snimljeni su trenuci prelaska sa osnovnog na rezervni izvor napajanja (slika 5) i sa rezervnog na osnovni izvor energije (slika 6).



Slika 5. AC UPS-prelaz sa osnovnog na rezervni izvor energije



Slika 6. AC UPS-prelaz sa rezervnog na osnovni izvor energije

Sa slike 5 se vidi da postoji komutacioni period gde potrošački uređaj ostaje bez napajanja. Trajanje komutacionog perioda je oko 10ms. Nakon toga se uspostavlja napon rezervnog izvora napajanja. Ovaj period može dovesti do smetnje u radu potrošačkih uređaja (resetovanja).

U slučaju kada se potrošački uređaj napaja iz rezervnog izvora energije i dođe do ponovne uspostave osnovnog (mrežnog) napajanja takođe dolazi do prekida u napajanju. Komutacioni period traje oko 5ms.

V. UTICAJ OBLIKA SIGNALA NA RAD POTROŠAČA

Potrošački uređaji koji se napajaju preko neprekidnih napajanja mogu se podeliti u grupu koja direktno koristi naizmenični napon sa izlaza UPS-a i grupu koja ispravlja i filtrira mrežni napon (uređaji iz grupe IT).

Efektivna vrednost napona se računa po formuli:

$$U_{eff} = \sqrt{\frac{1}{T} \int_0^T u^2(t) dt} . \quad (2)$$

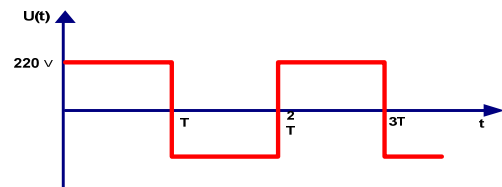
Za sinusni oblik signala iz (2) se dobija

$$U_{eff} = \frac{U_m}{\sqrt{2}} , \quad (3)$$

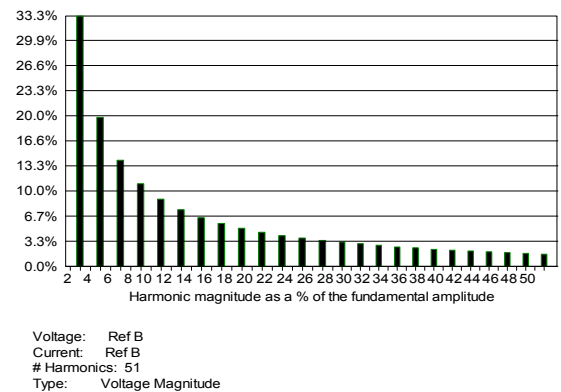
gde je U_m amplituda signala.

Ako je $U_m = 310V$ iz (3) se dobija da je $U_{eff} = 220V$.

U praksi se često koristi rešenje da se na izlazu invertora generiše signal pravougaonog oblika kod kojeg pozitivna i negativna perioda imaju isto trajanje ($T/2$). To su najjeftinija rešenja. Ne postoji povratna petlja pa ni širinska modulacija. Širinska modulacija se izbegava jer nejednako trajanje pozitivne i negativne periode dovodi transformator u zasićenje. Posledica je otkaz energetske prekidača. Pojava nejednakog trajanja pozitivne i negativne periode je izazvana postojanjem harmonika u povratnoj petlji. Izbegavanjem povratne petlje se rešava jedan problem ali se otvara niz drugih.



Slika 7. Pravougaoni signal



Slika 8. Harmonijska analiza – pravougaoni signal

Efektivna vrednost za pravougaoni oblik signala koristeći (2) iznosi:

$$U_{eff} = U_m . \quad (4)$$

Na slici 7 prikazan je pravougaoni signal vrednosti amplitude $220V$, što znači da se za isto trajanje pozitivne i negativne periode dobija efektivna vrednost napona $U_{eff} = 220V$. Iz (3) i (4) je očigledno da za istu efektivnu vrednost pravougaoni oblici napona imaju manju amplitudu ako je jednako trajanje pozitivne i negativne periode.

Maksimalna vrednost izlaznog napona gore opisanog signala iznosi $220V$. To znači da se UPS-evi sa ovakvim oblikom napona mogu koristiti samo za napajanje uređaja koji koriste efektivnu vrednost napona (motori). Ukoliko bi se koristili za napajanje uređaja iz grupe IT napon na ulaznim elektrolitima bi bio manji od $220V_{dc}$ što je nedovoljno za ispravan rad. Ukoliko bi povećali amplitudu na potrebnih $300V$ tada bi se ovaj oblik mogao koristiti za napajanje uređaja iz grupe IT. Međutim, njegova efektivna vrednost bi bila $300V$ i bio bi neprimenljiv za napajanje motora.

Za rešenje gore opisanog problema koristi se pravougaoni oblik napona amplitude $310V$. Promenom vremena trajanja napona (širinska modulacija) (slika 3) može se dobiti efektivna vrednost u granicama oko $220V_{eff}$. Za širinski modulisan oblik signal amplitude $310V$ i vremenom vođenja energetskih prekidača $T = \frac{T}{4}$ koristeći (2) dobija se efektivna vrednost signala ista kao kod sinusnog oblika iste amplitude (3).

Harmonijska analiza uređaja za neprekidno napajanje sa pravougaonim oblikom izlaznog signala pokazuje da se doprinos harmonika (TDH) (slike 4 i 8) nalazi izvan dozvoljenih granica (deset puta lošiji). To dovodi do toga da potrošački uređaji neće ispravno raditi. Pri tome problemi koji će se javljati ne mogu se jednostavno definisati. Pojavljivajuće se povremeno i slučajno.

Viši harmonici kod asinhronih motora povećavaju termogene gubitke. Sa druge strane, brze uzlazne i silazne ivice izazivaju nepovoljne dinamičke režime koji utiču na rad potrošačkih uređaja i smanjuju pouzdanost.

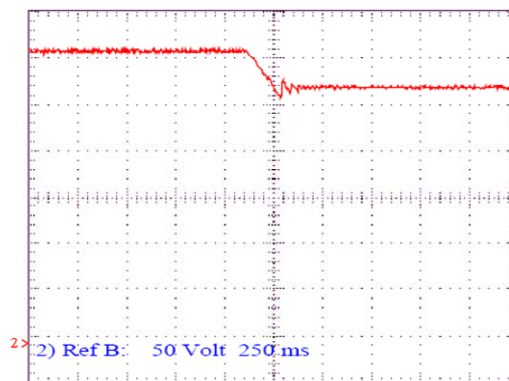
Na slikama 9 i 10 prikazani su snimljeni trenuci nestanka i uspostave osnovnog izvora energije kod DC UPS-a. Primećuje se da prelazak sa mrežnog napona na rezervni izvor napajanja traje oko $100ms$. Vreme prelaska zavisi samo od brzine kojom se prazni izlazni elektrolit uređaja za neprekidno napajanje. Pri tome nema prekida u snabdevanju energijom. Potrošački uređaji koji se napajaju iz DC UPS-a „ne primećuju” prelazak na rezervni izvor energije. Oscilacije pri prelasku na DC UPS su dinamički odziv DC/DC konvertora na promenu opterećenja od 0 na 100%. Ovaj period traje oko $100ms$ i naziva se period smirivanja. Ne dolazi do poremećaja u radu niti resetovanja potrošačkih uređaja.

Komutacioni period prelaska sa rezervnog na osnovni izvor energije traje oko $10ms$ (slika 10). Uspostava mrežnog napona manifestuje trenutnu promenu napajanja nakon čega se pune ulazni elektroliti. Na taj način vrednost napona se povećava dok ne dostigne vrednost napunjenih elektrolitskih kondenzatora iz mrežnog napona. Ukupan vremenski period

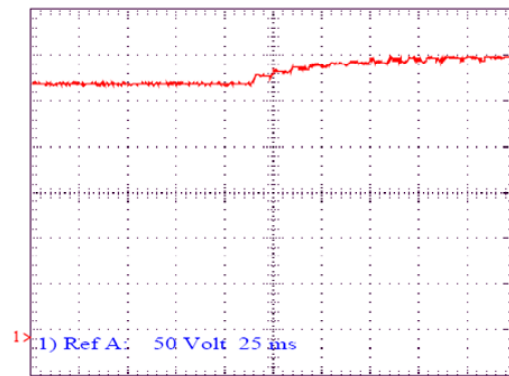
od uspostave osnovnog napajanja do dostizanja prave vrednosti traje oko $175ms$. Prekid u snabdevanju energijom ne postoji. Potrošački uređaji „ne primećuju” prelazak što manifestuje njihovom nesmetanom radu.

Spori komutacioni periodi pogoduju radu potrošačkih uređaja.

Sa stanovišta uticaja viših harmonika DC UPS je svakako povoljnije rešenje od uređaja sa naizmničnim naponom na izlazu. Sa slika 9 i 10 je očigledno da ne postoje harmonici višeg reda i da su komutacioni periodi spori i besprekidni. Ovakav način rada je povoljan za napajanje uređaja iz grupe IT. Pored toga, rešenje je jednostavno i ima mali broj komponenata. Samim tim pouzdano sa visokim stepenom korisnog dejstva. Međutim, osnovni nedostatak gore opisanog rešenja je neprimenljiv za uređaje koji u sebi imaju asinhronne motore.



Slika 9. Nestanak mrežnog napona



Slika 10. Uspostava napajanja iz osnovnog izvora

VI. ZAKLJUČAK

U radu je urađena komparativna analiza uređaja za neprekidno napajanje. Rešenje sa sinusnim oblikom izlaznog napona je primenljivo za sve vrste uređaja, ali je skupo i ima mali stepen korisnog dejstva. Rešenje sa pravougaonim oblikom signala je po ceni jeftinije od prethodno pomenutog, ali ne obezbeđuje ispravan i pouzdan rad potrošačkih uređaja. Između ova dva karakteristična oblika izlaznog signala postoji

serija uređaja sa kvazisinusnim signalom na izlazu sa karakteristikama sličnim gore opisanim.

Na kraju rada je opisano rešenje DC UPS koji po tehničkim karakteristikama prevazilazi i rešenja sa sinusnim naponom na izlazu, a po ceni je uporedljiv sa uređajima za neprekidno napajanje sa pravougaonim oblikom izlaznog napona. Nedostatak preporučenog rešenja je ograničena oblast primene.

LITERATURA

- [1] Miroslav Lazić, Dragana Petrović: Jedno rešenje neprekidnog napajanja uređaja IT, Infoteh Jahorina 2009. Vol. 8, Ref. E-I-25, p. 461-465
- [2] Miroslav Lazić, "Neprekidno napajanje sa jednosmernim izlaznim naponom kao optimalno rešenje napajanja računarske opreme u Telekomu", XI Telekomunikacioni forum, Beograd 2003.g.
- [3] Milica S. Brkić, Željko R. Đurišić „Analiza napajanja telekomunikacionog objekata na kvalitet električne energije u distributivnoj mreži“, INFOTEH-JAHORINA Vol. 8, Ref. D-3, p. 297-300, March 2009.
- [4] Mladen Zec, Čedomir Zeljković, Siniša Zubić, Petar Matić, Vladimir Radusinović, „Analiza kvaliteta električne energije objekta sa velikim brojem

nelinearni potrošača male snage“ Infoteh Jahorina Vol. 8, Ref. D-3, p. 297-300, March 2009.

[5] Dragan Simović, EES Kvalitet električne energije - viši harmonici

Abstract – Continuous and reliable service is the necessary condition in modern telecommunication systems. To achieve this requirement uninterrupted power supply must be used. In practice, a commonly used english phrase is UPS - Uninterruptible Power Supply. There is a wide range of solutions for devices that provide continuous output power. This paper contain comparative analysis of three types of devices. The used criteria for comparison were: the working principle, shape of the output signal, efficiency and complexity. In addition to analysis of ac ups device, specific solution, with DC voltage at the device output, is described.

Keywords-uninterruptible power supply; continuity; efficiency; reliability; output voltage.

Comparison of different solutions for uninterruptible power supply

Vibraciona kontrola rezonantnih dozatora sa elektromagnetnom pobudom

Željko V. Despotović, Aleksandar I. Ribić

Institut Mihajlo Pupin
Beograd, Srbija

zeljko@robot.imp.bg.ac.rs, aleksandar.ribic@pupin.rs

Sadržaj — Vibracioni rezonantni dozatori sa elektromagnetnom pobudom se u procesnoj industriji koriste za podešavanje gravimetrijskog protoka i doziranje sitnozrnih materijala. Podešavanjem intenziteta i učestanosti vibracija dozatora, posredstvom elektromagnetnog aktuatora, podesnog energetskog pretvarača i pripadajućeg kontrolera obezbeđuje se kontinualan transport i doziranje rasutih materijala u različitim eksploatacionim uslovima. Fazna kontrola se koristi kao standardni način vibracione kontrole. Obzirom da je učestanost napojne mreže fiksna, promenom faznog ugla, moguće je postići podešavanje amplitude vibracija dozatora ali ne i njihove učestanosti. Tranzistorskim pretvaračima sa strujnom kontrolom je moguće ostvariti amplitudsku i (ili) frekventnu kontrolu. Frekventna kontrola obezbeđuje rad u oblasti mehaničke rezonance. Rad u rezonantnom opsegu je energetski povoljan, obzirom da se tada ima minimalna potrošnja energije. U radu je predstavljeno jedno moguće rešenje vibracione kontrole rezonantnih dozatora.

Ključne reči-Vibraciona kontrola; Energetski pretvarač; IGBT; Rezonantni dozator

I. UVOD

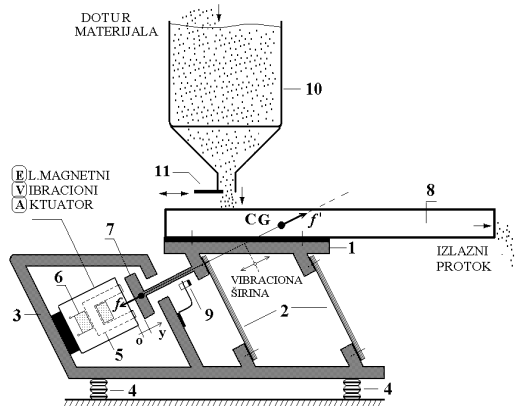
Rezonantni dozatori su široko zastupljeni u mnogim tehnološkim procesima transporta, obrade i doziranja rasutih materijala. Vibracije transportnog suda u kojem se materijal nalazi, izazivaju kretanje čestica materijala, tako da on postaje sličan viskoznom fluidu i shodno tome pogodan za transport i doziranje[1]. U ovim primenama veoma često se koriste rezonantni vibracioni dozatori sa elektromagnetnom pobudom. Opseg učestanosti za ove primene je od 5-150Hz. Pobudni element je ustvari jedan elektromagnetni vibracioni aktuator (EVA) kojim se ostvaruju inkrementalni pomeraji (tipično 0.5-3mm) nosećeg elementa [2].

Tipičan prikaz jednog vibracionog dozatora je dat na slici 1. On se sastoji od *nosećeg elementa*-1, elektromagnetnog vibracionog aktuatora-EVA kao izvora pobudne sile i *elastičnih elemenata*-2. Ovi elementi su standardno načinjeni od slojeva listastih čeličnih lamela. U novije vreme se kao elastični elementi sve koriste slojevi kompozitnih materijala tzv. *kompozitne opruge*. Ovi elementi su kruto vezani za *bazu*-3, koja je elastično oslonjena preko *gumenih odstoynika*-4 u odnosu na podlogu .

EVA se sastoji od: *magnetnog jezgra* -5, koga obuhvata *električni namotaj*-6 i *kotve* -7, koja je fiksirana za pokretni noseći element, odnosno *vibraciono korito*-8 duž koga se transportuje materijal.

Elektromagnetna pobudna sila f koju generiše EVA deluje na kotvu, odnosno vibraciono korito. Vibracioni pomeraj se detektuje beskontaktnim *induktivnim senzorom*-9. Materijal se "izvlači" na noseći element iz *bunkera* - 10. Podešavanje dotoka materijala se ostvaruje pokretnim *zasunom*- 11 koji je postavljen pri dnu bunkera.

Primena elektromagnetnih vibracionih pogona u sprezi sa energetskim pretvaračima obezbeđuje značajnu fleksibilnost procesu doziranja[3]. Moguće je ostvariti rad vibracionog pogona u oblasti mehaničke rezonance. Rad u rezonantnom opsegu je sa stanovišta energetske efikasnosti veoma povoljan, pošto je moguće ostvariti značajnu vibracionu energiju dozatora , uz veoma mali utrošak električne energije[4].



Slika.1. Izgled vibracionog rezonantnog dozatora sa elektromagnetnom pobudom

Elektromagnetna pobudna sila f koju generiše EVA deluje na kotvu, odnosno vibraciono korito. Vibracioni pomeraj se detektuje beskontaktnim *induktivnim senzorom*-9. Materijal se "izvlači" na noseći element iz *bunkera* - 10. Podešavanje dotoka materijala se ostvaruje pokretnim *zasunom*- 11 koji je postavljen pri dnu bunkera.

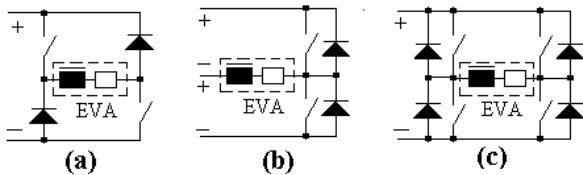
Primena elektromagnetnih vibracionih pogona u sprezi sa energetskim pretvaračima obezbeđuje značajnu fleksibilnost procesu doziranja[3].

II. ENERGETSKI PRETVARAČI ZA POGON REZONANTNIH DOZATORA

Danas se kao standardni poluprovodnički izlazni stepeni snage za pogon vibracionih dozatora koriste tiristori i trijaci. Njihova upotreba podrazumeva podešavanje *vibracione*

amplitude nosećeg elementa korišćenjem fazne kontrole, odnosno regulacijom faznog ugla α^* [3], [4-7]. Ovim je mrežni napon učestanosti 50Hz (60Hz) na ulazu u pretvarač, konvertovan u impulsnu struju EVA, koji generiše vibracije diskretnog spektra: 3000 (3600) osc/min, 1500 (1800) osc/min, 1000 (1200) osc/min, 750 (900) osc/min, 600 (720) osc/min, 500 (600) osc/min itd., zavisno od trenutka okidanja tiristora [3], [5].

U novije vreme se intenzivno radi na primeni visokofrekventnih (VF) tranzistorskih pretvarača za dobijanje impulsne struje EVA [6-7]. Uglavnom su prihvaćene tri topologije koje su prikazane na slici 2.



Slika.2. Prekidačke topologije pretvarača za pobudu EVA; (a)-asimetrični polmost, (b)-simetrični polmost, (c)-pun most.

Kod jednosmernog tipa pretvarača se koristi topologija sa dva prekidača i dve povratne diode, odnosno konfiguracija *asimetričnog polmosta*, dok se kod dvosmernog tipa koriste topologije *pun most (full-bridge)* ili *polmost (half-bridge)*.

Zahtevani sinusni talas (polutalas) struje je moguće realizovati ovim topologijama ukoliko se upotrebi strujna kontrola koja se bazira na praćenju referentne sinusoidne podešljivog trajanja, amplitude i učestanosti [7]. I pored brojnih prednosti koje se tiču amplitudsko-frekventne kontrole vibracija VF prekidački pretvarači imaju ozbiljan nedostatak koji se tiče prekidački gubitaka, a koji postaju dominantni na visokim učestanostima. Pored toga postaju značajni i gubici u gvožđu i bakru EVA. Na ovaj način se značajno smanjuje efikasnost vibracionog sistema *pretvarač-EVA-vibracioni pogon*.

Pogodnim načinom upravljanja moguće je prevazići ovaj problem trougaonom strujnom pobudom EVA, korišćenem opisanih topologija.

III. VIBRACIONA KONTROLA NOSEĆEG ELEMENTA DOZATORA

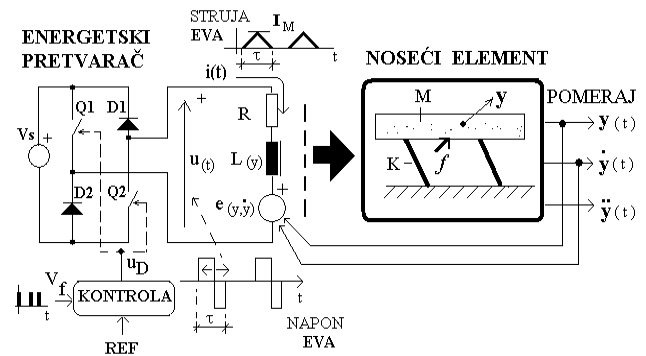
Upotrebom pogodnog tranzistorskog pretvarača sa slike 4(a), moguće je na jednostavan način ostvariti *amplitudsko-frekventnu* kontrolu nosećeg elementa dozatora. Principijska šema ove kontrole je data na slici 3.

Za formiranje kontrolne strategije neophodno je analizirati detaljnije elektromagnetni i mehanički deo sistema sa slike 1. Elektromagnetni deo je predstavljen vibracionim aktuatorom EVA kao generatorom pobudne sile f , koja deluje na noseći element. Detaljni model EVA se može predstaviti u obliku [7-9]:

$$L(y) \frac{di}{dt} + \left(\frac{\partial L(y)}{\partial y} \frac{dy}{dt} + R \right) i = u \quad (1)$$

$$f = \frac{1}{2} \frac{\partial L(y)}{\partial y} \dot{y}^2 \quad (2)$$

gde R predstavlja omski otpor i $L(y)$ induktivnost namotaja EVA.



Slika.3. - Principijski blok dijagram vibracione kontrole rezonantnog dozatora.

Veličine y , i , u predstavljaju pomeraj nosećeg elementa u odnosu na nepokretnu bazu, struju EVA i napon EVA, respektivno.

U skladu sa slikom 5. napon namotaja EVA je zavisian od kontrolnog napona u_D prema algoritmu:

$$u = \begin{cases} V_s, u_D = 1 \wedge i < 0 \\ -V_s, u_D = 0 \wedge i > 0, \\ 0, u_D = 0 \wedge i = 0 \end{cases} \quad (3)$$

Napon V_s označava napon izvora. Kao što će biti pokazano kasnije, strujni impuls se generiše u trenutku kada kotva prolazi kroz ravnotežni položaj, odnosno kada je $y = y_0$. U tom slučaju se induktivnost $L(y)$ može aproksimirati sa $L(y) \approx L_0 + (y - y_0) \frac{\partial L}{\partial y} \Big|_{y=y_0}$. Sada je jednačinu (1) moguće u okolini radne tačke $y = y_0$ aproksimirati sa :

$$L_0 \frac{di}{dt} + R' i = u, R' = R + \frac{dy}{dt} \frac{\partial L}{\partial y} \Big|_{y=y_0} \quad (4)$$

Parametar R' predstavlja ekvivalentnu otpornost i zavisi od brzine pomeraja nosećeg elementa i gradijenta induktivnosti namotaja u radnoj tački.

Pobudni kontrolni impulsi su kratki (reda veličine nekoliko ms), tako da se može pretpostaviti da je ekvivalentna vremenska konstanta L_0 / R' mnogo veća od trajanja impulsa struje. Na osnovu ovoga sledi zaključak de je $R' i \ll u$. Stoga se član $R' i$ u jednačini (4) može zanemariti, tako da je aproksimacija jednačine (1) data u obliku:

$$\frac{di}{dt} = \frac{u}{L_0} \quad (5)$$

Detaljni dinamički model nosećeg elementa oslonjenog

na elastične opruge je dat u [4] i ima sledeći oblik:

$$M\ddot{z} + C\dot{z} + Kz = \Gamma f \quad (6)$$

Vektor $z \in R^4$ predstavlja vektor stanja i on sadrži relativni pomeraj-y nosećeg elementa u odnosu na bazu, pomeraje baze u vertikalnom i horizontalnom pravcu i ugao zakretanja baze u odnosu na njen centar inercije. Matrice M , C , i K su simetrične. Vektor Γ definiše pobudnu silu f koja deluje na noseći element [4], [9-10]. Jednačina (6) ukazuje da mehanički sistem ima četiri rezonantna moda. Obzirom na praktične primene obično je od interesa mod koji daje najmanje prigušenje, kao što je pokazano u [4]:

$$m_{k0}\ddot{y} + b_e\dot{y} + k_e(y - y_0) = f \quad (7)$$

gde m_{k0} (kg), b_e (N/m/s), k_e (N/m) označavaju masu pokretnog dela, koeficijent prigušenja i krutost, respektivno.

Zbog pretežno induktivne prirode namotaja EVA, moguće je pogodnim upravljanjem, vrlo jednostavno generisati kroz njegove namotaje trougaone strujne impulse.

Trougaona strujna pobuda proizvodi pobudnu silu f koja se sa spektralnog stanovišta se odlikuje visokim sadržajem harmonika (osnovnim harmonikom učestanosti ω_0 plus viši harmonici učestanosti $2\omega_0$, $3\omega_0$, ... itd.). Međutim bez obzira na impulsnu pobudu nosećeg elementa izlazni pomeraj-y je "glatka" sinusoida, što je posledica samog karaktera mehaničkog dela sistema, koji se shodno jednačini (7) ponaša kao filter propusnik niskih učestanosti ($\omega \leq \omega_0$).

IV. SIMULACIONI REZULTATI

U ovom delu će biti predstavljeni rezultati dobijeni na simulacionom modelu sistema baziranom na jednačinama (1)-(7). U simulaciji su postavljene realne vrednosti ovih parametara i one su date u Tabeli-1.

TABELA1-MEHANIČKI I ELEKTRIČNI PARAMETRI SIMULACIJE

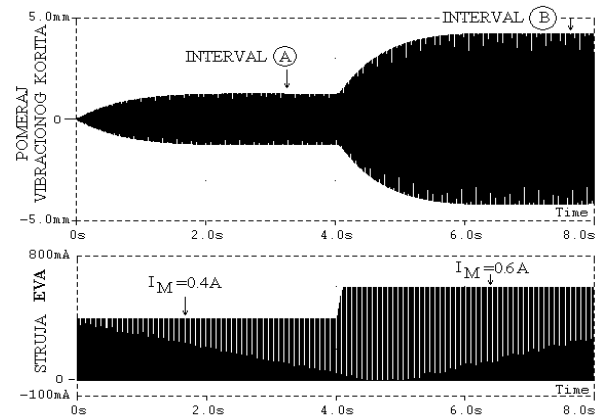
MEHANIČKI PARAMETRI		ELEKTRIČNI PARAMETRI	
m_{k0}	1.15kg	R_C	100Ω
k_e	113.8N/mm	L_0	1300mH
b_e	3N/m/s	V_S	400V

Upravljačke veličine u simulaciji su amplituda, trajanje i učestanost pobudne struje namotaja EVA.

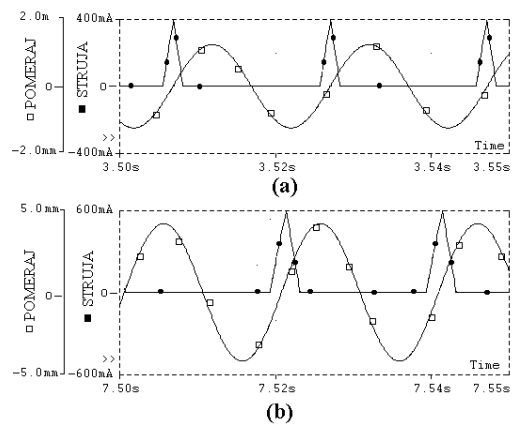
Simulacioni rezultati dobijeni za slučaj *amplitudske kontrole* pri uspostavljenom rezonantnom režimu u kome je pobudna učestanost iznosila 50Hz, su dobijeni na slici 4 i to za dve vrednosti amplitude pobudnog strujnog polutalasa ($I_{M1} = 0.4A$ i $I_{M2} = 0.6A$).

Na slici 5 su detaljno prikazani intervali A i B označeni na slici 4. Na slici 5(a) je prikazan slučaj kada je amplituda pobudne struje podešena na vrednost $I_{M(A)} = 0.4A$ a njeno

trajanje $\tau_A = 2.5ms$. Pri ovim uslovima amplituda oscilacija je iznosila $Y_{m(A)} = 1.3mm$.



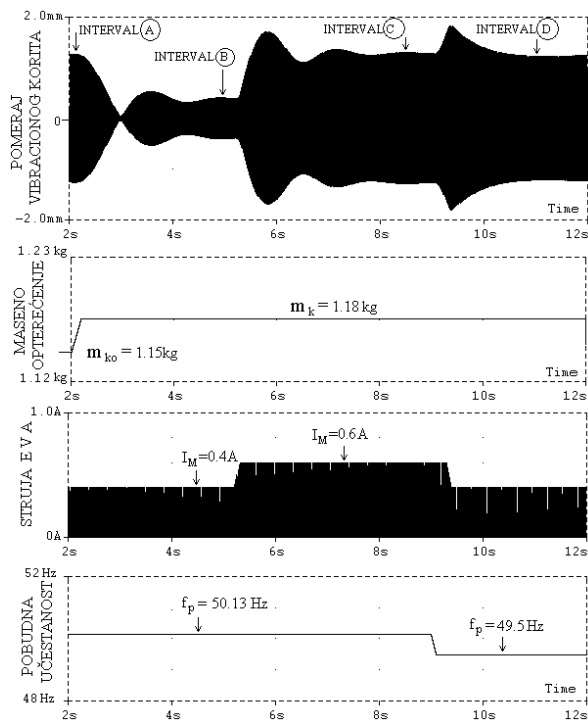
Slika.4. - Podešavanje amplitude oscilacija rezonantnog transportera posredstvom struje EVA.



Slika.5. - Detaljni prikaz uticaja povećanja strujne pobude na pomeraj vibracionog kanala rezonantnog dozatora; (a)- interval A, (b)-interval B.

Na slici 5(b) je prikazan slučaj kada je amplituda pobudne struje je podešena na vrednost $I_{M(A)} = 0.6A$ a njeno trajanje $\tau_B = 4ms$. Pri ovim uslovima amplituda oscilacija je iznosila $Y_{m(A)} = 4mm$. Dakle u ovom slučaju se ima oko tri puta veća amplituda oscilacija.

Simulacioni rezultati dobijeni za slučaj *frekventne kontrole* su prikazani na slici 6. Posmatran je interval vremena od 10s. Do trenutka $t = 2s$ je bio uspostavljen rezonantni režim pri praznom vibracionom koritu. U naznačenom intervalu A, pokretni sistem je oscilovao sa amplitudom $Y_{m(A)} = 1.3mm$. Pobudna učestanost je podešena na rezonantnu učestanost mehaničkog sistema 50.13Hz. Amplituda pobudne struje je podešena na vrednost $I_{M(A)} = 0.4A$, a njeno trajanje $\tau_A = 2.5ms$. Detaljni prikaz ovog intervala je dat na Sl.7(a).



Slika.6. - Karakteristični talasni oblici rezonantnog transportera pri povećanju masenog opterećenja.

U trenutku neposredno posle $t = 2s$ zadat je nagli porast masenog opterećenja kanala od 30g, odnosno $m_k = 1.18kg$. Nakon toga je došlo do značajnog smanjenja amplitude i kroz prelazni proces koji traje oko 3s uspostavljeno je novo stacionarno stanje (*interval B*). Amplituda se ustalila na vrednosti $Y_{m(B)} = 0.33mm$.

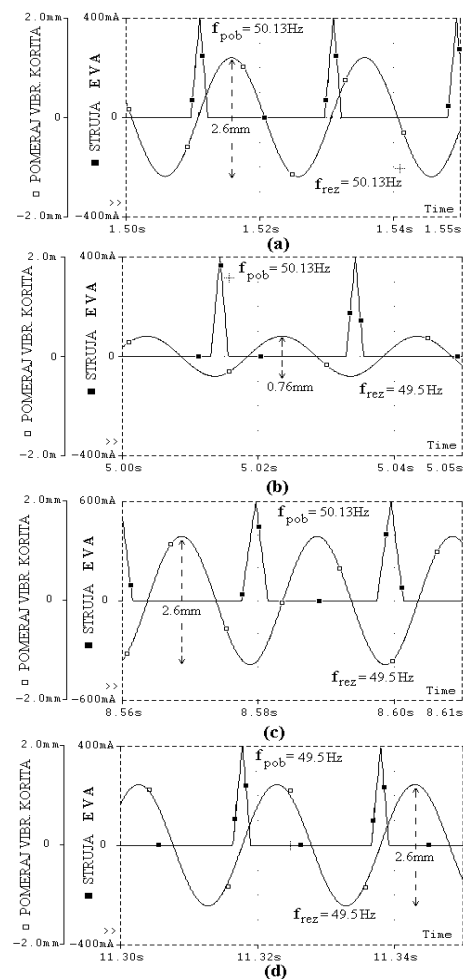
Pobudna učestanost je ostala ista ali je usled promene masenog opterećenja do promene rezonantne učestanosti sistema na vrednost 49.5Hz. Pored toga došlo je i do neusklađenosti između pobudne i rezonantne učestanosti. Amplituda i trajanje pobudne struje su ostali isti u odnosu na *interval A*. Detaljni prikaz ovog intervala je dat na slici 7(b). Na njemu se uočava značajan fazni pomeraj između maksimuma pobudnog strujnog impulsa i nulte vrednosti pomeraja $-y$.

Da bi se pri ovim uslovima ostvario porast amplitude oscilacija potrebno je povećati amplitudu i trajanje struje namotaja. Ovaj slučaj je ostvaren u trenutku $t = 5s$. Amplituda struje je podešena na $I_{M(C)} = 0.6A$, a njeno trajanje na $\tau_C = 4ms$.

Porast amplitude oscilacija u odnosu na *interval B* je takođe moguće ostvariti zadržavajući istu vrednost amplitude i trajanja pobudne struje na vrednostima iz *interval B* uz usklađivanje učestanosti pobudnog strujnog impulsa sa novom mehaničkom rezonantnom učestanošću od 49.5Hz.

Tako je podešavanjem pobudne učestanosti na vrednost 49.5Hz u trenutku $t = 9s$ ostvareno održavanje vrednosti amplitude oscilacija na vrednosti $Y_{m(D)} = 1.3mm$ kroz prelazni

proces koji traje oko 3s. Ona se ustalila na toj vrednosti u *intervalu D*, koji je prikazan simulacionim snimkom na S1.7(d).



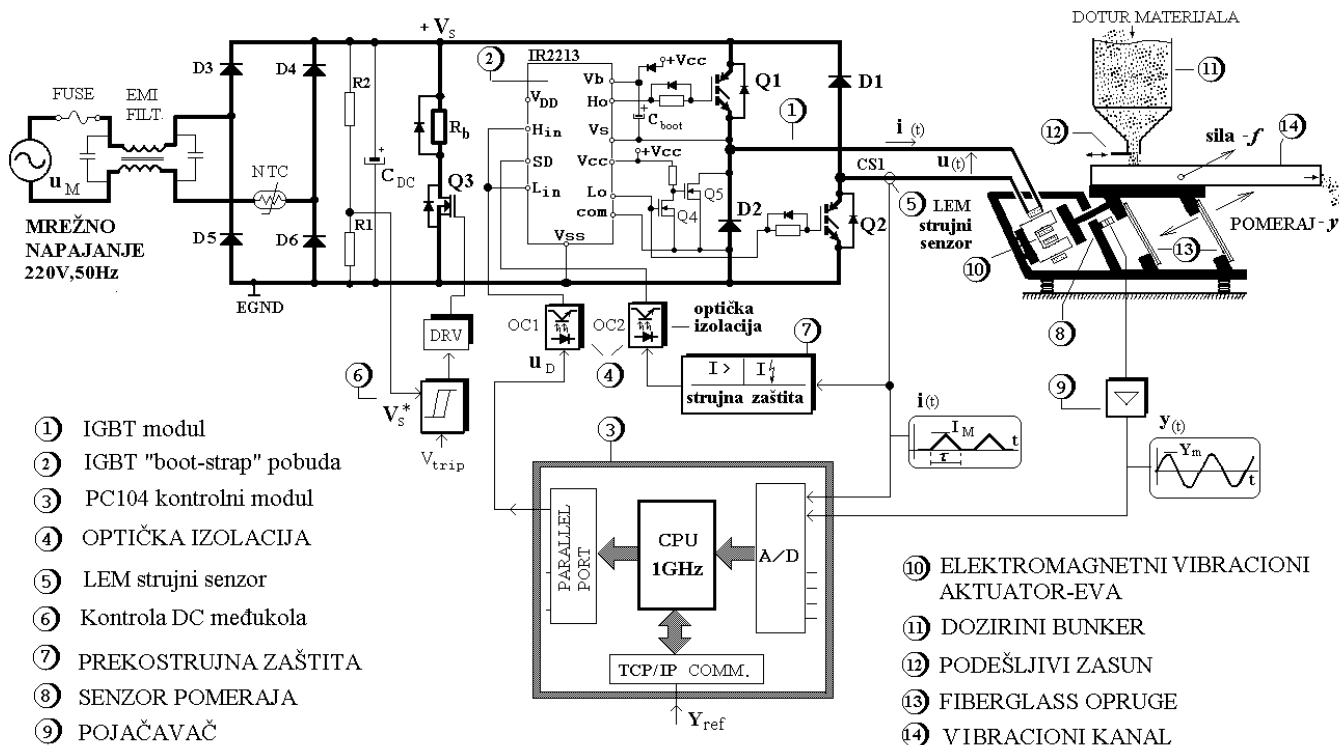
Slika.7. - Detaljniji prikaz uticaja povećanja mase vibracionog kanala rezonantnog transportera; (a)- interval A, (b)-interval B, (c)-interval C, (d)- interval D.

V. PRAKTIČNA REALIZACIJA

U ovom poglavlju će biti predstavljen praktično realizovan IGBT tranzistorski pretvarač za pobudu vibracionog dozatora. Na slici 8 je data blok šema upravljačkog dela sistema.

Tranzistorski pretvarač za pobudu EVA se sastoji od ulaznog punotalasnog ispravljača koga čine diode D3-D6 i izlaznog pretvarača kojim se generiše jednosmerna pulsirajuća pobudna struja. Radi eliminisanja smetnji koje generiše sam pretvarač prema mreži 220V, 50Hz je postavljen EMI filtar. Na ulazu u ispravljač je postavljen NTC otpornik koji obezbeđuje postepeno punjenje elektrolitskih kondenzatora u DC međukolu.

Izlazni pretvarač je realizovan sa *asimetričnim polumostom*-(1) i sastoji se od dva IGBT tranzistora Q_1 i Q_2 , u jednoj dijagonali mosta i dve povratne diode D_1 i D_2 u suprotnoj. Pobuda IGBT-a se ostvaruje preko *drajverskog kola*-(2), koje u sebi sadrži dva nezavisna kanala za pobudu gornjeg



Slika 8-Principalska šema realizovane strujne kontrole elektromagnetnog vibracionog dozatora.

i donjeg tranzistora. Pobuda gornjeg tranzistora se ostvaruje preko "plivajućeg" kola koje je sposobno da podnese visoki napon i porast napona (dv/dt).

Upravljački deo-(3) je baziran na industrijskom PC104 modulu i u okviru njega su implementirani algoritmi pretraživanja i praćenja rezonantne učestanosti, strujna kontrola, podešavanje amplitude oscilacija i sl. Sam kontroler kao i kolo kolo za naponski monitoring DC međukola su galvanski odvojeni *optokaplerima*-(4) od energetskog dela pretvarača.

Stvarna vrednost struje EVA se meri davačem struje sa Hall efektom tzv. LEM *strujnim senzorom*-(5). Naponski izlaz koji daje ovaj senzor je galvanski odvojen od energetskog dela petvarača.

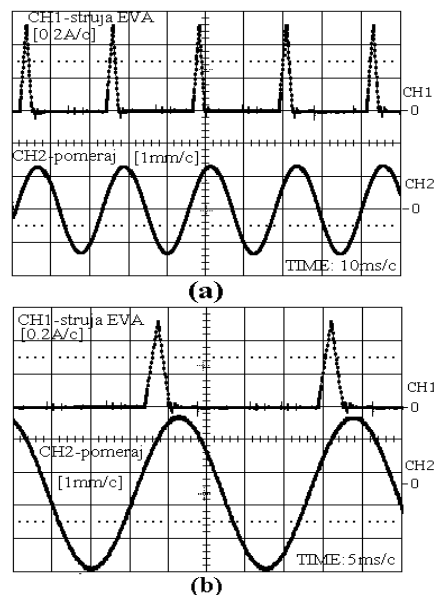
Pražnjenje elektrolita u DC-međukolu preko otpornika R_b se ostvaruje tranzistorom Q_3 koji je kontrolisan *naponskim monitorom*-(6) sa ugrađenim histerzisom, koji "osmatra" napon DC međukola V_s i poredi sa podešenim pragom komparacije V_{trip} .

Kolo prekostrujne zaštite i zaštite od preopterećenja je realizovano sklopom *strujne zaštite*-(7). Primenjen je "intervenistički" sistem zaštite. Sistem pri normalnim uslovima radi tako što je struja opterećenja programirana kontrolerom. U slučaju direktnog kratkog spoja ili preopterećenja ovaj sklop (7) preuzima ulogu.

Merenje izlaznog pomeraja transportnog suda je ostvareno beskontaktnim *induktivnim davačem hoda*-(8), za opseg pomeraja 0-6mm i za opseg učestanosti 0-200Hz. Ovaj senzor

ima sopstveni *elektronski pojačavač*-(9) sa nisko propusnim filtrom, kojim se dati signali normalizuju na nivo 0-10V.

VI. EKSPERIMENTALNI REZULTATI

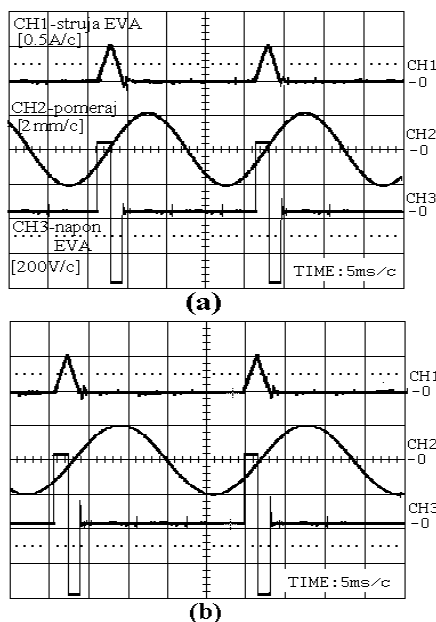


Slika 9. - Uticaj trajanja strujnog impulsa na izlazni pomeraj vibracionog korita; (a)-trajanje impulsa $\tau=3ms$, (b)-trajanje impulsa $\tau=4ms$.

Ekspirimentalni rezultati su dobijeni na realnom, laboratorijski realizovanom prototipu rezonantnog dozatora,

kojom se održava rezonantni režim dozatora. Rezonantni režim je jako bitan sa aspekta minimiziranja utrošene energije celokupnog pogona. Strujnom kontrolom EVA je obezbeđen je nezavisan rad vibracionog pogona od mrežne učestanosti.

Na slici 9 je prikazan uticaj promene trajanja strujnih impulsa na izlazni pomeraj vibracionog korita, pri rezonantnoj učestanosti 45.5Hz i pri amplitudi struje $I_M = 0.5A$.



Slika 10. - Kompenzacija uticaja promene opterećenja promenom učestanosti pobudne struje EVA; (a)-pobudna učestanost 50.13Hz, (b)-pobudna učestanost 41.5Hz.

Pri nepromenjenoj vrednosti opterećenja vibracionog korita, odnosno pri nepromenjenom rezonantnom režimu, promena trajanja strujnih impulsa za oko 33%, prouzrokuje skoro dvostruku veću promenu vrednosti amplitude oscilacija.

Na slici 10 je prikazana kompenzacija promene masenog opterećenja. Na slici 10(a) su dati karakteristični talasni oblici za vrednost masenog opterećenja $m_{k0} = 1.15kg$ (rezonantna učestanost 50.13Hz), dok su na slici 10(b) dati karakteristični talasni oblici za vrednost masenog opterećenja $m_{k1} = 1.65kg$ (rezonantna učestanost 41.5Hz). Održavanje konstantne amplitude vibracija je ostvareno promenom učestanosti pobudne struje EVA, sa vrednosti 50.13Hz na vrednost 41.5Hz, pri istoj vrednosti trajanja strujnog polutalasa $\tau=4ms$.

VII. ZAKLJUČAK

U radu je predstavljeno jedno moguće rešenje tranzistorske amplitudsko-frekventne kontrole elektromagnetnih rezonantnih vibracionih dozatora. Njime je postignuto značajno poboljšanje u odnosu na konvencionalne tiristorske pogone sa faznom kontrolom.

Predstavljeni simulacioni i eksperimentalni rezultati su pokazali da strujna kontrola EVA predstavlja veoma efikasan način kako za amplitudsku kontrolu, kojom se podešava brzina transporta rasutog materijala, tako i za frekventnu kontrolu

LITERATURA

- [1] H.G.Cock "Vibratory Feeders", PHILIPS Technical Review, Vol.24, May 1975,pp.84-95.
- [2] M.A.Parameswaran, S.Ganapathy, "Vibratory Conveying-Analysis and Design: A Review", *Mechanism and Machine Theory*, Vol.14, No. 2, April 1979, pp. 89-97.
- [3] N.Barjamović, "Tiristori u sistemima za doziranje rasutih materijala", II simpozijum Energetska elektronika – Ee '75, Beograd (YU), Oktobar 1975, pp.334-348.
- [4] T.Do, K.Yoshida, Y.Tamai, K.Kono, K.Naito, T.Ono, "Modeling and Feedback Control for Vibratory Feeder of Electromagnetic Type", *Journal of Robotics and Mechatronics*, Vol.11, No.5, June 1999, pp. 563-572
- [5] Ž.Despotović, M.Jovanović, Z.Stojiljković, "Tiristorski pretvarač za pogon elektromagnetnih vibratora", X simpozijum Energetska elektronika Ee '99, N.Sad (YU), Oktobar 1999, pp.150-156.
- [6] Z.Despotovic,Z.Stojiljkovic, "PSPICE Simulation of Two Mass Vibratory Conveying System with Electromagnetic Drive", *PROCEEDINGS of International Conference EUROCON 2005, Belgrade 21.XI-24.XI.2005,Vol.II,pp.1509-1512.*
- [7] Z.Despotovic, Z.Stojiljkovic, "Power Converter Control Circuits for Two-Mass Vibratory Conveying System with Electromagnetic Drive: Simulations and Experimental Results", *IEEE Transactions on Industrial Electronics*, Vol.54, Issue 1, Feb. 2007,pp.453-466.
- [8] Z.Despotovic, "Mathematical model of electromagnetic vibratory actuator", *PROCEEDINGS of the XII International Symposium of the Power Electronics*, N.Sad 5.XI-7.XI.2003, Vol.T3-3.2, pp.1-5.
- [9] T.Do, K.Yoshida, Y.Tamai, K.Kono, K.Naito, T.Ono, "Modeling and Feedback Control for Vibratory Feeder of Electromagnetic Type", *Journal of Robotics and Mechatronics*, Vol.11, No.5, June 1999, pp. 563-572.
- [10] T.Do, K.Yoshida, Y.Tamai, K.Kono, K.Naito, T. Ono "Feedback Control for Vibratory Feeder of Electromagnetic Type", *Proc. ICAM '98*, 1998, pp. 849-854.

Abstract- Vibratory resonant feeder with electromagnetic drive in the process industry use to adjust gravimetric flow and dosing particulate materials. The adjust intensity and frequency of vibrations, through the electromagnetic actuator, adequate power converter and sophisticated controller provides a continuous conveying and dosing of a particulate material at different exploitation conditions. Today, as the standard power converters output stage use thyristors and triacs. Since the frequency of power supply network is fixed, through the phase angle control, is possible to achieve the adjusting of amplitude oscillations but not their frequency. Transistor converters with current control can provide amplitude and (or) frequency control. The frequency control provides working of resonant feeder in region of mechanical resonance. Work in resonance is highly efficient, since it then has a minimum consumption of energy. In the paper is presented a possible solution of vibratory control of resonant feeder with electromagnetic drive by current controlled transistor power converter.

Key words- Vibratory control; Power converter; IGBT; Resonant feeder

Vibratory control of the resonant feeder with electromagnetic drive

Poboljšani model baterije u Matlab/Simulink okruženju

Marko Šilj, Slobodan Lubura, Milimir Šoja

Elektrotehnički fakultet

Univerzitet u Istočnom Sarajevu

Istočno Sarajevo, BiH

e-mail: marko.silj@hotmail.com, slubura@gmail.com, milimir.soja@etf.unssa.rs.ba

Sadržaj - U ovom radu je predstavljen Šepardov model baterije koji opisuje njeno elektrohemijско ponašanje u pogledu terminalnog napona, napona praznog hoda, unutrašnje otpornosti, struje pražnjenja i napunjenosti baterije. Baterija je modelovana pomoću naponsko kontrolisanog izvora u seriji sa otpornikom konstantne otpornosti. Parametri ovog modela se mogu lako odrediti iz karakteristike pražnjenja koju nam daje proizvođač. I na kraju, napravljen je poboljšani model baterije u Matlab/Simulink okruženju tako da temperatura utiče na njegovo ponašanje.

Ključne riječi-Šepardov model baterije, izdvajanje parametara modela, poboljšani model baterije

I. UVOD

Model je matematički opis realnog sistema sa zadovoljavajućom tačnošću i zbog toga je veoma bitno da se dobro odrede njegovi parametri. Simulacija modela može da se razvija iz osnovnih fizičkih odnosa ili direktno iz empirijskih podataka. Najčešći pristup je da se koriste osnovni fizički odnosi, kada je to moguće, i empirijski odnosi za poboljšavanje kvaliteta modela.

Danas se koriste različiti modeli baterija [1] kao što su idealni, jednostavni, modifikovani, Tevenenov, Šepardov, dinamički model baterije, itd.

U ovom radu je opisan Šepardov model [2] koji je jedan od najpoznatijih i najčešće korišćenih modela baterija za analizu ponašanja baterije u FN sistemima, električnim automobilima i sl.

II. ŠEPARDOV MODEL BATERIJE

Šepardov model baterije je dat na slici 1. Model direktno opisuje elektrohemijско ponašanje baterije u pogledu terminalnog napona, napona praznog hoda, unutrašnje otpornosti, struje pražnjenja i SOC-a (State of Charge; napunjenost baterije). Baterija je modelovana pomoću jednostavnog naponski kontrolisanog izvora koji je u seriji sa otpornikom konstantne otpornosti i dati model je isti za kolo punjenja i pražnjenja baterije.

Statičke i dinamičke karakteristike baterije, prema Šepardovom modelu baterije, mogu se opisati slijedećim jednačinama:

$$E = E_0 - K \frac{Q}{Q-it} + Ae^{(-B \cdot it)}, \quad (1)$$

$$V_{\text{batt}} = E - Ri. \quad (2)$$

gdje je:

E = nelinearni napon (V),

E_0 = konstantni napon (V),

K = napon polarizacija (V),

Q = kapacitet baterije (Ah),

it = stvarna napunjenost baterije (Ah),

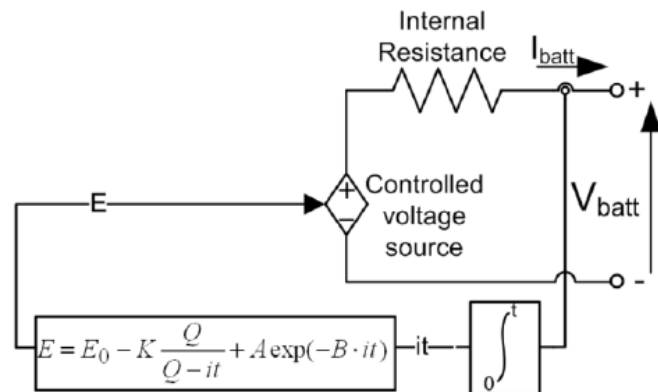
A = amplituda eksponencijalne zone (V),

B = inverzna vremenska konstanta eksponencijalne zone (Ah)⁻¹,

V_{batt} = napon baterije (V),

R = unutrašnja otpornost baterije (Ω),

i = struja baterije (A).



Slika 1. Šepardov model baterije

U jednakosti (1), $K \frac{Q}{Q-it}$ predstavlja nelinearni napon koji se mijenja sa promjenom amplitude struje. Kada je baterija skoro potpuno prazna i kada ne protiče struja kroz nju, napon kontrolisanog izvora E se povećava skoro na vrijednost E_0 . Čim struja opet protекne, napon kontrolisanog izvora naglo padne što izaziva i pad terminalnog napona baterije. Ovaj slijed događaja opisuje ponašanje realne baterije ali matematički model koji opisuje njeno ponašanje može da izazove algebarsku petlju i nestabilnost simulacije.

Prema tome, matematički model (1) opisuje naponsko kontrolisani izvor koji zavisi od stvarne napunjenosti baterije. To znači da kada je baterija skoro potpuno prazna i kada ne postoji struja koja teče, terminalni napon baterije V_{batt} će biti skoro 0.

Opisani model je zasnovan na određenim pretpostavkama i ograničenjima:

1) *Pretpostavke modela*

- Unutrašnja otpornost je konstantna tokom punjenja i pražnjenja i ne zavisi od amplitude struje.
- Parametri modela su izvedeni iz karakteristike pražnjenja i pretpostavlja se da su isti i tokom punjenja.
- Kapacitet baterije se ne mijenja sa amplitudom struje.
- Temperatura ne utiče na ponašanje modela.
- Vlastito pražnjenje baterije nije zastupljeno.
- Baterija nema memorijski efekat.

2) *Ograničenja modela*

- Minimalni nelinearni napon baterije je 0 V, dok maksimalni napon nije ograničen.
- Minimalni kapacitet baterije je 0 Ah, dok maksimalni kapacitet nije ograničen. Dakle, maksimalni SOC može biti veći od 100% ako je baterija prepunjena.

III. IZDVAJANJE PARAMETARA MODELA IZ KARAKTERISTIKA PROIZVOĐAČA

Model je matematički opis realnog sistema sa zadovoljavajućom tačnošću i stoga je za svaki model bitno da se dobro odrede njegovi parametri. Osnovna karakteristika Šepardovog modela baterije je ta da se parametri modela mogu lako odrediti iz karakteristike pražnjenja koju nam daje proizvođač. Slika 2 prikazuje tipičnu karakteristiku za 1.2 V 6.5 Ah niki-metal hidrid bateriju [3]. Kriva pražnjenja je data za stalnu struju od 1.3 A ili 0.2 *lt*, gdje je *lt* izraz za struju pražnjenja i izražava se

$$lt = \frac{C_n(\text{Ah})}{1 \text{ h}}, \quad (3)$$

gdje je C_n nominalni kapacitet baterije izražen u Ah, a *n* osnovno vrijeme (sati) za koje je definisan nominalni kapacitet.

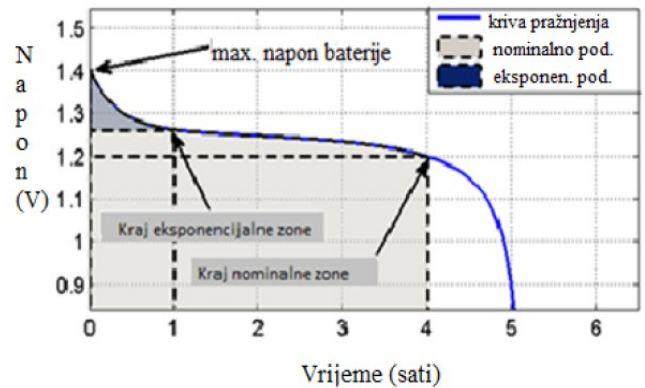
Tipična kriva pražnjenja se sastoji iz tri dijela kao što je prikazano na slici 2. Prvi dio karakteristike pražnjenja predstavlja eksponencijalni pad napona kada je baterija potpuno napunjena što je modelirano eksponencijalnim članom u jednačini (1). Širina ovog područja zavisi od tipa baterije. Drugi dio karakteristike označen je kao nominalna zona i opisuje promjenu napona baterije sve do njegove nominalne vrijednosti. Na kraju, treći dio karakteristike odgovara promjeni napona baterije u ispražnjenom stanju, gdje napon baterije naglo pada.

Pošto proizvođači daju specifikaciju koja se odnosi na datu bateriju, nama je u interesu da odredimo ostale parametre iz krive pražnjenja. U tabeli I i slici 3 data je specifikacija i tipične karakteristike pražnjenja za Panasonic-ovu NiMH-HHR650D bateriju [3], [4].

A. *Aproksimacija unutrašnje otpornosti*

Unutrašnja otpornost je veoma važna da bi se adekvatno reprezentovao pad napona uslijed varijacije struje u bateriji i ona je uglavnom navedena od strane proizvođača u

specifikacijama. Međutim, testovima je utvrđeno da otpornost koju nam daje proizvođač ne odgovara, na najbolji način, našem modelu baterije. Na primjer, otpornost koja je data u specifikaciji za Panasonic-ov model baterije HHR650D je 2 mΩ, ali je utvrđeno da je otpornost, koja najbolje odgovara, 4.6 mΩ.



Slika 2. Tipična karakteristika pražnjenja baterije

TABELA I. LISTA SA PODACIMA ZA PANASONIC-OVU NIMH-HHR650D BATERIJU

		mm	inch	
Diameter		33.0+0/-0.1	1.3+0/-0.04	
Height		61+0/-1.5	2.40+0/-0.08	
Approximate Weight		Grams	Ounces	
		170	6.0	
Nominal Voltage		1.2 V		
Discharge Capacity	<i>Average</i>	6800 mAh		
	<i>Rated</i>	6500 mAh		
Approx. Internal Impedance at 1000 Hz at charged state		2 mΩ		
Charge	<i>Standard</i>	650 mA (0.1 <i>lt</i>) x 16 hrs		
	<i>Rapid</i>	6500 mA (1 <i>lt</i>) x 1.2 hrs		
Amb. Temp.	Charge	<i>Standard</i>	°C	°F
			0 °C – 45 °C	32 °F – 113 °F
	Discharge	<i>Rapid</i>	0 °C – 40 °C	32 °F – 104 °F
			-10 °C – 65 °C	14 °F – 149 °F
Storage	< 2 years	-20 °C – 45 °C	-4 °F – 113 °F	
	< 6 months	-20 °C – 55 °C	-4 °F – 131 °F	

Zbog toga je predloženo u [2] da se uspostavi analitički odnos koji povezuje unutrašnju otpornost modela sa nominalnim naponom i nominalnim kapacitetom baterije. Unutrašnja otpornost utiče na izlazni napon baterije. Slijedeća relacija pokazuje kako efikasnost (η) zavisi od kapaciteta i nominalnog napona baterije

$$\eta = 1 - \frac{I_{nom} \cdot R \cdot I_{nom}}{V_{nom} \cdot I_{nom}}. \quad (4)$$

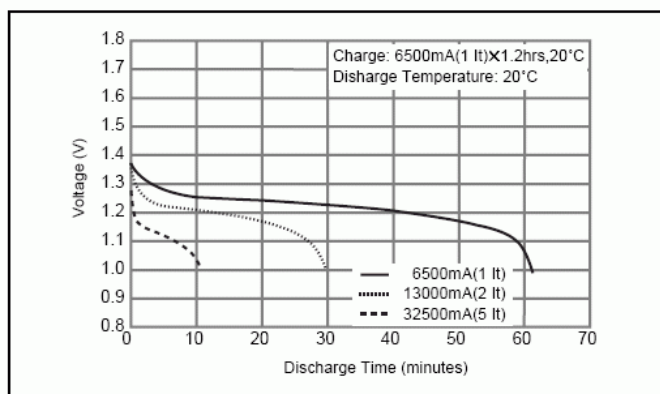
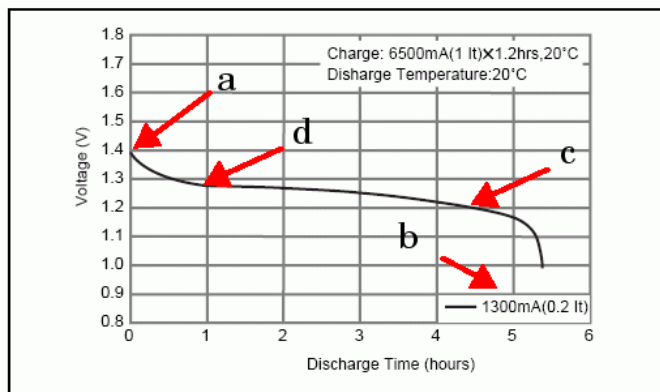
Nominalna struja koja se koristi za nominalnu krivu pražnjenja je:

$$I_{nom} = Q_{nom} \cdot \frac{0.2}{1 \text{ hr}}, \quad (5)$$

Pa je,

$$\eta = 1 - \frac{0.2 \cdot R \cdot Q_{nom}}{V_{nom}}. \quad (6)$$

U literaturi [2] sa više od 30 empirijskih testova zasnovanih na različitim nominalnim kapacitetima predložen je model baterije sa konstantnom unutrašnjom otpornošću, a koja se razlikuje od unutrašnje optornosti date u specifikacijama proizvođača, da bi se kriva pražnjenja modela što više podudarala sa krivom pražnjenja proizvođača. Sa ovim vrijednostima otpornosti, efikasnost (standardizovanih ćelija od 1.2 V) je izračunata, a rezultati su prikazani na slici 4.



Slika 3. Karakteristike pražnjenja

Slika 4 pokazuje da je prosječna efikasnost 99.5%, za 1.2 V, odlična aproksimacija koja omogućava da se odredi unutrašnja otpornost:

$$R = V_{\text{nom}} \cdot \frac{1-\eta}{0.2 \cdot Q_{\text{nom}}} \quad (7)$$

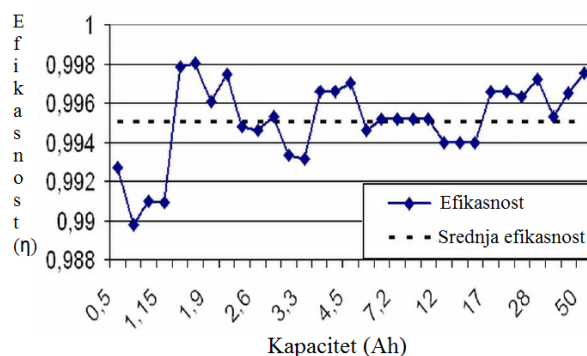
Ovaj metod je polazna osnova za određivanje unutrašnje otpornosti kada nema dostupnih drugih informacija.

B. Parametri modela

Za izvođenje parametara modela baterije iz karakteristika proizvođača uzeta je Panasonic-ova NiMH HHR650D, 1.2 V, 6.5 Ah baterija. Tri potrebne tačke koje se koriste za određivanje parametra modela su (slika 3): maksimalni napon baterije, kraj eksponencijalne zone i kraj nominalne zone. Eksponencijalni dio ($Ae^{-B \cdot it}$) se izračunava pomoću prve dvije tačke na sljedeći način:

A : pad napona u eksponencijalnoj zoni (V)

$$A = E_{\text{Full}} - E_{\text{Exp}} = 1.4 \text{ V} - 1.25 \text{ V} = 0.15 \text{ V} \quad (8)$$



Slika 4. Zavisnost efikasnosti od kapaciteta baterije

B : inverzna vremenska konstanta eksponencijalne zone (Ah^{-1})

$$B = \frac{3}{Q_{\text{Exp}}} = \frac{3}{1.3 \text{ A} \cdot 1 \text{ h}} = 2.308 \text{ (Ah)}^{-1} \quad (9)$$

Ostali parametri se računaju koristeći jednačinu (1). Napon polarizacije K može se izvesti iz maksimalnog napona baterije (E_{Full}) i treće tačke (kraj nominalne zone: Q_{Nom} i E_{Nom}):

$$K = \frac{(E_{\text{Full}} - E_{\text{Nom}} + A(e^{-B \cdot Q_{\text{Nom}}} - 1)) \cdot (Q - Q_{\text{Nom}})}{Q_{\text{Nom}}} \quad (10)$$

$$K = \frac{(1.4 - 1.2 + 0.15 \cdot (e^{-2.31 \cdot 5.2} - 1)) \cdot (6.5 - 5.2)}{5.2}$$

$$K = 0.0125 \text{ V}$$

Zatim, konstantni napon E_0 se izvodi iz maksimalnog napona baterije:

$$E_0 = E_{\text{Full}} + K + Ri - A, \quad (11)$$

$$E_0 = 1.4 + 0.0125 + 0.0046 \cdot 1.3 - 0.15 = 1.268 \text{ V}$$

Kada smo izračunali potrebne parametre modela baterije, dobivamo konačno jednačinu kojom je opisan naponsko kontrolisani izvor (na slici 1) pri struji pražnjenja od 1.3 A:

$$E = 1.268 - 0.0125 \frac{6.5}{6.5 - 1.3t} + 0.15e^{-3.0004t} \quad (12)$$

Za nominalni napon od 1.2 V i nominalni kapacitet je 6.5 Ah, izvedene su sljedeći parametri iz tipične karakteristike pražnjenja koja je data na slici 3.

Faktor maksimalnog napona baterije:

$$(a) = (1.4 \text{ V} / 1.2 \text{ V}) * 100 = 116.6\%$$

Nominalna struja pražnjenja:

$$(b) = 1.3 \text{ A} / (6.5 \text{ Ah} / 1 \text{ h}) * 100 = 20\% (0.2 \text{ lt})$$

Kapacitet @ Nominalni napon:

$$(c) = (4.5 \text{ hours} / 5.5 \text{ hours}) * 100 = 81\%$$

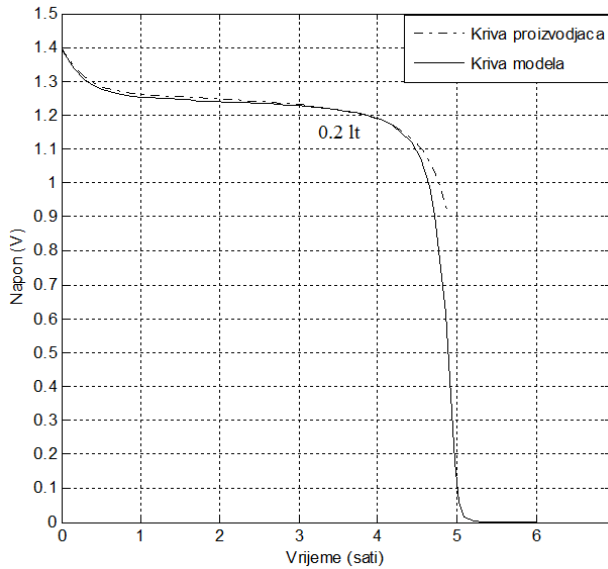
Faktor eksponencijalnog napona:

$$(d) = (1.27 \text{ V} / 1.2 \text{ V}) * 100 = 105.8\%$$

Faktor eksponencijalne kapacitivnosti:

$$(d) = (1 \text{ h} / 5.5 \text{ h}) * 100 = 18.18\%$$

Ovi parametri su približni i zavise od preciznosti tačaka dobivenih na krivoj pražnjenja. Sa parametrima koje smo odredili, kriva pražnjenja (puna linija) je slična onoj iz specifikacije koju daje proizvođač (isprekidana linija).



Slika 5. Poređenje krive pražnjenja proizvođača (isprekidana linija) sa onom koju smo dobili na osnovu izračunatih parametara (puna linija)

C. Parametri modela za najpopularnije tipove baterija

Isti pristup se može koristiti za izdvajanje parametara za ostale tipove baterija kao što su: olovno-kiselinske, nikl-kadmijumske i litijum-jonske baterije. Parametri za različite tipova baterija dati su tabeli II [1].

TABELA II. PARAMETRI ZA RAZLIČITE TIPOVE BATERIJA

Tip baterije Parametri	Lead-acid 12 V 1.2 Ah	Nikl- kadmijumska 1.2 V 1.3 Ah	Litijum-jonska 3.6 V 1 Ah	Nikl-metal- hidridna 1.2 V 6.5 Ah
$E_0(V)$	12.6463	1.2505	3.7348	1.2848
$R(\Omega)$	0.25	0.023	0.09	0.0046
$A(V)$	0.33	0.00852	0.00876	0.01875
$A(V)$	0.66	0.144	0.468	0.144
$B(Ah)^{-1}$	2884.61	5.7692	3.5294	2.3077

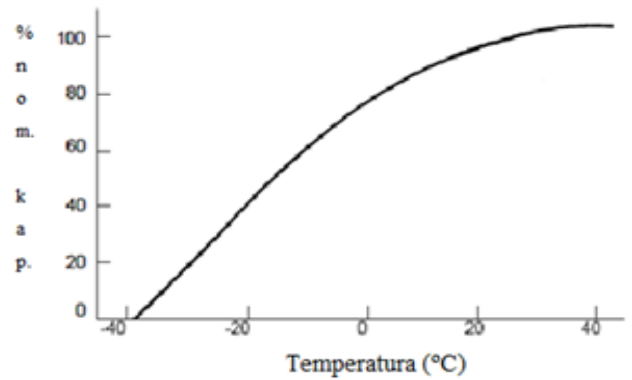
IV. POBOLJŠANI MODEL BATERIJE U MATLAB/SIMULINK OKRUŽENJU

Jedna od pretpostavki, opisanog modela baterije je da temperatura ne utiče na ponašanje modela, što znači da je karakteristična kriva pražnjenja ista na temperaturama od $-40\text{ }^\circ\text{C}$ do $50\text{ }^\circ\text{C}$ (opseg temperatura na kojima se baterija može koristiti).

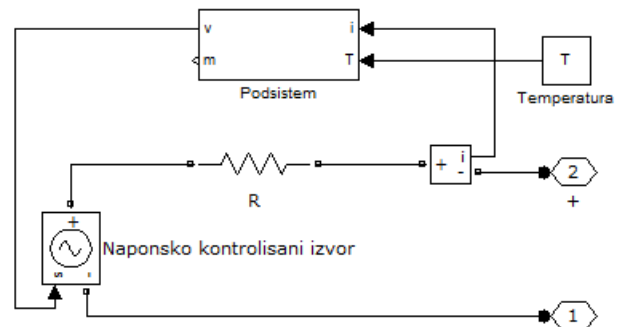
Na osnovu empirijskih mjerenja je utvrđena relacija koja povezuje nominalni kapacitet baterije na $25\text{ }^\circ\text{C}$ i kapacitet Q_{temp} , na nekoj drugoj temperaturi u rasponu od $-40\text{ }^\circ\text{C}$ do $50\text{ }^\circ\text{C}$:

$$Q_{temp} = Q_{25\text{ }^\circ\text{C}}(0.913 + 1.1e^{-2T} - 3e^{-4T^2}), \quad (13)$$

gdje je T temperatura izražena u Celzijusovim stepenima.



Slika 6. Uticaj temperature na kapacitet baterije



Slika 7. Poboljšani model baterije u Matlab/Simulink okruženju

Koristeći jednačine (1), (2) i (13), napravljen je poboljšani model baterije (slika 7) zajedno sa podsystemom potrebnim za modeliranjem baterije u SimPowerSystems (slika 8).

Slika 9 prikazuje krivu pražnjenje baterije pri istoj nominalnoj struji od 1.3 A ali na različitim temperaturama (od $-38\text{ }^\circ\text{C}$ do $25\text{ }^\circ\text{C}$). Karakterične krive pražnjenja razlikuje se kod baterija ali generalno najbolje performanse se dobivaju na temperaturama oko $25\text{ }^\circ\text{C}$. Na višim temperaturama, unutrašnji otpor se smanjuje, napon se povećava, a kao rezultat toga je povećanje kapaciteta. Snižavanjem temperature, smanjuje se i kapacitet baterije ali će se povećati njena nagibna kriva kao što se vidi sa slike 9.

Važno je još napomenuti, da Šepardovim modelom baterije, nije ograničena dubina pražnjenja baterije, tako da se pri bilo kojoj struji pražnjenja baterija isprazni na 0 V . U takvim uslovima, baterija bi veoma brzo postala neupotrebljiva.

Stoga je Šepardov model poboljšan i sa uvođenjem ograničenja dubine pražnjenja baterije. Realizacija šeme, koja ograničava pražnjenje baterije, je prikazana na slici 10 i ona je, takođe, iskorištena za dobivanje krivih pražnjenja na različitim temperaturama (slika 9).

V. ZAKLJUČAK

U ovom radu prvo je opisan Šepardov model baterije koji se uobičajeno koristi za modeliranje široke klase tipova baterija. Zatim je dat postupak izdvajanja parametara modela na osnovu krivih pražnjenja koje nam daju proizvođači. Kako originalni Šepardov model baterije ne podrazumijeva promjene parametara baterije sa temperaturom u radu je predloženo poboljšanje postojećeg modela na osnovu empirijski dobivenih podataka. Poboljšani model izgrađen je u Matlab/Simulink okruženju. Dalja istraživanja sa aspekta poboljšanja modela baterija išla bi u pravcu modeliranja memorijskog efekta koji je izražen kod NiCD baterija kao i histereznog efekta kod krivih punjenja i pražnjenja.

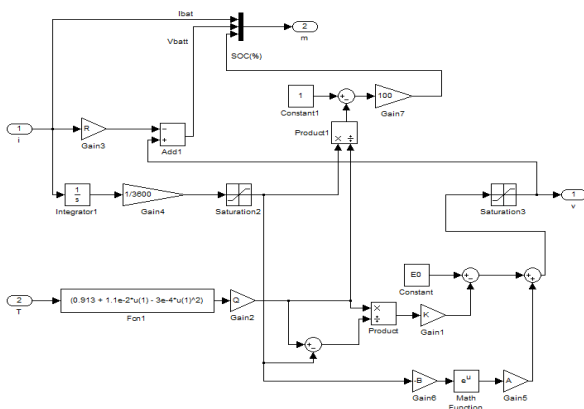
LITERATURA

- [1] Ramachandra Maddala, B.E. „Modeling of hybrid electric vehicle batteries“, May, 2003
- [2] Olivier Tremblay, *Member IEEE*, Louis-A. Dessaint, *Senior Member IEEE*, and Abdel-Ilhah Dekkiche, „A Generic Battery Model for the Dynamic Simulation of Hybrid Electric Vehicles, 2007
- [3] Panasonic, „Nickel Metal Hydride Handbook“, August 2003
- [4] <http://www.mathworks.com/help/toolbox/phymod/powersys/ref/battery>

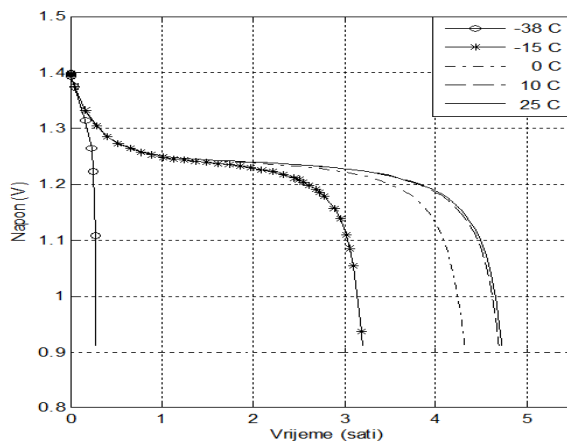
Abstract – In this paper is present Shepherd battery model which describe the electrochemical behaviour of a battery directly in terms of terminal voltage, open circuit voltage, internal resistance, discharge current and state-of-charge. Battery is modeled using a controlled voltage source in series with a resistance. The model's parameters can easily be extracted from the manufacturer's discharge curve. Finally, there has been an improved battery model in Matlab/Simulink environment so that the temperature will affect its behavior.

Keywords-Shepherd model battery, extracting model parameters, improved battery model

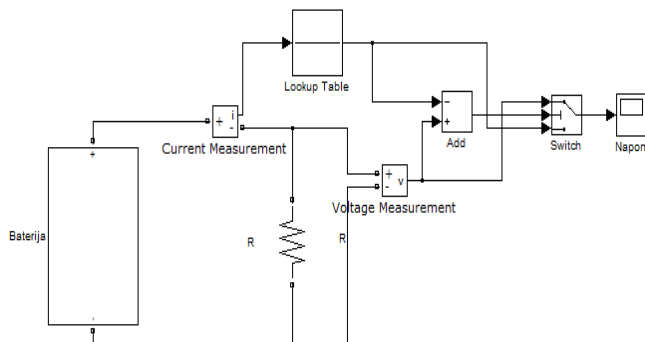
Improved battery model in Matlab/Simulink environment



Slika 8. Podsystem poboljšanog modela baterije



Slika 9. Krive pražnjenja baterije pri istoj nominalnoj struji ali na različitim temperaturama



Slika 10. Ograničavanje dubine pražnjenja baterije



Sekcija TO-3 KOLA I SISTEMI

V. Zerbe, M. Backhaus	MODEL BASED DESIGN OF AN EFFICIENT CORDIC ALGORITHM IMPLEMENTATION	86
M. Andrejević-Stošović, M. Dimitrijević, V. Litovski	HYPER COMPUTING IMPLEMENTATION IN ELECTRONIC CIRCUITS DIAGNOSIS	92
M. Čosović, Z. Babić	REALIZACIJA MODULARNIH MNOŽAČA	96
M. Milić, V. Litovski	PRIMENA METODA OSCILACIJA ZA TESTIRANJE AKTIVNOG FILTRA, PRIGUŠNIKA OPSEGA FREKVENCIJA	100
B. Jovanović, M. Damnjanović	LOW POWER MICROCONTROLLER DESIGN BY USING UPF	105
M. Stanojlović, P. Petković	OTPORNOST NA BOČNE NAPADE ASIC KRIPTO SISTEMA ZASNOVANOG NA STANDARDNIM ČELIJAMA	110
D. Bundalo, Z. Bundalo, F. Softić, M. Kostadinović	CIRCUITS WITH HIGH IMPEDANCE OUTPUT STATE FOR INTERCONNECTION OF BINARY AND TERNARY BiCMOS DIGITAL CIRCUITS AND SYSTEMS	115
D. Danković, V. Sinadinović, D. Milošević, Z. Prijjić	REALIZACIJA "INTELIGENTNOG SEMAFORA" NA BAZI NANOBOARD-A 3000	120
M. Бајић, З. Ж. Цветковић	ЈЕДАН ЈЕДНОСТАВАН НАЧИН РЕШАВАЊА ЕКСПОНЕНЦИЈАЛНИХ ВОДОВА СА ГУБИЦИМА	125
A. Atanasković, N. Maleš-Ilić, B. Milovanović	LINEARIZATION OF THREE-WAY DOHERTY AMPLIFIER WITH HARMONIC CONTROL CIRCUITS	130
A. Avramović, V. Risojević, Z. Babić, P. Bulić	IDENTIFIKACIJA SISTEMA PRIMJENOM ALGORITMA NAJMANJIH SREDNJIH KVADRATA SA LOGARITAMSKIM MNOŽENJEM	134

Model Based Design of an Efficient CORDIC Algorithm Implementation

Invited Paper

Volker Zerbe

Department of Computer Engineering/Embedded Systems,
University of Applied Sciences Erfurt, Germany
volker.zerbe@fh-erfurt.de

Michael Backhaus

Department of System and Software Engineering,
Ilmenau University of Technology, Germany
michael.backhaus@tu-ilmenau.de

Abstract—Navigational tasks require the efficient computation of trigonometric functions. For the development of an electronic compass the arc tangent is to be computed for example. The electronic compass is model based design. Hardware solutions are of special interest. The CORDIC algorithm stands in the focus for the computation of trigonometric functions. It is based on *shift* and *add* operations and permits an efficient implementation in FPGA's. The paper describes the model based design concept of the compass design. It is explained how the CORDIC algorithm works. Thereby first software solutions are compared: Approximation using the Taylor series versus the CORDIC Java implementation. Different hardware solutions of the CORDIC algorithm are analyzed. A Pipeline CORDIC processor is introduced and embedded into the electronic compass. The developed system is validated using an example.

Keywords—model based design, compass, CORDIC, FPGA,

I. INTRODUCTION

The goal of the design task is to develop an optimal overall system under the boundary conditions of limited resources. At the same time the costs are to be minimized and the time to market is to be reduced. The question is: How can, for example, different architectures be analyzed and optimized, in order to reach this goal. First an executable system model has to be provided, before performance assessments can be accomplished. The modelling of the overall system begins on abstract level. A structured approach is essential together with the stepwise refinement of the model. The complex design problem must be divided thereby in a regulatory way into manageable subproblems, so that their complexity permits a treatment. It is important to note that the validity of the solution of a subproblem is given always only in the context of the solution of the entire design problem. This means, the solution of a subproblem does not contribute automatically to the solution of the overall problem. The solution of a subproblem is evaluated always on their contribution for the solution of the superordinate design problem. With this kind of modelling of the system with its subsystems and components over all abstraction levels, internal system details on higher modelling levels are hidden. They emerge only in the leaves of the hierarchical model tree. The execution of the model, the simulation, now permits the analysis of the system for limited, available resources and system requirements.

For the design of complex, heterogeneous, integrated, networked systems different computation models in the architecture have to be integrated. A computation model is a mathematical formalism which defines a set of permissible operations for one computation and of implementation details abstracts. Thus, concurrencies, data flows, reactive and continuous systems, synchronisation and communication aspects can be described adequately. Each subsystem or each component of the whole to be modelled system should able to use every computation model.

Of special importance is the integration of the top down and the bottom up design for the modelling of systems. The top down methodology permits the modelling in an abstract way. The draft can be made clear and manageable. The given design space by the stepwise refined component decomposition is done until the desired degree of detail of the system is reached. With the bottom up methodology, subsystems and components are modelled and combined into an overall system. So experiences from past system developments can be brought into the design. Hence it follows that both techniques for practice must be combined. This combination of top down and bottom up is well known as the meet in the middle strategy [2]. Any way, the main strategy should be the top down approach. In this case as much as possible alternatives can be examined and optimal decisions be made. Performance parameters can be refined stepwise or can be represented as an annotation in the system modell through the bottom up methodology. These parameters are helpfull to accomplish performance assessments of the system.

II. MODEL BASED DESIGN

At present time complex, embedded, networked systems are developed purely requirement oriented (requirement based). System requirements are gathered to provide paper specifications from different sources. On this basis many distributed developer teams develop a detailed design for the subsystems and components. After reaching an accepted design the validation and the test of the overall system is to be done. Therefore errors during the design process will be discovered often very late. The design based on executable models (model based design) has the potential to increase the productivity of the sys-

tem design process substantially. This design strategy is model driven and begins already in the early design phases with the development of an executable specification. This executable specification is directly linked with the system requirements. In the center of the overall model based design process stands the to be modelled complex system, the executable model. It is refined sequentially, stepwise. By the linkage of the executable model with the system requirements inconsistencies in the system requirements can be found very timely found by simulation. During the overall design process it can be examined whether the requirements corresponds to the design and which effects will be caused by the suggested change in the system requirements [4]. The model based design has the following conspicuous characteristics in relation to the requirement based design, (in extracts):

- The investigation of the dynamic behavior of the system becomes already possible in the early phases of the design process.
- Based on simulatable alternatives and associated trade off analyses design decisions can be made.
- Only one model is used on different design levels.
- Nonfunctional requirements can also be modelled and validated.

III. MLDESIGNER

MLDesigner [10] is a tool for the design of complex systems on mission and system level. This approach integrates architecture, function and application scenarios in only one development environment on a very abstract level. MLDesigner is a multi domain simulator and supports the modelling in discrete event (DE), synchronous data flow (SDF), continuous time (CT), finite state machine (FSM) and other computation models. Different computation models can be combined in order to model a system [12]. Furthermore a system model can be represented with its components in an arbitrary depth of detail. On this basis system performance evaluations can be accomplished. A comparison and an evaluation of different tools for the design on system level was made in [11].

IV. THE ELECTRONIC COMPASS MODEL

An electronic compass is able to continuously indicate [6] the azimuth angle. Two magnetic field sensors, KMZ51 by Philips, generate voltages V_x and V_y from which the azimuth can be determined then.

$$\alpha = \arctan \frac{H_{ey}}{H_{ex}} = \arctan \frac{V_y}{V_x} \quad (1)$$

H_{ex} and H_{ey} are vectors in the earth field, see figure 1.

This picture shows three dimensional the earth field vectors. The $x - y$ plane lies parallel to the earth surface. The azimuth has to be computed. The angle δ , the inclination, is the tilting angle of the magnetic field lines. This angle is different for different positions on the earth (at the north pole differently than in Ilmenau or at the equator). The declination, λ , between magnetic and the true geographic north amounts to approximately 11,5 degrees.

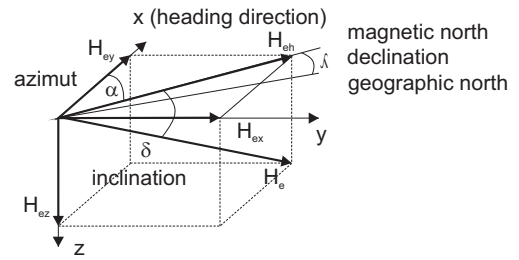


Fig. 1. Earth field vectors

An executable model for an electronic compass was developed with the help of the system design tool MLDesigner. The to be modelled system is a data flow oriented system [1]. One source (magnetic field sensor) produces continuously tokens ($x - y$ voltage data) which are consumed by the following nodes (amplifier, converter, processor, display). Basis for the modelling is the SDF computation model. The goal is the development of an optimal overall system. Figure 2 shows the overall system of an electronic compass. The model can be formally verified. For example for SDF graphs the following applies:

Definition 1 (Deadlock): Is a computed Schedule not more continuable, since no more node can fire, then a deadlock is present. Cycle free graphs are deadlock free.

The top level compass model is therefore deadlock free in the sense of a SDF graph.

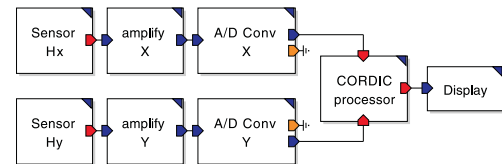


Fig. 2. Top-Level MLDesigner Compass Modell

The module sensor supplies corrected (offset, sensitivity, orthogonal, temperature compensation) sensor outputs (voltage data). An operational amplifier circuit, modelled in the module *amplify*, is amplifying the weak sensor output signal. These voltage data are analogue digital converted in the module *A/D Conv*. Here for example different parameters for converters are adjustable. The computation of the arc tangent is modelled as a main function in the module *CORDIC processor*. Pure software solutions are examined based on the Taylor series and the CORDIC implementation. Further the focus is directed on a FPGA (field programming gate array) implementation. The module *display* is a data sink. Only tokens are consumed. The azimuth angle α is written as output data.

A. The CORDIC algorithm

The CORDIC algorithm was introduced 1959 for the first time by Jack Volder [5]. CORDIC is the abbreviation for

coordinate rotating digital computer. Starting point for the development of the CORDIC was the desire to handover the continuous computation of navigation algorithms to digital systems. The world of the digital signal processing is dominated by microprocessors. On one side they are low priced and extremely flexible, on the other side they are often not really fast enough for heavy DSP (digital signal processing) tasks. Available reconfigurable hardware makes it possible to achieve a higher speed in computation compared to the traditional software approach. Unfortunately for microprocessor based systems, optimized algorithms are not well implementable in hardware. Nevertheless there exists a multiplicity of hardware efficient solutions. Among them there is also a class of iterative solutions for trigonometric functions. John Walther [7] extended the CORDIC theory. Thus using the CORDIC computation of hyperbolic, exponential and logarithmic functions are also possible. Kota [8] has accomplished error and load analyses.

All computations of trigonometric functions are based on vector rotations. The vector E_0 is rotated around the angle θ , see figure 3. The vector E_n results.

$$\begin{aligned} x_0 &= \cos \theta_0 r_i & y_0 &= \sin \theta_0 r_i \\ x_{i+1} &= \cos(\theta_0 + \theta) r_i & y_{i+1} &= \sin(\theta_0 + \theta) r_i \end{aligned}$$

The general rotation transformation in matrix form results too

$$\begin{bmatrix} x_n \\ y_n \end{bmatrix} = \begin{bmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{bmatrix} \cdot \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (2)$$

or in a different way of writing:

$$\begin{bmatrix} x_n \\ y_n \end{bmatrix} = \frac{1}{\sqrt{1 + \tan^2 \theta}} \begin{bmatrix} 1 & -\tan \theta \\ \tan \theta & 1 \end{bmatrix} \cdot \begin{bmatrix} x_0 \\ y_0 \end{bmatrix}$$

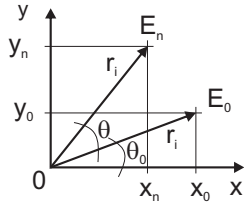


Fig. 3. Vector transformation

The rotation around the angle θ is realized by a sequence of rotations around the angulars α_i .

$$\theta = \sum_{i=0}^{n-1} d_i \cdot \alpha_i \quad \text{mit} \quad d_i \in \{-1, 1\} \quad (3)$$

The angle θ is approximated by an alternating approach. A too far rotation is compensated by a change of sign. To control the direction of the rotation an auxiliary variable z_i is introduced.

$$z_0 = \theta \quad z_{i+1} = z_i - d_i \cdot \alpha_i \quad d_i = \begin{cases} 1 & z_i \geq 0 \\ -1 & z_i < 0 \end{cases}$$

In order to simplify the rotation equation [9], the rotations are replaced by pseudo rotations, see figure 4. Thus the length of the rotating vector changes by a well known angle with a constant factor.

$$r_{i+1} = r_i \cdot \sqrt{1 + \tan^2 \alpha_i} \quad (4)$$

Let $\tan \alpha_i = 2^{-i}$, $i = 0 \dots n-1$.

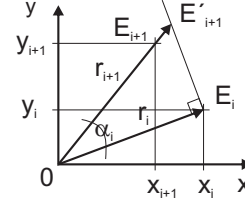


Fig. 4. Pseudo rotation

Thus the following new, simplified rotation equations result:

$$\begin{bmatrix} x_{i+1} \\ y_{i+1} \end{bmatrix} = \begin{bmatrix} 1 & -d_i \cdot 2^{-i} \\ d_i \cdot 2^{-i} & 1 \end{bmatrix} \cdot \begin{bmatrix} x_i \\ y_i \end{bmatrix} \quad (5)$$

$$z_{i+1} = z_i - d_i \cdot \arctan(2^{-i}) \quad (6)$$

For the computation of the different functions the CORDIC can operate in two modes. These are the rotation and the vector mode. For the computation of the arc tangent the vector mode is used. The given vector is always rotated so that the absolute value of its y component is reduced. The rotation angle is signed accumulated thereby. After processing all iteration steps the following equations results:

$$\begin{aligned} x_n &= \left(\prod \sqrt{1 + 2^{-2i}} \right) \sqrt{x_0^2 + y_0^2} \\ y_n &= 0 \end{aligned} \quad (7)$$

$$z_n = z_0 + \arctan \frac{y_0}{x_0}$$

Choose $z_0 = 0$, so z_n is equal to the desired azimuth.

B. Algorithm analysis

In the module *CORDIC processor*, see figure 2, the arc tangent is modelled. First an approximation, using the Taylor series, is compared with the CORDIC algorithm. Both algorithms were implemented directly in the MLDesigner model using the programming language C.

1) Approximation using the Taylor series

Taylor series expansions sometimes show a slow convergence and a numeric instability and require many multiplications additionally. The description complexity is nevertheless low, see the following Java code.

```
public static double taylor_atan2(double y, double x, double math, int n){
    double z=y/x;
    double result=0;
    double numerator=z;
    double denominator=1;
    z*=z;
    for(int i=0; i<n; i++){
        result+=numerator/denominator;
        numerator*=-z;
        denominator+=2;
    }
    return Math.toDegrees(ergebnis);
}
```

2) CORDIC Java implementation

In comparison with the approximation using the Taylor series the CORDIC needs only simple *shift* and *add* operations as well as a *LookUpTable* operation. The description complexity is comparable with that of the Taylor implementation.

```
public static double cordic_atan2(double y, double x, int n){
    double newX;
    double z = 0;
    double half=1;
    int d=1;
    for(int i=0; i<=n; i++){
        if(y>=0) d=-1; //direction of rotation
        else d=1;
        newX=x-d*half*y;
        y=y+d*half*x;
        x=newX;
        z=z-d*angles[i]; //precalculated angles
        half/=2;
    }
    return z;
}
```

The simulation of both modelled algorithms produces the following results, which are exemplary summarized in a table. First the number of iterations was investigated, which leads to an accuracy of $\leq 0.001^\circ$ concerning the reference angle.

x	y	ref. angle	CORDIC (iterations)	Taylor (iterations)
0.92	0.39	22.97272	12	5
0.72	0.69	43.78112	14	64

If the number of iterations is set to 16 for both algorithms, then the accuracy of the results varies very strongly. In particular the Taylor algorithm shows clear weaknesses regarding the accuracy, see table below.

x	y	ref. angle	CORDIC (error)	Taylor (error)
0.92	0.39	22.97272	0.0134	0.0000
0.72	0.69	43.78112	0.0115	0.2286

The CORDIC obtains a high accuracy of the computed result for a constant number of iterations in the entire coordinate system. Introducing the pseudo rotations and the represented simplifications the CORDIC is limited to only two *shift*, three *add/sub* operations and one *LookUpTable* operation. That way the system is also efficient implementable in hardware.

In the sense of the model based design the CORDIC processor, see figure 2, is now modelled in a third variant with MLDesigner using logic elements/finite state machines (FSM). The specified CORDIC is validated in the context of the compass model by simulation. This validated specification is the basis for an implementation on a Cyclone II EP2C35 FPGA, or in other words, the validated MLDesigner model is input for the Quartus II Web edition, the FPGA development environment of the company Altera.

V. IMPLEMENTATION

For the implementation in hardware different design variants are possible. These designs differ regarding the execution time, hardware costs (number of logic cells) and the principle suitability for the implementation on a FPGA.

1) Bit parallel iterative CORDIC processor

Each of the three to be solved functions x_n, y_n and z_n are directly implemented in hardware, see figure 5. The shown processor represents an iterative CORDIC structure.

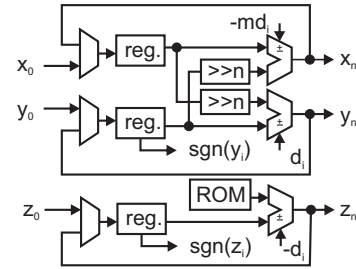


Fig. 5. Bit parallel iterative CORDIC processor

The function for the determination of the direction of rotation d_i determines itself in the rotation mode through $sign(z_i)$ and in the vector mode through $sign(y_i)$. At the beginning of the processing the initial values x_0, y_0 and z_0 are loaded into the registers. This is done via the upstream multiplexers. In one iteration step the values are loaded from the registers into the adders/subtractors and the shift registers. The results of the computations are then loaded again into the individual registers via the multiplexers. The angles for the computation of z_i are stored in successive addresses in a ROM. So one sufficient incremental access is enough. After processing of the last iterations the result of the respective variables can be read directly at the outputs (the adders/subtractors). In this design the arithmetic and the shift operations are implemented with data word length. This implementation does not lead to an efficient solution. The signals are passing a high number of FPGA cells. This leads to a slow design with a high number of logic cells.

2) Bit serial iterative CORDIC processor

A more compact method arises as a result of the use of bit serial arithmetic. A substantially higher clock than in the bit parallel variant is reached. This design consists of three bit serial adders/subtractors, three shift registers as well as one serial ROM. Thus it needs a minimum of hardware costs. The shift registers are in the length wise identical to the word length. For the initialization the data are loaded into the shift registers via the multiplexers. Each iteration needs exactly w clock cycles (w is the word length). The whole word is loaded into the adders/subtractors and afterwards it is pushed again into the shift registers. At the beginning of every step the sign of the variables is read and passed on to the adders/subtractors. After the last iteration the words are pushed to the outputs, at the same time a new word can be initially loaded again already. The advantage of this design is in the simple and minimal hardware. This permits to work with a very high clock

frequency, which is necessary for the high number of clock cycles.

3) **Bit parallel combinatorial CORDIC processor**

Beside the iterative design variants, where n iterations for the computation are needed, there are also other possibilities to implement the CORDIC. One of these possibilities, described in [13], is the so called *unrolled CORDIC processor*. The idea thereby is to implement the hardware for every individual iteration step. This design variant is shown in figure 6.

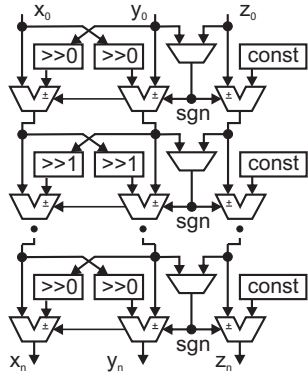


Fig. 6. Bit parallel combinatorial CORDIC processor

This structure has some advantages. Because each iteration uses their own elements, always the same operations are executed. So the shift registers are not required and can be hard wired, because the same number of shift operations always achieved. The same is valid for the angles. They are a constant for each iteration step. That means, there is no need to use memory and the values are likewise hard wired. So there is no need of registers at all. The structure reduces the number of adders/subtractors. But that purely combinatorial structure has also its disadvantages. The processing time is accordingly high due to the multiplicity of the elements. However this structure is faster than those of the iterative variants, because the time for initialization and setup and hold of the registers is completely omitted.

4) **Pipeline structure**

The preceding structure is simply implementable as pipeline structure. Between the *add* and *sub* blocks pipeline registers are connected. So for a pipeline architecture only a few additional hardware costs are needed. The advantage is that with a filled pipeline after each clock a result can be read on the outputs.

Particularly the variants of bit serial iterative CORDIC processor and the pipeline structure were examined. Both MLDesigner models are transformed into the Quartus II model. The chip analyses show the following results:

	Bit serial iterativ	Pipeline structure
Logic elements all	1469	2526
Logic elements CORDIC	887	1934
number register all	640	1477
number register CORDIC	121	958

In the compass implementation for the computation of the arc tangent the pipline structure was used. The clock diagramm, see figure 7, shows for every clock the data at the input of a pipeline step. The steps 1, 2 and 5. are represented.

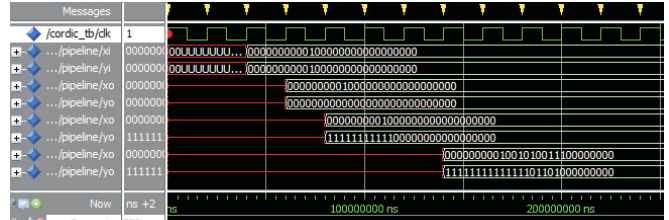


Fig. 7. Waveform

On the basis of the CORDIC pipeline structure the complete compass was implemented on a FPGA. The top level compass design is shown in figure 8.

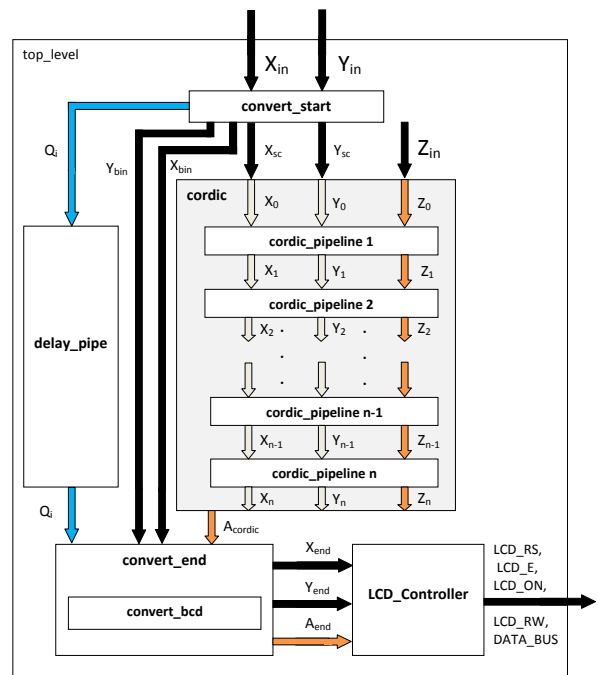


Fig. 8. Top-Level compass design

The system is simulated/validated in the tool chain: MLDesigner, Quartus II Web edition and tested as a real system. As a test scenario a rotated house of the St. Nicholas is used, see figure 9. A real scenario could be a navigational task in a robot system [3].

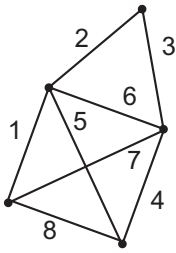


Fig. 9. House of St. Nicholas

When pacing down the house of the St. Nick the compass continuously supplies the expected azimuth angles per clock, see figure 10. The implementation runs with 50 MHz and the individual blocks from figure 8 have the following number of clock cycles:

- convert_start 3 clocks
- cordic_pipeline 16 clocks
- convert_end 2 clocks
- convert_bcd 6 clocks

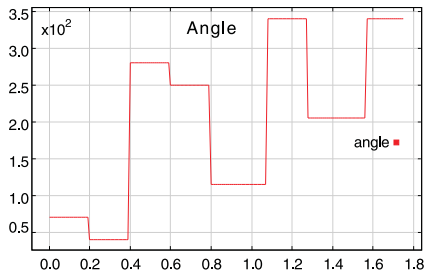


Fig. 10. Angle output for the house of St. Nick

VI. CONCLUSION

An electronic compass has been developed consequently model based. First an abstract system model was built using MLDesigner. So already in the early design phases performance analyses for system could be accomplished. In the special focus stands thereby the CORDIC algorithm. The model was stepwise refined and implemented by Quartus II on a FPGA. It was shown that the model based design using a tool chain allows extensive analyses and generates a fast, clear implementation.

REFERENCES

- [1] E. A. Lee, D. G. Messerschmidt, Static Scheduling of Synchronous Data Flow Programs for Digital Signal Processing. IEEE Trans. Comput. Vol C-36, no 1 pp. 24-35, Jan. 1987
- [2] K. D. Mueller Glaser, Systems Engineering in Microsystems Design. IFIP Workshop on Modelling of Microsystems. Stirling Scotland, 1997
- [3] M. Milushev, N. Krantov, V. Zerbe, Scalable Modular Control Architecture for Walking Machines. ICEST 2007, Ochrid, Macedonia, 24-27 June 2007, pp. 901-903
- [4] F. Lohse, V. Zerbe, Model based Performance Estimation in ZigBee based Wireless Sensor networks. 27th MIEL 2010, IEEE International Conference on Microelectronics, Nis, Serbia, 16-19 Mai 2010, accepted
- [5] J. E. Volder, The cordic trigonometric technique. IRE Transaction on Electronic Computers, EC-8, pp 330-334, 1959
- [6] B. Andjelkovic, V. Litovski, V. Zerbe, A Mission Level Design Language Based on AleC++. MIEL 2006 - 25th IEEE International Conference on Microelectronics, Nis, Serbia, May 14-17 2006, pp 659-662
- [7] J. S. Walther, A unified algorithm for elementary functions. Spring Joint Computer Conf., 1971, pp. 379-385
- [8] K. Kota, J. R. Cavallaro, Numerical Accuracy and Hardware Tradeoffs for CORDIC Arithmetic for Special-Purpose Processors. IEEE Transactions on Computers, Vol. 42, NO. 7, 1993, pp. 769-779.
- [9] B. Parhami, Computer Arithmetic: Algorithms and Hardware Designs. Oxford University Press, USA, 1999
- [10] <http://www.mldesigner>.
- [11] A. de A. Agarwal, C.-D. Iskander, R. Shankar, G. Hamza-Lup. System-Level Modeling Environment: MLDesigner. SysCon 2008, IEEE International Systems Conference, Montreal, Canada, April 7-10 2008,
- [12] I. Paunovic, V. Zerbe. Modeling and Simulation of Digital Systems in different Domains. 3rd SSSS- Small Systems Simulation Symposium, Nis, Serbia, February 12-14 2010, p. 17-23
- [13] R. Andracka. A survey of cordic algorithms for fpga based computers. 6th ACM/SIGDA International Symposium on Field Programmable Gate Arrays, 1998, New York, USA, p. 191-200

Hyper computing implementation in electronic circuits diagnosis

Miona Andrejević Stošović, Marko Dimitrijević, Vančo Litovski

Faculty of Electronic Engineering

Niš, Serbia

(miona.andrejevic, marko.dimitrijevic, vanco.litovski)@elfak.ni.ac.rs

Abstract— In this paper we will show how hyper-computing can be implemented for efficient electronic diagnosis. The diagnosis is based on fast search, using artificial neural networks, of a given fault dictionary to verify the diagnostic hypothesis. The simulation before test concept was used to generate the fault dictionaries while additional ANNs were used for memorizing them. The main idea here is based on parallel simulation of large number of replicas of the original circuit with faults inserted to achieve fast creation of the fault dictionary. The method was tested on a mixed-signal circuit (two-phase sigma-delta converter).

Keywords-parallel simulation; Grid; defects; fault dictionary.

I. INTRODUCTION

In this paper we describe a method that uses feed-forward ANNs for the diagnosis of non-linear dynamic mixed-signal electronic circuits. This method is based on fault dictionary creation by simulation, hence, the simulation before test concept (SBT), and use of ANN for data compression by memorizing the table representing the fault dictionary. The ANN created in this way is, consequently, used for diagnosis by applying to its inputs the signals obtained by measurement of faulty network.

This process may be considered as looking-up for a fault in the fault dictionary. The ANN finds the most probable *fault code* that corresponds to the measured signals. The procedure was applied to analog circuits and illustrated in [1].

Putting this in the general context of diagnosis we first note that the fault dictionary contains all the knowledge we need. In other words by applying the SBT concept all diagnostic hypotheses are memorized (within the ANN) and no further hypothesis needs to be created after the dictionary is known. This is equivalent to the structural concept of testing. The fault not conceived in advance can't be tested nor diagnosed. Now we look among the hypotheses (by searching the dictionary i.e. by running the ANN) to find the one most similar to the actual (faulty) circuit response. The difficulties here are the complexity of the search and the decision algorithm that finds the "most similar" entry in the dictionary. As shown in [2] this can be an extremely difficult task that has been successfully solved using ANNs.

For a mixed signal system such the one depicted in Fig. 1, we are faced with additional difficulties related to the different nature of the responses sought at different nodes. In order to tackle that problem the fault dictionary created at the system level was partitioned in two parts enabling implementation of the concept described. In [1], [3], [4] and [5] delay and catastrophic defects in the digital part of the circuit were diagnosed, while in [6] we diagnosed analog defects. After these results we decided to diagnose the whole circuit, but as the defects are numerous, we chose hierarchical approach, first to detect if defect is analog or digital, and then to go one level lower and to distinguish among defects in one of the groups [7], [8], [9].

Considering the overall efficiency of the process the only "bottle-neck" of the procedure is the long simulation time necessary to create the fault dictionary having in mind the enormous number of possible faults and the necessity for complete time domain simulation of a new replica of the original circuit with a fault inserted. To tackle this problem we implemented parallel simulation in which every faulty version of the circuit is simulated by separate processor in a supercomputer so enabling a considerable speed-up of the fault dictionary creation phase of the diagnostic process.

In the next we will first describe the modern aspects of implementation of parallel computing to electronic circuit simulation. Specifically, supercomputing and grid computing will be elaborated. Then we will explicate how this method may be implemented for fast creation of the fault dictionary. The very process of capturing the fault dictionary in an ANN and running the diagnosis will not be discussed since it may be found elsewhere [2].

II. PARALLEL CIRCUIT SIMULATION

There are mainly two methods for parallel implementation of circuit simulation [10]. The first one implements parallel threads within the implementation of the simulation algorithm. In early days they were created by partitioning the circuit into smaller parts by node or branch tearing [11], [12]. Nowadays, the circuit matrix is created in parallel [13]. The main limitation of this approach is the communication overhead that puts an obstacle of the maximum speed-up of the simulation in this way: "The maximum speed-up obtained with parallel system of N processors that has α % of communication overhead can be no greater than $1/(1-\alpha*100)$ ".

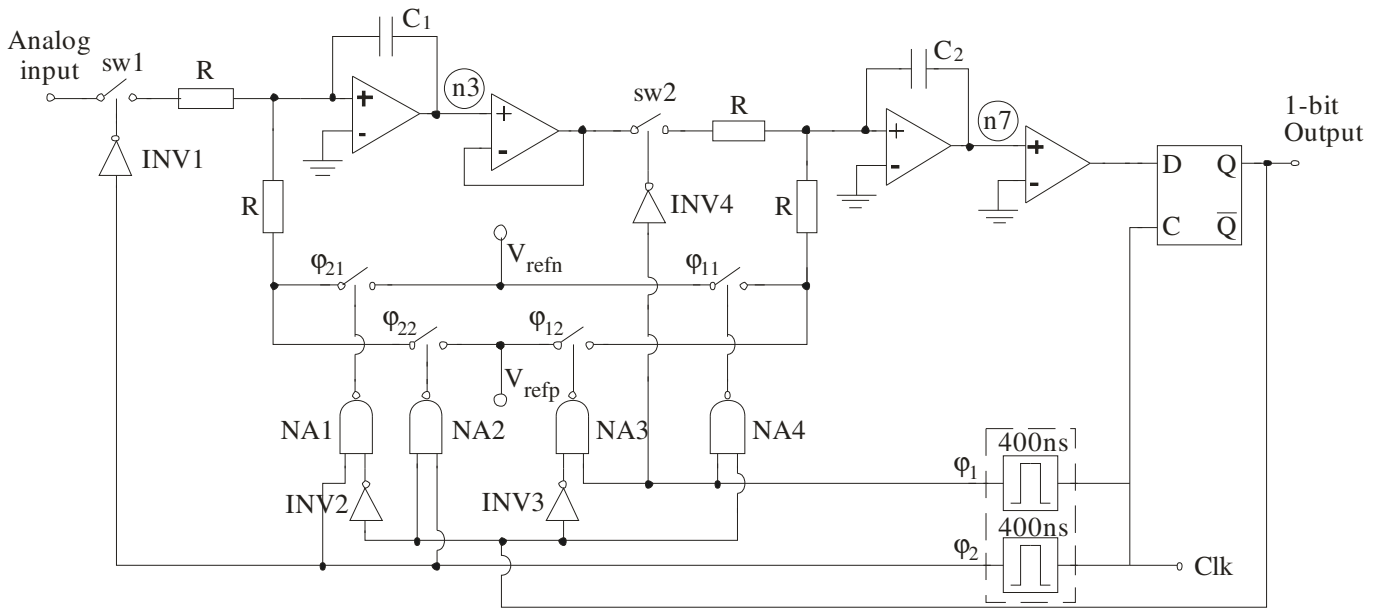


Figure 1. Sigma-delta modulator structure

Accordingly if α is 0.1, the maximum speed-up is 10. In the last decade, the possible speedup degraded due to the nearly constant communication speed and increasing computation performance structure [14]. The second approach uses each core for computing exactly one simulation model, which is also known as Hyper Computing [10]. Large number of cores is used for calculating the models N-times, e.g. by applying different random number seeds in Monte-Carlo simulation [15]. Speeding-up of such computations is nearly equal to the number of the cores and could be guaranteed in practice. For statistical correctness, however, over 20 or more simulation runs must be executed for getting significant results.

In this paper for the first time we implement the hyper computing for fault dictionary creation. In fact, there is no fundamental difference between Monte-Carlo simulation and fault dictionary creation except for the origin of the variations of the parameters. In Monte-Carlo one creates the parameter variation according to a set of given statistical distributions while in fault dictionary creation one takes the faults from a fault list created within the production foundry.

III. SIMULATIONS ON GRID

The development of low-cost personal computers and gigabit LAN network connections offers a possibility for implementation of inexpensive distributed multiprocessor systems such as computer clusters. A cluster has many advantages over classic supercomputer: it is inexpensive, flexible, easy to use, easy for maintenance and highly stackable. One particular implementation of this approach, involving open source system software and dedicated networks, has acquired the name "Beowulf" [16].

The growth of Internet and WAN links of great capacity and speed led to development of the computational Grid, Fig. 2. In the same way as power grid provides electrical power, computational power can be obtained on demand from a network of providers, potentially belonging to the entire Internet. The Grid is a highly heterogeneous and geographically distributed computing system consisting of interconnected shared computer resources (computer clusters) that users can utilize for their demanding tasks. At the beginning, this paradigm has been strictly scientific and academic; but as in the case of the Internet, it became widely accepted and popular. One of the most common definitions says that a computational Grid is a hardware and software infrastructure that provides dependable, consistent, pervasive, and inexpensive access to high-end computational capabilities enabling on-demand access to computing, data, and services [17]. Grid computing is suitable for intensive calculations that require significant processing power, large operating memory, as well as storage capacity. The simulation of ICs is paradigmatic example of such calculations [18].

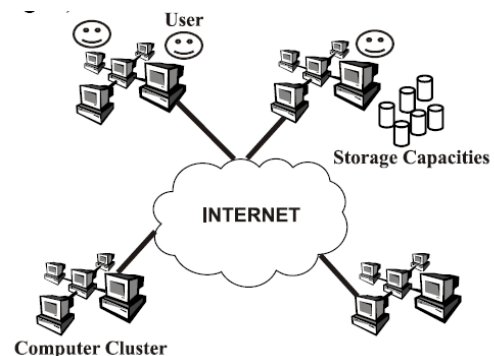


Figure 2. Grid structure

Fig. 3 shows the structure of a Grid application. In order to enable a designer to run parallel simulations on the Grid resources, it is necessary to develop appropriate Grid interface for the simulator. Such interface should provide submission of simulation jobs together with simulation models, simulation run on a distant computer cluster and retrieval of simulation results.

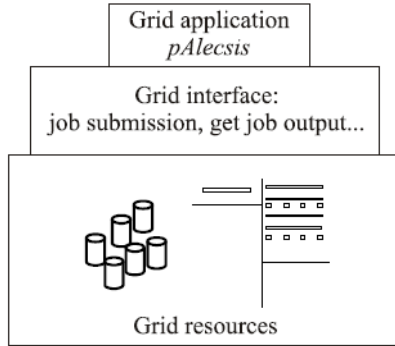


Figure 3. Basic structure of a Grid application

In the example given here, simulations are executed on the parallel computer structured as a Beowulf cluster, Table I. It is part of the SEE-Grid initiative and is capable to use resources from within the initiative.

TABLE I. BEOWULF CLUSTER STRUCTURE

Component	Specification
8 × 2 quad-core Intel Xeon E5420	2.5GHz, 4GB RAM, 250GB HDD
1.4TB RAID5	NAS (Network attached storage)
LAN	dual 1Gbit Ethernet

IV. EXAMPLE CIRCUIT ARCHITECTURE AND FAULT DICTIONARY CREATION

As an example, the sigma-delta modulator in Fig. 1 is chosen. This is a mixed-signal circuit, having both analogue and digital elements. Switches in the circuit are modeled as truly ideal switches, with zero resistance for closed switch and infinite resistance for open switch.

The integrator charging time is invariable with respect to clock rate in order to keep the gain constant. This means that the analog switch must be turned on for fixed time duration regardless of clock rate. This is achieved by using monostable multivibrator as a fixed-width pulse generator in the circuit. The monostable multivibrator between the clock input and switch control block functions as a pulse generator to produce control signals of fixed time duration.

The fault dictionary for the system is created using the response of the circuit to an input ramp signal (Fig. 4a). The system output value was registered after every clock period (Fig. 4b), so these output digital values form the output

signature (Fig. 4c). These are then represented in more compact hexadecimal form (Fig. 4d).

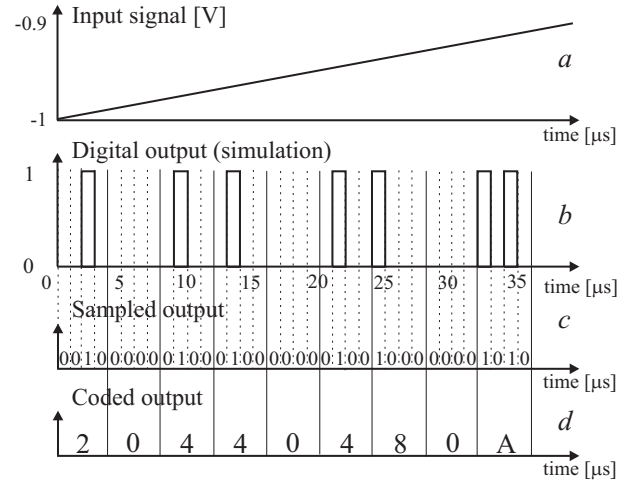


Figure 4. Fault dictionary creation – response of the fault-free system

In this paper, the goal is not exhaustive fault dictionary generation but demonstration of the fault dictionary generation by hyper computing. Defects were inserted into the operational amplifier module in the first stage of the sigma-delta modulator of Fig. 1 only. This operational amplifier is presented in Fig. 5. Fault diagnosis of this circuit is given in [2]. We took into account only parametric (soft) defects, i.e., two faulty values for every channel length ($\pm 20\%$), and two for every channel width ($\pm 20\%$) were introduced. The soft faults considered here are expected to model design errors and, in a specific way, gate oxide short. Channel widths and lengths for the fault-free circuit are: T1 ($w=48u$, $l=1.6u$), T2 ($w=48u$, $l=1.6u$), T3 ($w=3u$, $l=1.6u$), T4 ($w=3u$, $l=1.6u$), T5 ($w=2.4u$, $l=0.8u$), T6 ($w=80u$, $l=0.8u$), T7 ($w=60u$, $l=0.8u$). Since there are four faults per every transistor, two for the width, and two for the length, these 28 faults are presented in the second column of the Table II.

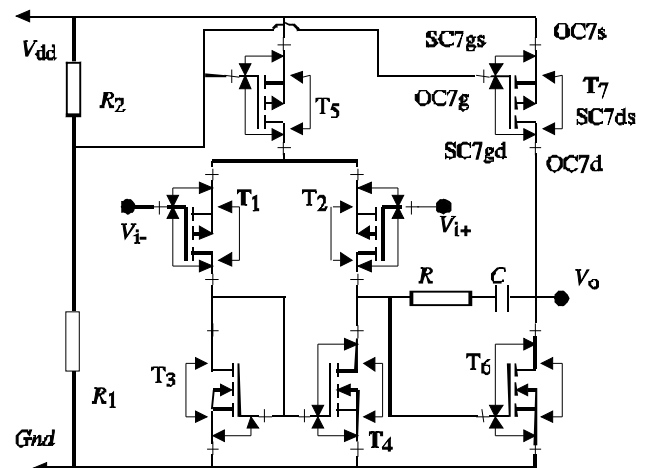


Figure 5. The operational amplifier circuit

Simulations of these faulty circuits were performed on the Grid simultaneously, so after the one-circuit-simulation time, we have 28 output files with results i.e. the complete fault dictionary. As mentioned above, the circuit response is represented in hexadecimal form, as given in the third column of the Table II.

TABLE II. FAULT DICTIONARY

Defect number	Type of defect	Response
1	T1 (w=57.6u, l=1.6u)	4884888909
2	T1 (w=38.4u, l=1.6u)	4911244891
3	T1 (w=48u, l=1.92u)	4922492249
4	T1 (w=48u, l=1.28u)	5252525292
5	T2 (w=57.6u, l=1.6u)	4888889091
6	T2 (w=38.4u, l=1.6u)	4A28A49249
7	T2 (w=48u, l=1.92u)	524A4A4A49
8	T2 (w=48u, l=1.28u)	4A25145149
9	T3 (w=3.6u, l=1.6u)	4884888891
10	T3 (w=2.4u, l=1.6u)	5149249252
11	T3 (w=3u, l=1.92u)	5249492925
12	T3 (w=3u, l=1.28u)	4922492249
13	T4 (w=3.6u, l=1.6u)	4888889111
14	T4 (w=2.4u, l=1.6u)	4912248912
15	T4 (w=3u, l=1.92u)	4922892289
16	T4 (w=3u, l=1.28u)	4912489248
17	T5 (w=2.88u, l=0.8u)	4404408822
18	T5 (w=1.92u, l=0.8u)	4402804420
19	T5 (w=2.4u, l=0.96u)	4402804411
20	T5 (w=2.4u, l=0.64u)	4408411024
21	T6 (w=96u, l=0.8u)	4404408821
22	T6 (w=64u, l=0.8u)	4402804411
23	T6 (w=80u, l=0.96u)	4402804411
24	T6 (w=80u, l=0.64u)	4410421044
25	T7 (w=79.2u, l=0.8u)	4402804420
26	T7 (w=52.8u, l=0.8u)	4404410441
27	T7 (w=66u, l=0.96u)	4404810841
28	T7 (w=66u, l=0.64u)	4402408411

V. CONCLUSIONS

In this paper simulations were executed on parallel computer. We performed simultaneous simulation of 28 mixed-mode electronic circuits in time domain, deferring only in few operational amplifier parameters. Gathered results formed the fault dictionary, that will be helpful in the fault diagnosis using artificial neural networks in our future work. In the example given here, the simulation time is 28 times less because the circuits were simulated simultaneously, not one by one as it is commonly, so we consider this result very successful.

REFERENCES

- [1] M. Andrejević, M. Savić, M. Nikolić, "Fault effects in sigma-delta modulator", Proceedings of Etran Conference 2005, Budva, June 2005, pp. 86-89.
- [2] V. Litovski, M. Andrejević, M. Zvolinski, "Analogue Electronic Circuit Diagnosis Based on ANNs", Microelectronics Reliability, Vol. 46(8), August 2006, pp. 1382-1391.
- [3] M. Andrejević, V. Petrović, D. Mirković, V. Litovski: "Delay Defects Diagnosis Using ANNs", Proceedings of Etran Conference 2006, Beograd, June 2006, pp. 27-30.
- [4] M. Andrejević, V. Litovski, M. Zvolinski, "Fault Diagnosis in Digital Part of Mixed-Mode Circuit", Proc. of IEEE 25th International Conference on Microelectronics (MIEL2006), Niš, May 2006, pp. 437-440.
- [5] M. Andrejević, V. Litovski, "Fault Diagnosis in Digital Part of Sigma-Delta Converter", Proceedings of Neurel 2006 Conference, Beograd, September 2006, pp. 177-180.
- [6] M. Andrejević, V. Litovski, "Fault Diagnosis in Analog Part of Mixed-mode Circuit", VI Symposium on Industrial Electronics - INDEL 2006, Banja Luka, November 2006, pp. 117-120.
- [7] M. Andrejević Stošović, V. Litovski, "Hierarchical Approach to Diagnosis using ANNs", Proc. of IEEE 26th International Conference on Microelectronics (MIEL2008), Niš, May 2008, pp. 395-398.
- [8] M. Andrejević Stošović, V. Litovski, "Sinteza hijerarhijskog dijagnostičkog sistema za kola sa mešovitim signalima", Proceedings of Etran Conference 2008, Palić, June 2008, pp. EL2.2.
- [9] M. Andrejević Stošović, V. Litovski, "Hierarchical Approach to Diagnosis of Electronic Circuits using ANNs", 10th Symposium on Neural Network Applications in Electrical Engineering, NEUREL 2010, Belgrade, Serbia, 23-25. September 2010, pp. 117-122.
- [10] J. Heusmann, J. Wiedewitsch, "Future Directions of Modeling and Simulation in the Department of Defense", Proceedings of the SCSC'95, Ottawa, Ontario, Canada, July 1995, pp. 34-26.
- [11] A. Sangiovanni-Vincentelli, C. Li-Kuan, L. Chua, "An efficient heuristic cluster algorithm for tearing large-scale networks," IEEE Transactions on Circuits and Systems, vol. 24, Issue 12, Dec. 1977, pp. 709-717.
- [12] T. Kage, F. Kawafuji and J. Niitsuma, "A circuit partitioning approach for parallel circuit simulation," IEICE Transactions on Fundamentals E77-A(3), 1994, pp. 461-466.
- [13] B. Andjelkovic, V. Litovski, and V. Zerbe, "Grid-enabled Parallel Simulation Based on Parallel Equation Formulation", ETRI Journal, Vol. 32, No. 4, August 2010, pp. 555-565.
- [14] T. Wiedemann, SPEEDUP 512 ? - USING GRAPHIC PROCESSORS FOR SIMULATION, EUROSIM 2010, Prague, September 2010. Proceedings on CD, ISBN 978-80-01-04588-6.
- [15] A. Wakefield, and S. Miller "Improving System Models Using Monte Carlo Techniques on Plant Models" AIAA Modeling and Simulation Technologies Conference and Exhibit, 18 - 21 August 2008, Honolulu, Hawaii.
- [16] T. Sterling, "Beowulf Cluster Computing with Linux", MIT Press, Cambridge, Massachusetts, 2001.
- [17] I. Foster and C. Kesselmann, "The Grid: Blueprint for a New Computing Infrastructure", Morgan Kaufmann, San Francisco CA, 1999.
- [18] J. A. B. Fortes, R. J. Figueiredo and M. S. Lundstrom, "Virtual Computing Infrastructures for Nanoelectronics Simulation," Proc. of the IEEE, Vol. 93, No. 10, pp. 1839-1847, 2005.

Realizacija Modularnih Množača

Marijana Ćosović

Elektrotehnički fakultet u Istočnom Sarajevu
Istočno Sarajevo, Bosna i Hercegovina
marijana@etf.unssa.rs.ba

Zdenka Babić

Elektrotehnički fakultet u Banjoj Luci
Banja Luka, Bosna i Hercegovina
zdenka@etfbl.net

Sadržaj - Ograničavajući faktor za primjenu efikasnih algoritama kriptozastite u sistemima sa posebnom namjenom, kao što su RFID sistemi je, između ostalog, potrošnja energije. Mogućnost implementacije složenih algoritama, kao što je RSA, u mnogome ovisi o načinu izvedbe modularnog množenja. U ovom radu je dato poređenje dvije izvedbe modularnih množača i njihova energetska analiza. Takođe su predstavljene FPGA realizacije sekvencijalnog množača sa redukcijskim modulom i Montgomeri množača.

Ključne riječi - Modularni množači; Energetska potrošnja; FPGA realizacija

I. UVOD

Kriptografski sistemi sa javnim ključem su osmišljeni 1976. godine od strane *Whitfield Diffie* i *Martin Hellman*-a [1]. Prva praktična realizacija je izvedena 1977. godine kada su *Ron Rivest*, *Adi Shamir* i *Len Adleman* [2] predložili *RSA* kriptosistem u kome se sigurnost zasniva na problemu faktorizacije velikih cijelih brojeva. Računski najintenzivnije operacije za *RSA* i su operacije modularnog stepenovanja tj.

operacije $x^e \bmod n$ koja se izvodi ponavljanjem operacija modularnog množenja. Efikasan algoritam za proračun $(A \cdot B) \bmod n$ je razvio *P.L. Montgomery* [3]. Montgomeri algoritam za modularno množenje se često koristi za implementaciju *RSA* algoritma [4].

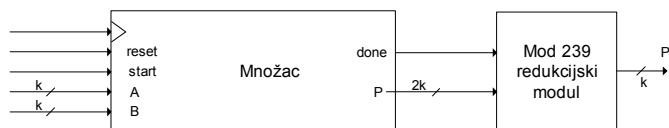
U sistemima sa ograničenim resursima u pogledu veličine, brzine i energetske potrošnje, način implementacije složenih kriptografskih algoritama još uvijek nije riješen. Budući da se u osnovi ovih algoritama nalazi modularno množenje, veoma je bitna njihova efikasna implementacija. U ovom radu su predstavljene arhitekture dva modularna množača: sekvencijalnog množača sa redukcijskim modulom i Montgomeri množača. Predstavljene su eksperimentalni rezultati i analiza oba množača koji se odnose na površinu dizajna, brzinu izvršavanja dizajna i energetska potrošnja kao i poređenja pomenutih parametara u dvije izvedbe modularnih množača.

II. MNOŽAČI

A. Sekvencijalni Množač

Direktan metod modularnog množenja jeste množenje dva k -bitna broja A i B tako da dobijemo $2k$ -bitni proizvod koji

ćemo redukovati po modulu n . Na Slici 1. je prikazan blok dijagram sekvencijalnog 8-bitnog množača sa mod239 redukcijskim modulom.



Slika 1. Sekvencijalni 8-bitni množač sa mod239 redukcijskim modulom

B. Montgomeri množač

P.L. Montgomery je 1985 godine predstavio efikasan algoritam za izračunavanje $R = A \cdot B \bmod n$, gdje su A, B i n k -bitni binarni brojevi. Montgomeri redukcijski algoritam izračunava k -bitni broj R bez operacije dijeljenja po modulu n . U ovom algoritmu se operacija dijeljenja sa n mijenja operacijom dijeljenja sa stepenom 2. Obzirom da se brojevi predstavljaju u binarnoj formi ova operacija je lako izvodljiva. Pretpostavimo da je modul n , k -bitni broj, $2^{k-1} \leq n < 2^k$ i da je $r = 2^k$. Montgomeri redukcijski algoritam zahtijeva da su r i n relativno prosti. Ovaj uslov je zadovoljen ako je n neparan broj [5]. Pošto je najveći zajednički djelilac $NZD(r, n) = 1$ postoje cijeli brojevi r^{-1} i n' , gdje je $0 < r^{-1} < n$ i $0 < n' < r$ takvi da vrijedi $r \cdot r^{-1} - n \cdot n' = 1$. U narednom dijelu će biti predstavljen binarni saberi-pomjeri algoritam koji je implementiran u ovom radu.

Da bismo izračunali Montgomeri proizvod krećemo od $r = 2^k$, i pretpostavimo da je broj bita u A i B manji od k . Ako je $A = A_{k-1}A_{k-2} \dots A_0$ binarna reprezentacija cijelog broja A onda se Montgomeri proizvod može predstaviti kao

$$2^{-k} \cdot (A_{k-1}A_{k-2} \dots A_0) \cdot B \pmod n = 2^{-k} \cdot \sum_{i=0}^{k-1} A_i \cdot 2^i \cdot B \pmod n$$

$t = (A_0 + 2 \cdot A_1 + \dots + 2^{k-1} \cdot A_{k-1}) \cdot B$ se može proračunati počevši sa bitom najveće težine prema bitu najmanje težine po sljedećem algoritmu.

```

t := 0
for i = k - 1 to 0
    t := t + Ai · B
    t := 2 · t
end for
Return (t)

```

Faktor pomjeranja 2^{-k} u $2^{-k} \cdot A \cdot B$ mijenja smijer sabiranja. Obzirom da je

$$2^{-k} \cdot (A_0 + 2 \cdot A_1 + \dots + 2^{k-1} \cdot A_{k-1}) = 2^{-1} \cdot A_{k-1} + 2^{-2} \cdot A_{k-2} + \dots + 2^{-k} \cdot A_0$$

procesiramo bite broja A i to od bita najmanje težine i dobijamo binarni saberi-pomjeri algoritam za proračun

$$t = 2^{-k} \cdot A \cdot B$$

prikazan ispod.

```

t := 0
for i = 0 to k - 1 do
    t := t + Ai · B
    t := t / 2
end for
Return (t)

```

Neophodno je proračunati $u = 2^{-k} \cdot A \cdot B \bmod(n)$. Ovo se postiže sabiranjem n i u u slučaju kada je u neparan broj i na taj način se dobije novo u koje je paran broj. Parnost broja u proizilazi iz činjenice da je n uvijek neparan broj. U slučaju kada je u paran broj onda ništa ne mijenjamo. Ovako se osigurava da je u paran broj prije koraka pomjeranja i proračunava se $u := u \cdot 2^{-1} \bmod(n)$ pomjeranjem parnog broja u na desnu stranu. Binarni saberi-pomjeri algoritam za proračun $u = 2^{-k} \cdot A \cdot B \bmod(n)$ je prikazan u nastavku.

```

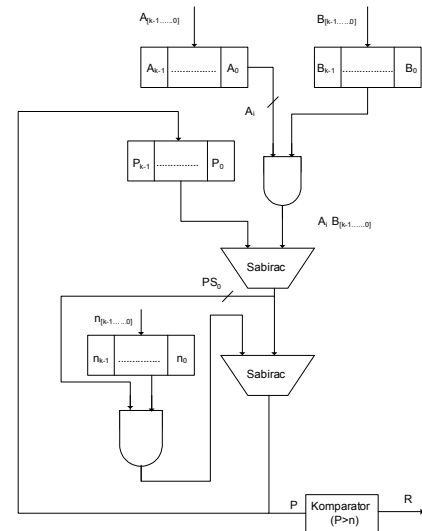
u := 0
for i = 0 to k - 1 do
    u := u + Ai · B
    if u is odd then
        u := u + n
    end if
    u := u / 2
end for
Return (u)

```

Za u alociramo $(k+1)$ -bitni registar obzirom da ima k bita na početku a dodavanjem $A_i \cdot B$ i n (gdje su oba k -bitna broja) u povećava svoju dužinu na $k+1$ bit. Operacija pomjeranja na desno reducira dužinu ponovo na k -bita. Ideja Montgomeri algoritma je da dužina prelaznog rezultata bude manja od $k+1$ bita. Ovo se postiže preplitanjem proračuna parcijalnih proizvoda sa operacijom dijeljenja sa 2. Svaka

operacija dijeljenja sa 2 reducira dužinu prelaznog rezultata za jedan bit.

Dakle, ključni koncepti Montgomeri algoritma su da se: poslije svake operacije sabiranja bit najmanje težine provjeri, pa ako je 1 onda je prelazni rezultat neparan, dodajemo mu n tako da dobijemo paran broj. U ovom slučaju možemo podijeliti ovaj broj sa 2 bez ostatka. Operacija dijeljenja sa 2 reducira prelazni rezultat na $(k+1)$ -bita.



Slika 2. Arhitektura Montgomeri množača

Osnovna operacija većine algoritama za modularno množenje je sabiranje. *Carry-save* sabirač (*CSA*) je ocijenjen najefikasnijim rješenjem za ovu arhitekturu jer se zasniva na metodi sabiranja bez *carry* propagacije. Izvodi se kao paralelna veza n potpunih sabirača (*full-adders*) bez ikakvih horizontalnih povezanosti. Funkcija *carry-save* sabirača je da sabere tri n -bitna broja X, Y i Z i da proizvede dva broja C i S tako da vrijedi $C + S = X + Y + Z$, gdje C predstavlja *carry* a S sumu.

Implementacija Montgomeri množača je izvršena sa *CSA* sabiračima radi optimizacije brzine. Ovim je kompleksnost algoritma povećana ali je kašnjenje manje jer *CSA* imaju *calculation path* sličnu XOR gejtju. Arhitektura Montgomeri množača je prikazana na Slici 2. Prednost Montgomeri sa *CSA* je predstavljena u nekoliko radova [6,7]. U prethodnom dijelu je prikazan algoritam za proračun *CSA* Montgomeri proizvoda. Osnovna ideja sa ovim pristupom je da se konačna suma ne mora računati u svakom koraku *for* petlje nego samo na kraju pa je samim tim i broj logičkih kola neophodnih za realizaciju minimizirana. Poslije $(n+2)$ iteracije petlje stvarne vrijednosti *carry* i sume su dostupne na izlazu i njihov zbir čini P .

III. ENERGETSKA ANALIZA MNOŽAČA

Programski paket *Quartus II* je namjenjen za razvoj, projektovanje i implementaciju digitalnih sistema u programabilnim logičkim kolima firme *Altera*. *Quartus II*

sadrži zbirku alata koji služe za opis, prevođenje, optimizaciju, analizu, simulaciju i verifikaciju digitalnih sistema. Proces procjene potrošnje energije sa *PowerPlay Power Analyzer*-om, Alterinim alatom za energetske potrošnju, se sastoji od tri dijela: specificiranja izvora ulaznih podataka, radnih uslova, i energetske analize u *PowerPlay Power Analyzer*-u. *PowerPlay Power Analyzer* mora dobiti sljedeće tri vrste informacija: kompajliran dizajn, aktivnosti signala u dizajnu i operativne/radne uslove pod kojim se čip koristi.

Da bismo procijenili energetske potrošnje dizajna neophodno je prethodno uraditi sintezu dizajna kao i prilagođavanje dizajna ciljnom čipu (*fitting the target device*). Čip *Cyclone II EP2C20F48C7* koji je korišten u toku analize i sinteze je i uspješno programiran sa dizajnom sekvencijalnog množača sa redukcijским modulom kao i sa Montgomeri množačem. Za generisanje aktivnosti signala korišten je simulacijski baziran tok podataka. Aktivnost signala je određena na osnovu vremenske simulacije jer time aktivnosti svih čvorova u dizajnu odražavaju stvarno ponašanje dizajna i pri tome se postiže najveća tačnost.

U toku analize i sinteze postoje opcije koje određuju koliko agresivno se dizajn optimizuje za energetske potrošnje. Ako je opcija postavljena na 'Off', pri analizi i sintezi se ne vrši nikakva energetska optimizacija. Pri opciji 'Normal compilation' u toku analize i sinteze izvodi se energetska optimizacija ali samo ako ta optimizacija ne redukuje performanse dizajna. Kad je opcija postavljena na 'Extra effort', pri analizi i sintezi se obavlja dodatna energetska optimizacija koja može uticati na smanjenje performansi dizajna. Isto tako se određuje ukupni cilj optimizacije za analizu i sintezu: maksimiziranje brzine (*speed*), smanjenje logike koja se koristi (*area*), ili ravnoteža performansi sa minimalnom korištenom logikom (*balanced*).

IV. REZULTATI

Tabele 1. i 2. sadrže rezultate energetske potrošnje za 8-bitni sekvencijalni množač sa *mod239* redukcijским modulom i 8-bitni Montgomeri množač, respektivno. U ovom radu je od prevashodnog značaja poređenje algoritama i poređenje dinamičke potrošnje dvije različite arhitekture modularnih množača jer je upravo ta potrošnja izazvana implementiranom logikom dizajna.

Ako se uporede Tabela 1. u kojoj se nalaze zbirni rezultati za 8-bitni sekvencijalni množač sa *mod239* redukcijским modulom i Tabela 2. 8-bitnog Montgomeri množača primjećuje se da je dinamička energetska potrošnja 8-bitnog sekvencijalnog množača sa redukcijским modulom više od tri puta veća od dinamičke energetske potrošnje 8-bitnog Montgomeri množača. Dakle, u slučaju 8-bitnog sekvencijalnog množača sa redukcijским modulom dinamička energetska potrošnja, pri optimizaciji brzine izvršenja dizajna, iznosi 15.8 mW dok dinamička energetska potrošnja 8-bitnog Montgomeri množača iznosi 5.26 mW. Najveći udio dinamičke energetske potrošnje kod sekvencijalnog množača dolazi upravo zbog redukcijskog modula. Može se izvesti zaključak da bi sa povećanjem broja bita u implementaciji sekvencijalnog množača sa redukcijским modulom ove razlike postajale sve veće zbog neefikasnosti samog sekvencijalnog

množača tj. redukcijskog modula u poređenju sa Montgomeri modularim množačem koji objedinjuje dvije funkcije množenja i redukovanja po modulu u svakom koraku kako je to ranije objašnjeno.

Iz priloženih rezultata prikazanih u Tabeli 3. je i potvrđeno da se dinamička energetska potrošnja uvećava sa povećanjem broja bita u Montgomeri množaču, kao što se povećava i energija ulazno/izlaznih blokova jer se broj I/O pinova povećava. Statička energija ostaje ista u oba slučaja jer je to energija koja je prisutna bez obzira na implementiranu funkciju u samom čipu. Radna frekvencija pri kojoj je vršena procjena energetske potrošnje je $f = 100MHz$. U Tabeli 4. je prikazana energetska potrošnja pri radnim frekvencijama od $f = 10MHz$ i $f = 5MHz$ i očigledno je iz rezultata da se dinamička potrošnja smanjuje sa smanjenjem radne frekvencije.

Tabela 1. Energetska potrošnja 8-bitnog sekvencijalnog množača sa *mod239* redukcijским modulom na *Cyclone II*, EP2C20F484C7 čipu pri različitim optimizacijama

Optimizacija pri A&S	Optimizacija Ravnoteža	Optimizacija Površina	Optimizacija Brzina
Totalna energetska potrošnja (mW)	289.17/290	289.99/290	303.56/298.9
Dinamička energetska potrošnja (mW)	12.07/12.9	12.89/12.9	15.8/16.38

Tabela 2. Energetska potrošnja 8-bitnog Montgomeri množača na *Cyclone II*, EP2C20F484C7 čipu pri različitim optimizacijama

Optimizacija pri A&S	Optimizacija Ravnoteža	Optimizacija Površina	Optimizacija Brzina
Totalna energetska potrošnja (mW)	108.19 / 106.75	106.75 / 106.75	104.15 / 101.54
Dinamička energetska potrošnja (mW)	5.36/4.69	4.69 / 4.69	5.26 / 4.68

Tabela 3. Energetska potrošnja 16-bitnog Montgomeri množača na *Cyclone II*, EP2C20F484C7 čipu sa različitim optimizacijama

Optimizacija pri A&S	Optimizacija Ravnoteža	Optimizacija Površina	Optimizacija Brzina
Totalna energetska potrošnja (mW)	147.10/ 154.37	154.37/ 154.37	164.41/153.26
Dinamička energetska potrošnja (mW)	7.48 / 8.68	8.68 / 8.68	8.07/7.83

Tabela 4. Energetska potrošnja 8-bitnog Montgomeri množača na *Cyclone II*, EP2C20F484C7 čipu pri radnoj frekvenciji 10MHz i 5MHz

Optimizacija pri A&S	Optimizacija <i>Ravnoteža</i>	Optimizacija <i>Površina</i>	Optimizacija <i>Brzina</i>
Dinamička energetska potrošnja za $f=10\text{kHz}$	0.29/0.30	0.30/0.30	0.30/0.41
Dinamička energetska potrošnja za $f=5\text{kHz}$	0.12/0.12	0.12/0.12	0.12/0.17

V. ZAKLJUČAK

U cilju ispitivanja mogućnosti implementacije složenih algoritama kriptozastite u sistemima sa ograničenim resursima, kao što su RFID sistemi, analiziran je uticaj izvedbe modularnih množača u smislu brzine izvršavanja i potrošnje energije. Predstavljene su FPGA realizacije dva modularna množača, od kojih je jedan sekvencijalni množač sa modularnim redukcijским modulom a drugi Montgomeri modularni množač. Opisane su arhitekture oba množača i njihove implementacije su izvršene u *VHDL-u*. Korišten je programski paket *Quartus II* koji je namijenjen za razvoj, projektovanje i implementaciju digitalnih sistema u programabilnim logičkim kolima proizvođača *Altera*. Za procjenu energetske potrošnje korišten je *Altera PowerPlay Power Analyzer*.

Modularno množenje je operacija koja troši najviše resursa pri izvršavanju kriptografskih algoritama. Rezultati pokazuju da je dizajn Montgomeri množača efikasniji u smislu energetske potrošnje od sekvencijalnog množača. Pri optimizaciji brzine izvršenja dizajna dinamička potrošnja Montgomeri množača je više od tri puta manja u odnosu na sekvencijalni množač. Sa smanjenjem radne frekvencije primjećujemo opadajući trend dinamičke energetske potrošnje.

Pronalaženje efikasnih algoritama i arhitektura koje bi bile primjenjive u sistemima sa ograničenim resursima će još dugo biti otvoreno područje istraživanja. Razvojno okruženje sa implementiranim programima neophodnim za testiranje

množača se može i u budućnosti koristiti za testiranje novih algoritama prije njihove implementacije u ovakvim sistemima.

LITERATURA

- [1] W. Diffie, M.E.Hellman, „New directions in cryptography“, IEEE Transactions on Information Theory, IT-22(6):644-654, Novembar 1976
- [2] R.L. Rivest, A. Shamir, and L. Adleman. “A Method for obtaining digital signatures and public-Key cryptosystems”. Comm. ACM, 21:120-126,1978.
- [3] P.L. Montgomery, “Modular Multiplication without trial division“, Mathematics of Computation, 44: 519-521, 1985.
- [4] A. Daly and W. Marnane, “Efficient Architectures for implementing Montgomery Modular Multiplication and RSA Modular Exponentiation on Reconfigurable Logic”. -University College Cork Ireland 2001.
- [5] N. Sklavos, X.Zhang, Wireless Security and Cryptography. CRC Press, Taylor and Francis Group, 2007
- [6] G. Peijun, G. Li, B. iXuefei, “A 1024-bit RSA Cryptosystem Hardware Design Based On Modified Montgomery's Algorithm”, Hefei : IEEE, 2003.
- [7] et.al, T.W. Kwon, “Two implementations of a 1024-bits RSA cryptoprocessor based on modified montgomery algorithm“ s.l. : IEEE, 2001.

Abstract - Limiting factors for applying more effective cryptographic algorithms in RFID systems is, amongst other factors, energy consumption. Possibility of implementing algorithms such as RSA by large depends on modular multiplication. Comparison of two different modular multiplier architectures is presented in this paper as well as their energy consumption analysis. FPGA implementation of Montgomery multiplier and sequential multiplier with reduction module is presented.

Keywords - Modular Multiplier; Energy Consumption; FPGA implementation

Modular Multiplier Implementation

Primena metoda oscilacija za testiranje aktivnog filtra, prigušnika opsega frekvencija

Miljana Milić, Vančo Litovski
Laboratorija LEDA
Elektronski fakultet, Univerzitet u Nišu
Niš, Srbija
miljana.milic@elfak.ni.ac.rs

Sadržaj— Metod oscilacija predstavlja jednostavno i jeftino rešenje problema testiranja aktivnih analognih filtara. Njegova implementacija, ipak, zahteva dobro poznavanje rada samog kola koje se testira i metoda simulacije oscilatora u vremenskom domenu. U ovom radu opisana je primena metode oscilacija za testiranje filtra prigušnika opsega frekvencija realizovanog korišćenjem jednog operacionog pojačavača. Za simulacije kola korišćen je LTspice, a dobijeni rezultati opravdavaju korišćenje metoda. Pri tome je izveden niz zaključaka i rešenja koja je neophodno ispoštovati da bi se na pravilan način i u potpunosti iskoristile sve prednosti ove metode.

Ključne reči – aktivni filtri, metod oscilacija, projektovanje za testabilnost

I. UVOD

Testiranje analognih elektronskih kola i pored višedecenijskog iskustva kako u njihovom projektovanju, tako i u testiranju, nije lak zadatak. Izrazita brojnost, raznovrsnost i sve veća složenost kola ne samo da problem testiranja čini konstantno aktuelnim, već zahteva i konstantan razvoj novih i poboljšanje postojećih tehnika koje olakšavaju testiranje. Zbog ogromne mase proizvoda, zatim velikog stepena integracije, specifičnog talasnog oblika signala koji se koristi, problemu testiranja digitalnih kola do sada je posvećivano neuporedivo više pažnje u odnosu na analogna kola [1], [2]. Može se čak konstatovati da je problem testiranja digitalnih kola praktično rešen, jer su skoro sve faze testiranja digitalnih kola automatizovane, i to od projektovanja za testabilnost i Boundary Scan koncepta, pa do automatskog generisanja i sinteze testnih signala.

Nasuprot tome, serije analognih kola nisu ni približno toliko velike kao što je to slučaj kod digitalnih kola. Ali su zato mnogi projektantski zahtevi i dalje nerešivi digitalnom tehnikom. Istovremeno je integracija analognih i digitalnih sistema na jednom čipu daleko uzela maha, što uz nove tehnologije neminovno dovodi do povećanja brzine tj. frekvencije rada i analognih kola. Uprkos brojnim inovacijama i poboljšanjima u projektovanju analognih kola, njihovo testiranje i dalje ostaje veliki problem. Ovakvo stanje je uglavnom posledica nedostupnosti pojedinih internih čvorova, nelinearnosti u kolu, kao i prisustvo šumova i varijacija vrednosti komponenata. Takva situacija ni malo ne olakšava posao testiranja analognih kola.

Osim što takva situacija zahteva primenu i korišćenje veoma skupe merne opreme, to otvara još i mnoga druga pitanja. Šta meriti: napon, struju ili snagu? U kom domenu raditi merenja: vremenskom ili frekvencijskom? Koje talasne oblike pobude koristiti - kako u vremenskom tako i u frekvencijskom domenu? Koje tačke kola izabrati za posmatranje? Koje parametre odziva signala posmatrati? Gde je granica do koje se može smatrati da odziv zadovoljava postavljene specifikacije; čak i u kolu bez defekata se može desiti da usled velike tolerancije parametara odziv bude neprihvatljiv?

I pored sve većih problema, cilj je i dalje ostao isti, a to je da se što lakše, što brže i što jeftinije dođe do odgovora na pitanja: da li kolo ispravno radi ili ne, i šta bi mogao da bude eventualni uzrok dobijanja neželjenog odziva kola.

Aktivni filtri su u današnje vreme jedno od najčešće korišćenih integriranih analognih kola. Kao i većina drugih analognih kola, i oni kao osnovni pojačavački element koriste operacioni pojačavač, upravo zbog činjenice da takvo rešenje nudi brojne pogodnosti. Međutim, testiranje analognih filtara nije ni malo jednostavan posao. Uobičajen metod testiranja jeste funkcionalno testiranje gde se proveravaju specifikacije kola. Analogno kolo smatra se defektnim ukoliko bilo koja od tih specifikacija nije zadovoljena. Najjednostavniji način detektovanja defekta je generisanje takve pobude koja će omogućiti stvaranje različitog izlaznog signala tj. odziva u ispravnom i neispravnom kolu. Najbolje, ali na žalost i najskuplje i najdugotrajnije je primeniti i strukturni i funkcionalni test. U najvećem broju slučajeva, ovakav pristup testiranju je neprihvatljiv.

Kao jedno od mogućih rešenja ovog problema nameće se metod oscilacija. On se sastoji u tome da se filtar lako pretvori u oscilator, tako što se izlazni signal dovede na njegov ulaz. Takođe, nije potrebno raditi ni sintezu testnog signala, jer je za oscilovanje oscilatora dovoljno da aktivni element ima napajanje. Ovde, nema potrebe za nekom posebnom projektantskom tehnikom koja bi omogućila lakše testiranje - DFT (Design for Testability), ili dijagnostiku DFD - (Design for Diagnosis), jer je opservabilnost uvek prisutna, tj. najčešće je izlaz filtra dostupan, što je sasvim dovoljno da bi se odgovorilo na pitanja: da li kolo osciluje ili ne, i sa kojom frekvencijom. Iako na prvi pogled deluje prilično jednostavno, implementacija ovakvog metoda zna da bude veoma zahtevna, a njena realizacija zahteva dobro poznavanje rada kola.

U narednim odeljcima biće, najpre, opisani osnovni principi metode oscilacija. Potom će posebna pažnja biti posvećena analizi rada Notch aktivnog filtra prigušnika opsega frekvencija, čiji glavni deo čini operacioni pojačavač. Zatim će biti opisan princip testiranja takvog filtra primenom metode oscilacija. Ovaj metod verifikovan je simulacijom u LTspice okruženju. Prikazani su rezultati simulacije defekata zajedno sa rezultatima izračunavanja radi njihovog poređenja. Na kraju sledi zaključak.

II. METOD OSCILACIJA

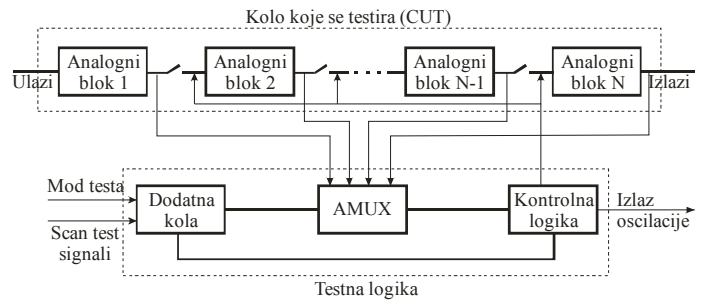
Metod oscilacija predstavlja jedan specifičan postupak testiranja analognih kola u vremenskom domenu. Tokom testiranja kolo koje se testira pretvara se u novo kolo koje bi trebalo da osciluje [3]. Tako se, merenjem frekvencije oscilacija, mogu otkriti oni defekti koji izazivaju dovoljno veliki priraštaj frekvencije u odnosu na kolo bez defekata. Prednost ovog metoda ogleda se u tome što nije potrebno sastavljati testni signal, a za merenje frekvencije je dovoljno obuhvatiti nekoliko perioda oscilacija i odrediti njihovo trajanje.

Dakle, kao što je već rečeno, kolo koje se testira pretvara se u generator signala [3], [4], [5], [6]. Metod je zasnovan na primeni koncepta OBT (oscillation based testing) [2]. Saglasno sa pravilima OBT, generalno se kompleksan analogni sistem razbije na funkcionalne blokove kao što su operacioni pojačavači, komparatori, filtri, A/D i D/A konvertori, fazne petlje i slično, ili na kombinacije ovakvih blokova. Zatim se dodavanjem odgovarajućeg kola svaki blok pretvara u oscilator sa ciljem da se dobiju održive oscilacije. Dobijeni talasni oblik se analizira, što se najčešće svodi na merenje frekvencije, ili eventualno na merenje jednosmerne komponente ili harmonijskih izobličenja. Parametri ovako dobijenog signala bi trebalo da se razlikuju kod ispravnog i kola sa defektom. Pri tome, s obzirom da se radi o signalu koji je univerzalan (povorka impulsa ili sinusoida), evaluacija dobijenih signala može da se standardizuje nezavisno od bloka koji se testira. Strategija OBT prikazana je na Sl. 1.

Primena ovog metoda, mada na prvi pogled sasvim jednostavna, zavisi od mogućnosti da se izvorno kolo poveže tako da se od njega napravi oscilator, a da se pri tom postigne preslikavanje efekta defekta u frekvenciju oscilacija kola. O projektovanju oscilatora postoji brojna literatura. Ovakav postupak se relativno teško sistematizuje, a rezultat sistematizacije u velikoj meri zavisi od iskustva i kreativnosti projektanta testa. Kriterijumi za projektovanje oscilatora za potrebe OBT metoda, međutim, znatno se razlikuju od opštih principa za projektovanje oscilatora [2]. Suština razlike je u sledećem. Pri projektovanju oscilatora obično se postavljaju zahtevi da amplituda i frekvencija oscilovanja budu stabilni, odnosno da se varijacije parametara kola ne preslikavaju u amplitudu i frekvenciju izlaznog signala. Kada se radi o OBT metodu, zahtevi su upravo suprotni. Naime, cilj projektovanja oscilatora jeste da se merenjem frekvencije i amplitude ustanovi prisustvo varijacija parametara, što znači da oscilator treba da bude projektovan tako da ova dva parametra odziva budu što osetljiviji na promene parametara kola.

Mada se primenom ovog metoda dobija velika pokrivenost defekata, može da se desi da ona nije 100% zadovoljena, pa

nastane potreba da se pored pomenutih, posmatraju i neki drugi parametri odziva.

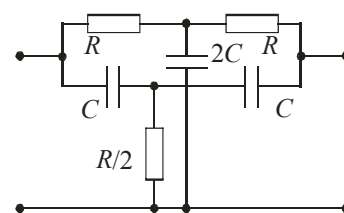


Slika 1. Principijelna šema OBT-a

Postavlja se i pitanje racionalnog merenja i obrade signala. Ukoliko bi se ovako dobijena sinusoida prevela u digitalni domen, takav signal bi mogao zatim da se prosledi npr. sistemu za digitalnu obradu signala, radi merenja njegovih parametara. Pokazuje se, međutim, da je ovaj koncept, iako univerzalan, optimalan samo ako na čipu već postoji podsistem DSP-a koji se može iskoristiti i u OBT svrhe. U suprotnom se može desiti da je površina potrebna za ovu namenu prevelika. Pored toga, s obzirom da su analogni kola koja se konvertuju u oscilatore uglavnom niskofrekvencijska i s obzirom da je potrebno merenje obaviti na više perioda oscilacija, tek posle uspostavljanja stacionarnog oscilatornog stanja, vreme trajanja testiranja može da postane neprihvatljivo dugo, čak i za relativno male serije komponenta [2].

III. AKTIVNI FILTAR PRIGUŠNIK OPSEGA

Svojstva pasivnih RC filtera mogu se znatno poboljšati u potrebom kombinacije RC kola i operacionih pojačavača. Ovakva kola nazivaju se aktivni RC filtri [7]. Uz upotrebu samo jednog operacionog pojačavača, moguće je realizovati najrazličitije funkcije filtriranja frekvencija. U ovom radu, biće analizirana jedna od varijanti realizacije filtra prigušnika opsega frekvencija (tzv. Notch filter). Razmatrana je topologija poznata kao Dvostruki T-most [8]. Električna šema Dvostrukog T-mosta prikazana je na Sl. 2.



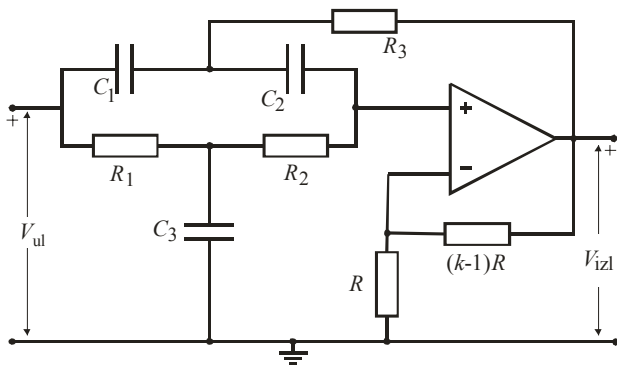
Slika 2. Dvostruki T-most

Kao što je rečeno, Notch filtri potiskuju vrlo uzan opseg frekvencija. Notch ćelije drugog reda najčešće se primenjuju u kombinaciji sa niskopropusnim i/ili visokopropusnim ćelijama radi sinteze selektivnih niskopropusnih, visokopropusnih ili filtera propusnika opsega frekvencija. Ona se sastoji od dve sekcije T tipa. Jedna T sekcija sadrži jedan otpornik i dva kondenzatora, dok je druga dualna i sastoji se od dva otpornika i jednog kondenzatora. U konkretnom slučaju najveće slabljenje ostvaruje se na frekvenciji $f_0 = 1/(2\pi RC)$, i u idealnom

slučaju ono teži beskonačnosti. Slabljenje ulaznog signala veoma je malo na frekvencijama koje su udaljene od f_0 .

Kolo funkcioniše na taj način što svaka od T sekcija fazno pomera signale, koji se potom sabiraju. Na centralnoj frekvenciji potiskivanja – na nuli prenosa filtra – signali koji prolaze kroz obe sekcije pomereni su za tačno 180° , pa se prema tome, oduzimaju. Teorijski, to obezbeđuje kompletno poništavanje takvog ulaznog signala. Međutim, u praksi je za implementaciju dobrog potiskivanja potrebno koristiti komponente sa veoma malim tolerancijama. Ukoliko tolerancije komponenata nisu male, amplitudska karakteristika pojačanja u blizini graničnih frekvencija neće biti tako strma.

Dodavanjem operacionog pojačavača, odnosno neinvertujućeg pojačavača na izlazu Dvostrukog T-mosta, dobija se aktivni filtar prigušnik opsega frekvencija. Na Sl. 3 prikazan je aktivni filtar prigušnik opsega frekvencija u kome se jedna grana mosta (R_3) vodi na izlaz filtra.

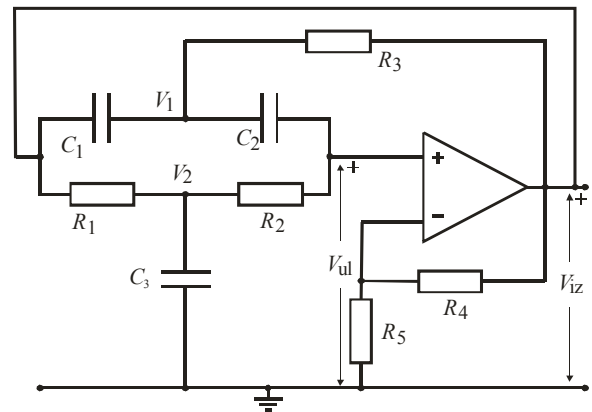


Slika 3. Aktivni RC filtar prigušnik opsega frekvencija sa Dvostrukom T topologijom

Uvođenjem pozitivne povratne sprege RC filtar sa operacionim pojačavačem dobija mnogo bolje karakteristike u odnosu na pasivnu realizaciju. To se uglavnom ogleda u dramatičnom smanjenju izlazne impedanse filtra čime se njegova frekvencijska karakteristika čini nezavisnom od potrošača. Pogodnim izborom vrednosti elemenata (koje sada nisu striktno vezane za odnos $R-R/2$ i $C-2C$) postiže se i veća selektivnost. Studija osetljivosti, s druge strane, pokazuje da se kod aktivnog filtra u okolini nule prenosa povećava osetljivost amplitudske karakteristike na promene parametara kola.

IV. TESTIRANJE NOTCH FILTRA METODOM OSCILACIJA

Prilikom testiranja filtra prigušnika opsega, izlazni signal filtra direktno se može dovoditi na njegov ulaz, pri čemu se istovremeno ulaz kola odvaja od pobude. Oscilator koji nastaje na ovaj način prikazan je na Sl. 4. U slučaju ispravnog kola, oscilator koji nastaje oscilovaće sa poznatom frekvencijom. U prisustvu defekta mogu nastati tri situacije: promena frekvencije oscilovanja, odsustvo oscilacija ili pak oscilovanje na nominalnoj frekvenciji. U prva dva slučaja moguće je prepoznati efekt defekta, dok je u trećem slučaju metod oscilacija neprimenljiv, pa se preporučuje primena još nekog od koncepta testiranja filtra [9].



Slika 4. RC oscilator nastao od aktivnog Notch filtra

Izjednačavanjem realnog i imaginarnog dela determinante sistema kojim se opisuje kolo sa Sl. 4 sa nulom, dobijaju se dve vrednosti frekvencije oscilovanja i to:

$$\omega_0^2 = \frac{A-1}{(A-1)C_3(R_2R_3C_2 + R_1R_3C_2 + R_1R_2C_1) - R_3C_1(R_2C_2 - R_1C_1)} \quad (1)$$

ili

$$\omega_0^2 = \frac{R_2C_3 + R_1C_3 + R_3C_2 + R_3C_3 - \frac{R_1C_1}{A-1}}{R_1R_2R_3C_1C_2C_3} \quad (2)$$

gde je:

$$A = k = 1 + R_4 / R_5 \quad (3)$$

Kolo oscilatora može se analizirati na prisustvo katastrofalnih i parametarskih defekata. Pri razmatranju efekata katastrofalnih defekata, za ovo kolo treba biti obazriv, s obzirom da oni menjaju konfiguraciju kola. U narednom poglavlju, biće prikazani rezultati simulacije i analize ovako dobijenog oscilatornog kola, zajedno sa slučajevima kada su u kolu prisutni defekti.

V. SIMULACIJA DEFEKATA

Simulacija defekta je od ključnog značaja kod razvoja testa nekog kola. Oscilatorno kolo nastalo modifikacijom aktivnog RC filtra zahteva korišćenje nekog simulatora analognih kola. Najčešće korišćen simulator za te svrhe danas je PSpice simulator. Međutim, već pri samom planiranju simulacija, nastaje problem zbog toga što dobar deo simulatora kola zasnovanih na Spice-u prilikom rešavanja diferencijalnih jednačina koristi stabilna pravila izračunavanja (aproksimaciju) izvoda, kao što je Eulerovo-ovo pravilo sa razlikom unazad ili set pravila višeg reda koji slede iz Gear-ovih formula [1]. Stabilnim aproksimacionim pravilom, ne može se simulirati nestabilno kolo odnosno oscilator [10], [11]. Zbog toga smo u LTspice simulatoru izabrali opcije: trapezno i modifikovano trapezno pravilo za aproksimaciju izvoda.

A. Modeli defekata

Defekti u analognim kolima mogu da se podele u dve velike grupe: katastrofalni tj. tvrdi defekti, koji menjaju

topologiju kola, i parametarski tj. meki defekti koji ne menjaju topologiju kola, već samo vrednosti nekih od parametara kola. Prilikom simulacije oscilatora nastalog modifikacijom aktivnog Notch filtra, u kolo je ugrađivano nekoliko kategorija defekata i to:

- Katastrofalni defekti RC kola
- Parametarski defekti RC kola
- Pojedini slučajevi višestrukih defekata
- Katastrofalni defekti operacionog pojačavača
- Parametarski defekti operacionog pojačavača

Rezultati simulacija će biti prikazani tabelarno. Za prve tri kategorije defekata, date su i očekivane izračunate, teorijske vrednosti frekvencije odziva.

Dakle, rezultati testiranja katastrofalnih defekata RC kola dati su u Tabeli I. Sa f_0 označene su frekvencije oscilacija dobijene simulacijom, i izračunavanjem. Izabrane vrednosti za otpornike u kolu negativne povratne sprege su $R_4=1k\Omega$, i $R_4=1.85k\Omega$, što daje pojačanje od $A=1.54$.

TABELA I. ANALIZA KATASTROFALNIH DEFEKATA

Redni broj	Tip defekta	Merena f_0	Računata f_0
1.	Ispravno kolo	3.60 kHz	3.66 kHz
2.	kratak spoj R_1	nema oscilacija	nema oscilacija
3.	kratak spoj R_2	nema oscilacija	nema oscilacija
4.	kratak spoj R_3	2.41 kHz	2.50 kHz
5.	prekid R_1	3.60 kHz	nema oscilacija
6.	prekid R_2	nema oscilacija	2.50 kHz
7.	prekid R_3	3.74 kHz	3.53 kHz
8.	kratak spoj C_1	3.66 kHz	1.77 kHz
9.	kratak spoj C_2	2.34 kHz	1.27 kHz
10.	kratak spoj C_3	nema oscilacija	nema oscilacija
11.	prekid C_1	nema oscilacija	nema oscilacija
12.	prekid C_2	nema oscilacija	2.50 kHz
13.	prekid C_3	nema oscilacija	4.33 kHz

Kada se u kolo ugrade parametarski defekti, dobijaju se rezultati prikazani u Tabeli II. Parametarski defekti modelovani su povećanjem ili smanjenjem nominalne vrednosti kapacitivnosti i otpornosti u RC filtarskom kolu za po 20%.

Rezultati simulacije oscilatora na prisustvo pojedinih višestrukih defekata dati su u Tabeli III. I u ovom slučaju posmatrani su efekti parametarski defekata RC filtarskog kola na frekvenciju oscilacija filtra.

Izračunate vrednosti frekvencije oscilovanja u tabelama I, II i III dobijene su korišćenjem izraza (2), zbog toga što se za konkretne vrednosti elemenata kola, korišćenjem izraza (1) dobija negativna vrednost ω_0^2 , pa je nemoguće odrediti frekvenciju oscilacija.

Posmatrajući dobijene frekvencije, može se doći do zaključka da često ima znatnog odstupanja između frekvencija os-

TABELA II. ANALIZA PARAMETARSKIH DEFEKATA

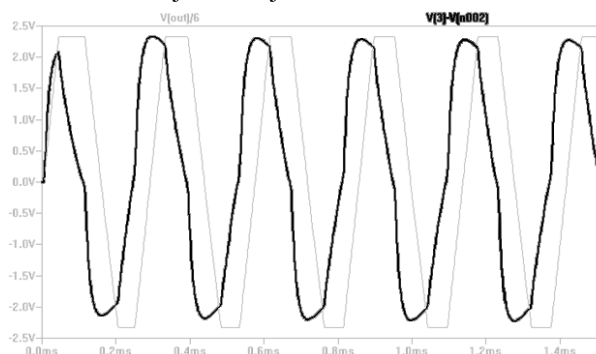
Redni broj	Tip defekta	Merena f_0	Računata f_0
1.	Ispravno kolo	3.60 kHz	3.66 kHz
2.	1.2· R_1	3.60 kHz	3.21 kHz
3.	0.8· R_1	3.53 kHz	4.26 kHz
4.	1.2· R_2	3.30 kHz	3.50 kHz
5.	0.8· R_2	3.86 kHz	3.90 kHz
6.	1.2· R_3	3.60 kHz	3.64 kHz
7.	0.8· R_3	3.52 kHz	3.66 kHz
8.	1.2· C_1	3.41 kHz	3.63 kHz
9.	0.8· C_1	3.80 kHz	3.48 kHz
10.	1.2· C_2	3.59 kHz	3.04 kHz
11.	0.8· C_2	3.52 kHz	4.44 kHz
12.	1.2· C_3	3.41 kHz	3.50 kHz
13.	0.8· C_3	3.80 kHz	3.90 kHz

TABELA III. REZULTATI SIMULACIJE VIŠESTRUKIH DEFEKATA

Redni broj	Tip defekta	Merena f_0	Računata f_0
1.	Ispravno kolo	3.60 kHz	3.66k Hz
2.	1.2· C_2 ; 1.2· C_2	3.19 kHz	3.58 kHz
3.	0.8· C_2 ; 0.8· C_2	4.00 kHz	4.63 kHz
4.	1.2· C_2 ; 0.8· C_2	3.74 kHz	3.37 kHz
5.	0.8· C_2 ; 1.2· C_2	3.60 kHz	4.07 kHz
6.	1.2· R_1 ; 1.2· C_1	3.60 kHz	2.58 kHz
7.	0.8· R_1 ; 0.8· C_1	3.50 kHz	4.86 kHz
8.	1.2· R_1 ; 0.8· C_1	3.49 kHz	3.80 kHz
9.	0.8· R_1 ; 1.2· C_1	3.59 kHz	3.63 kHz
10.	1.2· R_2 ; 1.2· C_2	3.21 kHz	3.33 kHz
11.	0.8· R_2 ; 0.8· C_2	4.10 kHz	4.13 kHz
12.	1.2· R_2 ; 0.8· C_2	3.50 kHz	3.74 kHz
13.	0.8· R_2 ; 1.2· C_2	3.74 kHz	3.74 kHz

cilacija dobijenih simulacijom i računskim putem. Ovo je posledica različitog modelovanja operacionog pojačavača. Računski dobijene frekvencije odgovaraju idealnom operacionom pojačavaču, koji ima beskonačno pojačanje, beskonačnu ulaznu otpornost i ne unosi nikakav fazni pomeraj, i to su teorijske vrednosti. Realni operacioni pojačavač koji je ovde korišćen je Linear Technologies LT1001 [12]. Najveći uticaj na razliku u rezultatima ima fazni pomeraj koji unosi operacioni pojačavač. Za pojedine vrednosti parametarskih defekata, može se čak dogoditi da nema oscilacija, tamo gde bi one teorijski trebalo da postoje, kao i da ima oscilacija tamo gde se njihova frekvencija ne može izračunati. Na Sl. 5 prikazana je fazna razlika između ulaznog napona i izlaznog napona operacionog pojačavača, za slučaj kola bez defekata. Treba takođe napo-

menuti, da ovo kolo ne predstavlja generator pravilnih sinusnih signala. Za svrhu testiranja, dovoljno je da kolo samo osciluje stabilnom frekvencijom koja može da se meri, tako da je prisustvo izobličenja dozvoljeno.



Slika 5. Fazni pomeraj koji unosi realni operacioni pojačavač

Kolo je simulirano i na prisustvo pojedinih parametarskih i katastrofalnih defekata operacionog pojačavača. U tabeli IV, prikazani su rezultati takvih analiza.

TABELA IV. EFEKTI DEFEKATA OPERACIONOG POJAČAVAČA

Red. br.	Tip defekta	Merena f_0	Relativna greška f_0	Napomena
1.	Pojačanje izl. kola OP padne za 15%	3.40 kHz	5.55%	izobličenja spektra
2.	Kratak spoj BE u ul. tranzistoru diferencijalnog pojačavača	nema oscilacija	-	-
3.	udvostruči se R_{b1} u ul. diferencijalnom pojačavaču	3.50 kHz	2.78%	izobličenja spektra
4.	Pomeranje granične f OP u Intermediate kolu (R_2 opadne 100x)	3.60 kHz	0%	nema uticaj
5.	Pomeranje granične f OP u Intermediate kolu (R_2 opadne 10000x)	3.60 kHz	0%	izobličenja spektra
6.	Emitorska struja u diferencijalnom pojačavaču opadne 2x	2.41 kHz	33.05 %	amplituda opadne za 20%

Iz ove tabele se može zaključiti da se metodom oscilacija mogu efikasno i pouzdano detektovati i defekti koji postoje unutar operacionog pojačavača. Najbolje rezultate daje merenje frekvencije uz analizu spektra dobijenog Fourier-ovom transformacijom. LTspice program već sadrži alate za brzu Fourier-ovu transformaciju tj. FFT analizu. Moguće je, takođe, dobru pokrivenost defekata ostvariti i kombinacijom posmatranja frekvencije oscilacija i struje napajanja [13]. Posebno pitanje koje, takođe u cilju još efikasnije primene metoda oscilacija, može da bude razmatrano jeste problem tačnosti merenja. I pored toga što ovaj metod predstavlja jeftino rešenje za ugrađeno samotestiranje analognih, ali i hibridnih kola, zbog postojanja određenih vremenskih neodređenosti u posmatranju vremenskog intervala, može se javiti greška u dobijenoj vrednosti merene frekvencije [14]. I ovaj aspekt bi trebalo uzimati u obzir prilikom implementacije i primene metoda oscilacija.

VI. ZAKLJUČAK

U ovom radu pokazano je da se metod oscilacija efikasno može primeniti na testiranje aktivnih RC filtara prigušnika

opsega frekvencija. Istovremenim merenjem frekvencije oscilacija, kao i posmatranjem FFT izlaznog signala oscilatora nastalog modifikacijom aktivnog RC filtra, može se postići visok stepen pokrivenosti defekata. Pri tome se mora uzeti u obzir ogroman uticaj realnih parametara modela operacionog pojačavača. Metod oscilacija ne zahteva razvoj posebnih pobudnih signala, a sva merenja se obavljaju posmatranjem i analizom samo izlaznog signala. To znači da nije potrebno imati pristup unutrašnjim čvorovima kola. Ugradnjom jednostavne logike ovakav način testiranja može da bude pogodno BIST, Analog Scan ili DFD rešenje.

LITERATURA

- [1] V. Litovski, Projektovanje elektronskih kola, simulacija, optimizacija, testiranje i fizičko projektovanje, Nova Jugoslavija, Vranje. 2000.
- [2] V. Litovski, Osnovi testiranja elektronskih kola, Elektronski fakultet u Nišu, 2009.
- [3] K. Arabi, and B. Kaminska, "Oscillation-test strategy for analog and mixed-signal integrated circuits," Proc. of the 14th IEEE VLSI Test Symposium, (VTS 96), Princeton, New Jersey, April/May 1996, pp. 476-482.
- [4] K. Arabi, and B. Kaminska, "Efficient and accurate testing of analog-to-digital converters using oscillation-test method," Proc. of the European Design and Test Conference (ED&TC 97), Paris, France, March 1997, pp. 348-352.
- [5] K. Arabi, and B. Kaminska, "Oscillation-test methodology for low-cost testing of active filters," IEEE Trans. on Instrumentation and Measurements, Vol. 48, No. 4, August 1999, pp. 798-806.
- [6] S. Das, et al., "Testing analog and mixed-signal circuits with built-in hardware – A new approach," IEEE Trans. on Instrumentation and Measurement, Vol. 56, No. 3, June 2007, pp. 840-855.
- [7] V. Litovski, Osnovi elektronike – Teorija, rešeni zadaci i ispitna pitanja, Akademski misao, Beograd 2006.
- [8] K. R. Laker, M. Ghausi, and R. Schaumann, Design of analog filters, Prentice Hall, 1990.
- [9] V. Litovski, Zbirka zadataka iz testiranja elektronskih kola, Elektronski fakultet u Nišu, februar 2010.
- [10] How Spice works -Technical note, Catena Software Ltd, July 2003.
- [11] C. Thompson, A study of numerical integration techniques for use in the companion circuit method of transient circuit analysis, ECE Technical reports, Purdue University School of Electrical Engineering, 1992.
- [12] <http://www.linear.com/pc/downloadDocument.do?navId=H0,C1,C1154,C1009,C1021,P1206,D11418>
- [13] G. Hu, H. Wang, M. Hu, and S. Yang, "Oscillation test strategy for analog filters by monitoring output voltage and supply current," Thinghua Science and Technology, Vol. 12, No. S1, July 2007, pp. 78-82.
- [14] P. Mrak, A. Biasizzo, and F. Novak, "Measurement accuracy of oscillation based test of analog to digital converters," ETRI Journal, Vol. 32, No. 1, February 2010, pp. 154-156.

Abstract— The oscillation method is a simple and a low cost solution for active filter testing. But its implementation requires good knowledge of the functioning of the circuit under test as well as the oscillation method in time domain. Application of the oscillation method for active single opamp bandstop filter testing is described in this paper. LTspice software is used for the simulations, and the obtained results justify its use. Few important conclusions and solutions are derived that should be followed in order to properly and entirely benefit from all advantages of this method.

Keywords – active filters; oscillation method; design for testability

Active bandstop filter testing using the oscillation method

Low Power Microcontroller Design By Using UPF

Borisav Jovanović, Milunka Damnjanović
Faculty of Electronic Engineering Niš
Niš, Serbia
borisav.jovanovic@elfak.ni.ac.rs

Abstract—Power supply management techniques are investigated and presented in this paper. Emphasis is on modern standard cell process technologies, and also, modifications in IC design flow. Presented low-power techniques are applied on 8051 microcontroller block.

Keywords - Power gating; Power domains; Unified Power Format; Microcontroller

I. INTRODUCTION

Power dissipation is today one of the key parts of design specifications of the System-on-Chip, complex analog and digital systems integrated on the single IC. Also, power consumption is competitive differentiator of many ICs in today's electronic industry. ICs incorporated into wireless, portable or home entertainment devices must minimize their power consumption for cost and energy efficiency reasons.

In this paper, low power design techniques which have an emphasis on modern standard cell process technologies are presented and investigated. Special attention is put on chip power supply network planning. As an example, 8051 microcontroller block is used. The power minimization is especially important in microcontroller's power down modes which do not have intensive data processing. The crucial part of design flow that is presented in the paper is related to the utilization of Unified Power Format (UPF) which is used for specification of power supply network.

II. POWER MANAGEMENT STRATEGY

A. Power Gating

Power gating is an effective technique for static power reduction where power supply of any inactive transistor is simply cut [1]. Usually, entire design blocks are put in the shutdown state. Power gating is done by placing one PMOS transistor and one NMOS transistor in series with the transistors of each block to create virtual ground and virtual power supply lines (VDD1 and VSS1 in Fig. 1). Switches in the power and ground network are called Multi-threshold CMOS (MTCMOS) header and footer switches.

Power gating method which uses one MTCMOS transistor for each logic gate is known as Fine Grain Power Switch. It results in large area and power overhead.

Another type of switches supported by modern technologies, which switches a group of gates, is called Course

Grained Power Switch. In Course Grained Power Switch, power switch can contain a number of segments where each segment can contain one or more transistors which share drain, gate and source.

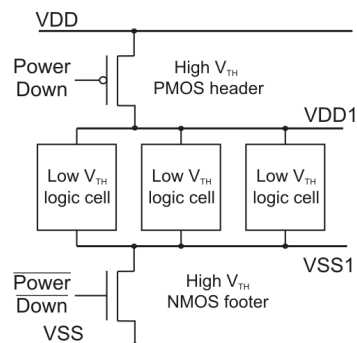


Figure 1. MTCMOS switches for power shutdown

The Course Grained Power Switch segments can be arranged within the power domain in a ring or grid style. In ring style, the switches are placed around the power domain. The ring style has an advantage in minor modifications in place and route design flow and it is the only solution when incorporating hard Intellectual Property (IP) digital blocks.

In Grid style Course Grained Power Switch method, switches are placed inside a power domain. It is better solution for soft IP blocks. It has advantage in better IR drop management and better optimized sleep transistor distribution. Also, it occupies less area. Only disadvantage is that it is not possible for implementation in hard IP blocks.

B. Power Domains

In low power designs, the entire chip area is usually divided into parts which have different power supplies. Those parts are called power domains and each power domain consists of logic elements which shares the same primary power supply and ground nets [2]. The main benefit of dividing the chip in power domains is reduced chip consumption, because inactive power domains can be shut down. By switching the power switches on and off, or controlling the voltages of each power supply net, power supply network is provided only to parts of a chip which really needs the power to complete the computational task.

The chip, when is divided into power domains, incorporates a circuit called power management module which

controls power up and power down sequences of power domains. It toggles control signals to each of the MTCMOS switches within power domains, and therefore, allows power supply to relevant power domains

C. Isolation Cells

In multi power domain designs, when some power domain is switched off, it is important to ensure that its output signals that drive the active area will not be left floating. This might be problem when some other active module gets those floating nodes as input. This unexpected signal value might cause high current consumption because of the inappropriate logic level, or it might cause improper logic behavior of the active module. In order to solve this, the isolation cells are placed between the power domains. Isolation cells (Fig. 2) are special type of cells that are inserted at power domain area boundaries, usually at outputs, and prevent propagation of undesired signals by preserving CMOS logic levels.

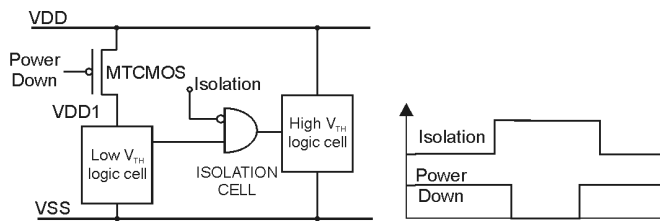


Figure 2. Isolation cell and relevant signals

D. State Retention Cells

Since power gating technique switches on and off circuits from power supply, it also disconnects latches and flip-flops, which results in loss of their contents. One solution to this problem is using State Retention Power Gating (SRPG) Flip Flops in order to efficiently preserve state (Fig. 3.).

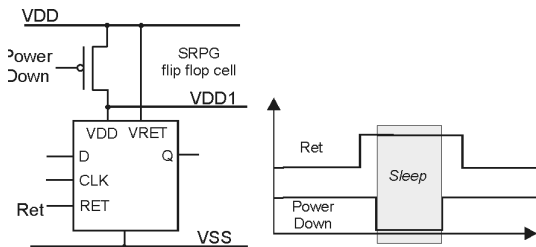


Figure 3. State retention flip-flop cell and relevant signals

The SRPG cell has main power supply input (VDD in Fig 3.) for active operation when it can change its state. Beside, cell introduces an extra power supply input, called retention voltage (VRET in Fig. 3) for state retention purpose. When main supply VDD is switched off, VRET is enough to save the state. The relevant signal sequence is given in Fig. 3. Signal RET puts the SRPG cell in state preserving state. While RET is active, power supply net VDD can be disconnected (signal PowerDown is 0).

E. The Unified Power Format

Traditional hardware description languages cannot specify the power requirements. The Unified Power Format [3] is new standard that enables the electronic systems to be designed with a power as a key consideration. By using UPF, the power aware design information can be specified early in the design process - at the Register Transfer Level or even earlier. The UPF specification is independent of existing HDL code. Fig. 4 shows UPF supporting the entire design flow of chip design including synthesis, placement, routing and verification phase.

The UPF information covers many issues considering power supply design: how the core of chip is divided into power domains, how the power supply network is created to supply power domain areas, how individual supply net behaves with respect to one another, how the logic functionality is extended to support dynamic power switching within domain, and many other power related requirements [3].

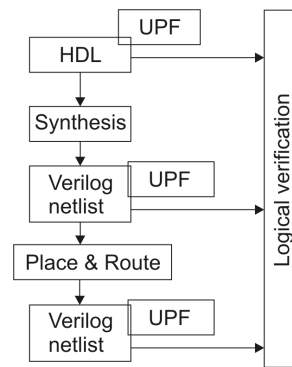


Figure 4. Design flow supported by UPF

Some of the UPF commands will be explained. As example, the UPF specification of 8051 microcontroller is used. Before the discussing the 8051 power network implementation, the main characteristics of implemented microcontroller were given, as well as, microcontroller's power saving modes, which were important for power supply network design.

III. POWER SUPPLY NETWORK IMPLEMENTATION FOR 8051 MICROCONTROLLER

A. The 8051 Microcontroller Core

The instruction set of 8051 microcontroller (MCU) contains 255 instructions, which have variable length in range from one to three bytes. The instruction set can be considered as a complex, and, the 8051 microcontroller is classified as CISC (Complex Instruction Set Computer). The complex and irregular instruction set increases the energy cost of fetching and decoding of instructions. Although the microcontroller does not represent the best choice for energy efficiency, the choice is justified by the fact that it is one of the most popular microcontrollers, which is often found in applications where the energy efficiency is important issue.

The global structure of microcontroller block [4] consists of MCU core, memory blocks, the block for programming and

initialization and peripheral units. The microcontroller core was designed in our laboratory and represents a part of Integrated Power Meter System-on-chip [4].

The MCU core performs fetching, decoding and executing of instructions and consists of Control logic block, Arithmetical-logical unit (ALU) and Special Function Registers I/O control logic.

The on-chip peripherals are comprised of: three digital input/output parallel ports (Port0 and Port1 are 8-bit and Port2 6-bit wide); LCD driver control circuit (driving up to 168 pixels LCD display) and several communication modules - two asynchronous universal receiver/transmitter blocks (USART0 and USART1) and one I2C-like serial interface. Also, three standard 8052 timer/counter circuits are present (TC0, TC1 and TC2).

The memory organization is similar to that of the industry standard 8051. Three main memory areas are physically located on the chip: Program memory (8kB SRAM block), external data memory (physically consisting of XRAM - on-chip 2kB SRAM block, I/O RAM made of standard cells), and internal data memory (Internal RAM comprising of 256 Internal Dual port RAM and Special Function Registers).

The MCU doesn't have internal non-volatile memory for program storing. Instead, MCU utilize on-chip SRAM memory and external EEPROM chip. After the reset state, the program memory is automatically loaded from external EEPROM chip into 8kB SRAM block. The block for programming and initialization is responsible for this operation.

The implemented microcontroller has two power saving modes: Standby and Power Down. The Power management unit, the part of 8051 core, is responsible for power saving modes changing.

In Standby mode, the microcontroller's core is switched off from power supply while the peripherals and memories are kept powered. The memories are powered only to retain the program code and data. The peripherals (including three parallel data input/output ports, three timer/counter modules and two USART modules) in Standby operate regularly like in Active mode. The peripherals can start the wake up sequence and safe returning of MCU core into the Active mode.

In Power Down mode both the MCU core and peripheral units are powered down. Only the chip reset signal can return the microcontroller from Power Down to the Active mode.

B. The UPF Specification

During designing process of power saving modes, the chip area was divided into power domains. The power supply network was specified by UPF file. The logic design description, written in VHDL, required some modifications which will be explained.

The main modification in VHDL description was in the reorganization of the logic design hierarchy. The top level VHDL code was rewritten in order to incorporate instances of digital sub-blocks, belonging to new power domain areas. Beside, new circuit was added - the Power management unit, used for control of the MTCMOS switches and isolation cells.

The further changes in RTL logic specification were related to the location of specific SFR registers. The peripheral's control registers (the part of SFR register set) had to be physically implemented in peripheral's power domain instead of microcontroller's domain. Also, the SFR registers, which control interrupts, were implemented in peripheral's domain. These changes produced that the process of core switching off doesn't have influence on peripheral's operation and interrupt detection. The peripherals continue to function when microcontroller changes its mode from Active to Standby. Also peripherals initiate the wake up sequence for transition to the Active mode.

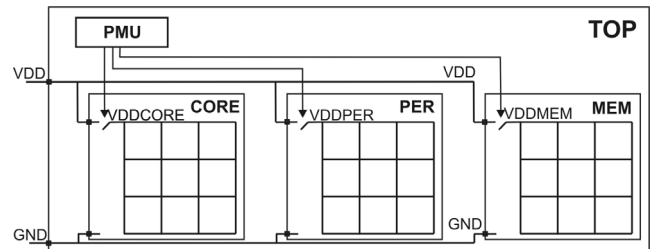


Figure 5. The block diagram of chip's power domains

The design was partitioned into four power domains (Fig.5). Beside TOP power domain, which incorporates the Power management unit, the other parts of microcontroller - MCU core, the peripherals and memories needed power domains – called CORE, PER and MEM respectively. The memories area MEM includes: two 4kB SRAM blocks 8kB microcontroller program storing, two 1kB SRAM memories for 2kB external data RAM, and two 128B Dual port SRAM blocks for 256B internal data RAM.

The UPF code specifying the power domains of the 8051 microcontroller is given in Fig. 6. The command *create_power_domain* creates the domains.

```

create_power_domain TOP
create_power_domain CORE -elements U_CORE
create_power_domain PER -elements U_Per
create_power_domain MEM -elements {U_CORE/ram/U1
U_CORE/ram/U9 U_CORE/rom/U2/msbg
U_CORE/rom/U2/lsgb U_CORE/core51/t51_ram/U20
U_CORE/core51/t51_ram/U1 }

```

Figure 6. The UPF code for specifying the domains

The power supply network consists of supply ports, switches and supply nets which are defined only within the context of a power domain. The code which specifies the power network is given in Fig. 7. Supply ports provide the supply interface to the power domains and switches. The UPF command *create_supply_port* creates the power supply ports. The *create_supply_net* creates power and ground supply nets within the domain, and the command *set_domain_supply_net* sets the default power and ground supply nets for a power domain.

The main supply and ground nets VDD and VSS are common for all power domains: TOP, CORE, PER and MEM.

Power domains CORE and PER have their own main power supply nets, derived from the chip's main power supply net - VDD by MTCMOS switches. The supply net VDDCORE was used in the microcontroller core. Net VDDPER is chosen for peripheral's supply. The memories use main supply net VDD, as well as, the Power management unit, located in TOP power domain.

```

create_supply_port VDD
create_supply_net VDD -domain TOP
create_supply_net VDD -domain CORE -reuse
create_supply_net VDD -domain PER -reuse
create_supply_net VDD -domain MEM -reuse
connect_supply_net VDD -ports VDD

create_supply_port VSS
create_supply_net VSS -domain TOP
create_supply_net VSS -domain CORE -reuse
create_supply_net VSS -domain PER -reuse
create_supply_net VSS -domain MEM -reuse
connect_supply_net VSS -ports VSS

create_supply_net VDDCOR -domain CORE
create_supply_net VDDPER -domain PER

set_domain_supply_net TOP -primary_power_net VDD -
primary_ground_net VSS
set_domain_supply_net CORE -primary_power_net
VDDCOR -primary_ground_net VSS
set_domain_supply_net PER -primary_power_net VDDPER
-primary_ground_net VSS
set_domain_supply_net MEM -primary_power_net VDD -
primary_ground_net VSS

```

Figure 7. The UPF code for creating the power supply nets

The MTCMOS switches, described in a part of code given in Fig. 8, control the power distribution. The command *create_power_switch* defines a switch, created within the scope of a power domain, specifies the input and derived power supply lines and control signal for turning on and off. The command *set_isolation* specifies the elements in the domain to isolate using the specified strategy – the isolation enable signal common to all isolation cells, clamp value and location. A clamp value is the voltage level present on the isolation cell output when power domain is shut down and it can be logic 0, 1, latch or logic Z. The command *set_isolation* allows the specification of isolation control signal and its active logic level.

The utilized technology Synopsys 90nm provides only header MTCMOS transistors which were used in grid style course grained power switch network within two power domains CORE and PER. The following code defines power switches and isolation strategy for CORE power domain.

The UPF command *add_port_state* adds the state information to a supply port. The parameter defines the voltage level supplied to the chip. The command *create_pst* creates the power state table information using a specific order of supply nets. The power state table is used during implementation –for synthesis, analysis and optimization. It defines the legal

combination of states which can exist at the same time during chip operation.

The power supply ports VDD, VDDCOR and VDDPER have two possible states: HV with voltage level of 1.2V, and OFF state with 0V. They form the *system_psw* power supply table with possible combinations of states: during Active mode, all three are in HV state; during Standby, only VDDPER is in HV; and, at the end, in the Power Down mode, all three are in OFF state

```

create_power_switch CORE_sw \
-domain CORE \
-input_supply_port {in VDD} \
-output_supply_port {out VDDCOR} \
-control_port {Power_CORE U_PCTL/Power_CORE} \
-on_state {state2003 in {Power_CORE}}

set_isolation CORE_iso_out \
-domain CORE \
-isolation_power_net VDD -isolation_ground_net VSS \
-clamp_value 1 \
-applies_to outputs

set_isolation_control CORE_iso_out \
-domain CORE \
-isolation_signal U_PCTL/ISO_CORE \
-isolation_sense high \
-location parent

add_port_state VDD -state {HV 1.2}
add_port_state VDDCOR -state {HV 1.2} -state {OFF off}
add_port_state VDDPER -state {HV 1.2} -state {OFF off}

create_pst system_pst -supplies {VDD VDDPER VDDCOR}
add_pst_state function1 -pst system_pst -state {HV HV HV}
add_pst_state hibernate -pst system_pst -state {HV OFF HV}
add_pst_state sleep -pst system_pst -state {HV OFF OFF}

```

Figure 8. The UPF part of code for specifying switches and power state table

C. The Power Management Unit

In Standby mode, the microcontroller's core is switched off from power supply while the peripherals and memories were kept powered. Power management unit turns off the VDDCORE while keeping the VDDPER on. In Power Down mode both the MCU core and peripheral units are powered down. All power supply nets are switched off.

The Power management unit operation in the Standby mode includes the following. Before entering the Standby, when are in Active mode, the peripheral units are managed through Special Function Registers. The Standby mode is started by writing the sequence "10" into two least significant bits of PMSR register. The PMSR is one of SFR registers and is physically implemented in the Power management unit.

While bringing the chip into the Standby mode, the Power management unit performs several operations. First, it issues the reset signal for MCU core. Then, it activates the isolation cells located on the interface between MCU core and the neighboring blocks including peripheral block and memories.

These blocks remain to be under power supply during the Standby. At the end of Standby beginning sequence, the Power management unit activates the Sleep signal to activate MTCMOS cells within the CORE power domain. The Sleep signal switches off the supply net VDDCOR from VDD.

The power supply of microcontroller's core, VDDCOR, is in the off state until peripheral interrupt occurs. When it occurs, the Power management block receives the information from interrupt control logic (part of peripheral voltage area) and starts the power restoring procedure. The power restore does not happen suddenly. Instead, it consists of several phases. First, Sleep signal controlling the MTCMOS cells is put into reset state which starts the raising of the power supply VDDCOR. After time period long enough for safe power supply restoring, the control signal for isolation cells is asserted. At the end of returning into Active mode, the MCU core is removed from the reset state. Then, the microcontroller's core begins the program code execution and immediately enters into the software routine for the interrupt handling which caused the transition from Standby to Active mode.

IV. THE IMPLEMENTATION RESULTS

The microcontroller was described in VHDL and verified by Cadence tool NCSim. Several assembler programs were created for chip verification targeting specific microcontroller functionality or specific part of rich instruction set. The programs were translated into 8051 hex file, and after, into VHDL code which was used by main testbench program. After, proposed block was implemented in Synopsys 90nm CMOS standard cell technology. The synthesis process is done by Synopsys tool DC Compiler. IC Compiler was used for floor planning, placement and routing, as well as clock and reset trees generation. The obtained block area is 1.485 mm².

Simulations were performed for three times using the same testbench: before synthesis process, after synthesis process and after layout generation. The obtained results were the same, proving the correctness of the design. Special attention during verification was put on signals, generated by Power management unit, for controlling the switches and isolation cells. The information about static and dynamic power consumption of digital standard cells is provided by technology files. The power consumption was obtained in Prime Time Synopsis tool, after layout implementation, and detail, Verilog netlist logical verification while which the total switching activity of core's nets was recorded (necessary for finding the dynamic power).

The leakage elimination techniques that were used during implementation process are: multi power domain design, multi threshold standard cell libraries and power gating. MTCMOS power switches, isolation cells, voltage shifter cells and always-on buffers cells were used in the design process. It is important to keep in mind that when chip is in Standby, the relevant data is retained in RAM memory blocks (which remain powered) and all cells in microcontroller's core are switched off. Therefore, there was no need for utilization of retention sequential cells. The other reason because retention

cells were avoided was that Synopsys 90nm technology doesn't offer flip flop retention cells with asynchronous reset, which were needed.

The power gates (header switches) were laid out as double height cells in columns. The cells pin connectivity is done by abutment in the placement area where the synthesized core cells are placed. To manage them in rush current during power-up starting as well as to reduce the IR drop, the switch network was implemented as a daisy chain of power gates.

The static power reduction achieved in Standby mode is 75% comparing to the design which did not use the benefits of power gating. The leakage power became 0.1mW instead of 0.4mW that was before the use of the leakage reduction techniques.



Figure 9. The MCU layout in 90nm technology

V. CONCLUSION

In this paper, a leakage low power techniques are presented and applied on microcontroller design. The considered technology is Synopsys 90nm. The leakage minimization techniques implemented in MCU core are: multi power domain design, utilization of multi-V_{TH} libraries and power gating. The microcontroller was designed to have several power saving modes in which the leakage power reduction was main goal. The leakage power reduction in 90nm technology achieved by power saving modes is 75%.

The main objective, which was to realize power efficient design, was fully reached. Measurements on the chip, which will be manufactured, have to be carried out to confirm those results.

REFERENCES

- [1] P. Bipul, A. Agarwal, K. Roy, "Low-Power Design Techniques for Scaled Technologies", Integration, The VLSI Journal 39 (2006), pp.64-89
- [2] S. Katkooi, S. Roy, N. Ranganathan, "A Framework for Power-Gating Functional Units in Embedded Microprocessors", IEEE transactions on very large scale integration (VLSI) systems, ISSN 1063-8210, 2009, Vol.17, N.11, pp.1640-1649.
- [3] Unified Power Format, IEEE Draft Standard for Design and Verification of Low Power Integrated Circuits, IEEE P1801/D18, 23, October, 2000
- [4] B. Jovanović, M. Zvolinski, M. Damjanović, "Low-power digital design in integrated power meter IC", Proceedings of the Small Systems Simulation Symposium 2010, Niš, Serbia, ISBN 987-86-6125-006-4, pp.49-55

Otpornost na bočne napade ASIC kriptosistema zasnovanog na standardnim ćelijama

Milena Stanojlović, Predrag Petković

Univerzitet u Nišu

Elektronski fakultet

Niš, Srbija

milenastanojlovic@yahoo.com, predrag.petkovic@elfak.ni.ac.rs

Sadržaj – Iskustvo je pokazalo da primena samo kriptografskih algoritma ne pruža dovoljnu meru zaštite podataka. Posmatranjem potrošnje, merenjem elektromagnetnog zračenja, analizom talasnih oblika itd. dolazi se do dodatnih informacija na osnovu kojih kriptosistem postaje ranjiv. Ove vrste napada nazivaju se bočnim napadima (side-channel attacks) SCA. Za odbranu od ovakvih napada razvijeno je mnogo metoda na različitim nivoima projektovanja. Metodi hardverske zaštite svode se na razbijanje korelacije između aktivnosti kola i potrošnje. Konkretno u ovom radu razmatrani su WDDL (*Wave Dynamic Differential Logic*) i NSDDL (*No Short-circuit current Dynamic Differential Logic*) metodi. Poređena je otpornost na SCA sa aspekta nebalansiranog opterećenja, promene napona napajanja, povišene temperature i promenjene dinamike pobudnih signala.

Ključne reči; Kriptografski-sistem; bočni napad; DPA; WDDL; NSDDL.

I. UVOD

Ovaj rad ima za cilj da ispita mogućnost primene standardnih ćelija u projektovanju integrisanog kriptografskog sistema otpornog na bočne napade preko sporednih kanala (*Side Channel Attack* – SCA). Pod bočnim napadom podrazumeva se svaki pokušaj neovlašćenog otkrivanja sadržaja šifrovane poruke koji je zasnovan na merenju fizičkih parametara u kriptografskom sistemu. Kao fizički parametri mogu se izdvojiti elektromagnetno zračenje, potrošnja energije, talasni oblici signala kao i ostale veličine i fenomeni koji mogu da pomognu dešifrovanje kriptoključa. Praktično u ovaj skup ulaze svi merljivi fizički fenomeni čija analiza pomaže potencijalnom napadaču da otkrije sadržaj zaštićenih informacija. Uobičajen je termin da informacije "otiču kroz bočne kanale". Jedan od osnovnih izvora curenja informacija iz integrisanih kriptografskih sistema prouzrokuje korelacija između talasnih oblika struje napajanja i aktivnosti integrisanog kola. Zato je razvijeno više metoda koji imaju za cilj da ujednače promenu struje napajanja tako što će je učiniti nezavisnom od promene logičkih stanja u digitalnom kolu.

Autori ovog rada nedavno su objavili više saopštenja koja se odnose na projektovanje originalnih standardnih ćelija zasnovanih na primeni WDDL (*Wave Dynamic Differential Logic*) logike [1, 2, 3]. Za razliku od originalnog oblika WDDL metoda [4] koji je zasnovan na primeni standardnih ćelija i

prikazan je na primeru FPGA, autori su dokazali da se otpornost na bočne napade značajno može povećati ukoliko se dimenzije tranzistora u standardnim ćelijama redizajniraju sa ciljem da se razbije korelacija između potrošnje i logičke aktivnosti ćelije. Takav pristup zahteva projektovanje sopstvene biblioteke ćelija što predstavlja svojevrsan problem.

Nedavno je publikovan novi metod za odbranu od bočnih napada koji koristi predefinisane strukture iz biblioteke standardnih ćelija. Ovaj metod poznat je pod nazivom NSDDL (*No Short-circuit current Dynamic Differential Logic*) [5].

Naš rad na ovoj temi motivisan je potrebom da se izabere najbolja strategija za projektovanje kriptografskih ASIC sistema koji bi bili što otporniji na bočne napade. Izabrani metod biće primenjen u zaštiti od zloupotrebe podataka koje razmenjuje sistem za upravljanje potrošnjom električne energije sa mernim mestima (brojilima) [6]. Konkretno, koristiće se pri projektovanju komunikacionog dela elektronskog brojila. Nezavisno od toga, sva iskustva proučavanja radom na ovoj temi mogu naći primenu i u ostalim slučajevima koji zahtevaju zaštitu podataka na javnim komunikacionim mrežama.

Osnovni cilj ovog rada jeste da uporedi otpornost na bočne napade WDDL i NSDDL metoda. Posebna pažnja posvećena je proceni otpornosti na bočne napade i u slučajevima kada napadač namerno izazove grešku u sistemu. U tom kontekstu razmotreni su primeri rada pod graničnim vrednostima napona napajanja, temperature i vremena uspostavljanja signala. Svi primeri obrađeni su pod uslovom da se radi o standardnoj CMOS 0.35 μ m TSMC tehnologiji.

Rad je organizovan na sledeći način. Naredno poglavlje daje kratak osvrt na napade bazirane na analizi razlike u potrošnji snage pri različitim fazama aktivnosti kriptosistema DPA (*Differential Power Analysis*). Zatim su opisani WDDL i NSDDL metodi zaštite. Poređenje karakteristika ova dva metoda dato je u završnom delu rada.

II. TEHNIKE BOČNOG NAPADA ZASNOVANE NA ANALIZI POTROŠNJE

Promena struje napajanja (I_{DD}) predstavlja veoma važan dodatni izvor informacija o ponašanju kriptografskog sistema. Do promene I_{DD} dolazi u CMOS kolima samo prilikom

Ovaj rad prikazuje deo rezultata ostvarenih u okviru projekta TR 11007 koji finansira Ministarstvo nauke i tehnološkog razvoja Republike Srbije.

promene logičkih stanja. Tokom promena sa 0 na 1, pune se izlazne kapacitivnosti od V_{DD} preko pMOS mreže. Pri promenama stanja sa 1 na 0 one se prazne prema masi. Ovome treba dodati i struje kratkog spoja tokom intervala u kome vode i pMOS i nMOS tranzistori. Na osnovu informacija o potrošnji moguće je rekonstruisati rad kola, a time i brže doći do saznanja o sakrivenom kriptografskom ključu. Tehnike napada bazirane na analiziranju potrošnje kola su SPA (*Simple Power Analysis*) i DPA (*Differential Power Analysis*).

SPA- je tehnika napada pri kojoj napadač prati potrošnju kriptovanih/nekriptovanih operacija i koristi ih direktno da otkrije informaciju o ključu za dešifrovanje.

DPA – predstavlja veoma moćnu vrsta napada zato što se ne zahteva poznavanje rada uređaja, već eksploatiše podatke u zavisnosti od potrošnje kriptovanog uređaja.

Kako su se DPA napadi pokazali veoma produktivnim, porastao je motiv za proučavanje tehnika kojima se povećava imunost krypto sistema na ovakve napade. Mere zaštite primenjuju se na svim nivoima projektovanja: na arhitekturnom, algoritamskom ili na nivou gejtova. Dva metoda hardverske zaštite od DPA na gejtovskom nivou opisana su u narednom odeljku.

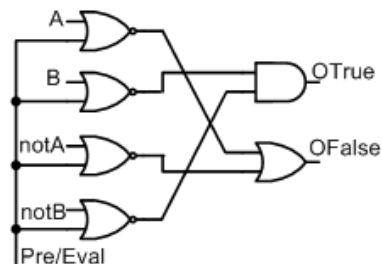
III. HARDVERSKA ZAŠTITA OD DPA

Da bi se kriptografsko integrisano kolo zaštitilo od DPA polazi se od uklanjanja osnovnog uzroka ranjivosti – uticaja promene struje napajanja. Zato su hardverski metodi zaštite zasnovani na projektovanju struktura koje će trošiti istu energiju nezavisno od promene pobudnih signala. Najznačajniji predstavnici ovog pristupa poznati su pod nazivima WDDL [4] i NSDDL [5]. Oba pristupa biće ilustrovana na primeru AND/NAND ćelije.

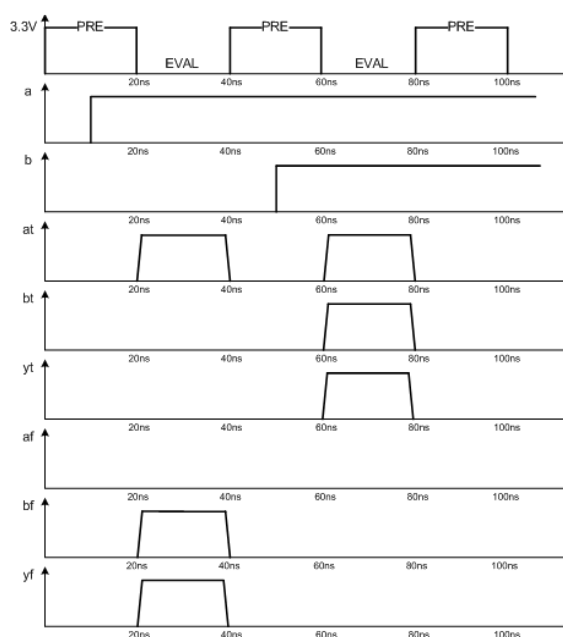
A. WDDL ćelije

WDDL koristi diferencijalnu logiku. Dakle, svi signali se dupliraju tako da imaju prave i lažne predstavnike. Svaka ćelija ima komplementarne ulazne i izlazne priključke. Stanje na izlazima generiše se pomoću osnovne i komplementarne ćelije koje pobuđuju komplementarni ulazi. Da bi radile na principu DPL (*Dual-rail with Pre-charge Logic*) logike, potrebno je da pri svakoj kombinaciji ulaznih signala obezbede promenu stanja ili na pravom ili na lažnom izlazu. Ćelije rade naizmenično u pripremnoj (*pre-charge*) i izvršnoj (*evaluation*) fazi. Tokom pripreme, svi izlazi (pravi i lažni) dovode se u stanje logičke 1. Tokom izvršne faze uvek samo jedan (pravi ili lažni) izlaz menja stanje. Time se obezbeđuje samo jedan logički događaj po ciklusu. Na Sl. 1 prikazana je kriptovana AND ćelija sa kontrolišućom logikom. Slika 2 pokazuje talasne oblike signala. Pravi izlazi označeni su sufiksom *t*, a lažni sufiksom *f*. Treba primetiti da se na izlazima NOR kola, na osnovu pobudnih signala *A*, *B*, *notA* i *notB*, generišu signali *at*, *bt*, *af* i *bf*. Njima se pobuđuju prava (AND) i lažna-komplementarna ćelija (OR), na čijim se izlazima generišu pravi i lažni signali, *yt* i *yf*. Talasni oblik signala *yt* prikazan je na četvrtom dijagramu odozdo sa Sl. 2. Talasni oblik signala *yf* predstavljen je poslednjim dijagramom sa Sl. 2. Osnovni nedostatak WDDL ćelije ogleda se u osetljivosti na nebalansirano opterećenje diferencijalnih izlaza. Naime, u

savremenim kolima dominantan uticaj na kašnjenje signala imaju veze, a ne logičke ćelije. S obzirom da je WDDL zasnovan na primeni diferencijalnih simetričnih signala, svaka asimetrija kviri njihove karakteristike.



Slika 1. Logička struktura WDDL AND ćelije

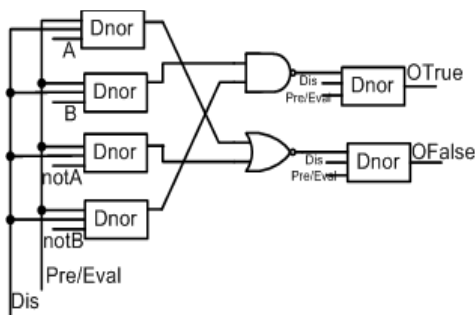


Slika 2. Talasni oblici signala WDDL AND ćelije

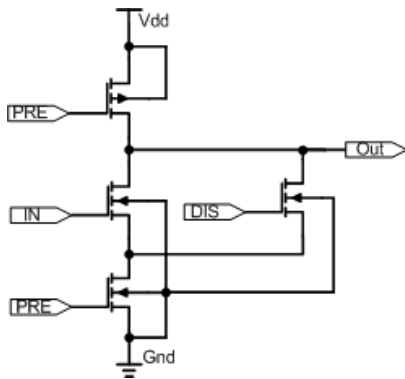
B. NSDDL ćelije

Ključna razlika između NSDDL i WDDL je u kontrolišućoj logici. Naime, pored pripremne i izvršne faze uvedena je i faza pražnjenja kondenzatora (*dis-charge*). Cilj je da se otkloni zavisnost potrošnje od opterećenja na izlazima u toku faze pražnjenja. Sličan pristup primenjen je u TDPL (*Three-Phase Dual-Rail Pre-Charge Logic*) [7]. Pored toga, NSDDL koristi dinamičko NOR kolo umesto statičkih invertora koji su imali sličnu namenu kod TDPL metoda. Time je minimiziran uticaj struje kratkog spoja [5]. Na Sl. 3.a prikazan je izgled AND/NAND ćelije sa kontrolnom logikom. Dinamičko NOR kolo označeno je sa Dnor i prikazano na Sl.3.b. Slika 4 ilustruje talasne oblike kontrolišućih signala. Tokom pripremne faze signali PRE i DIS su u stanju logičke 0. Izvršna faza nastaje

kada PRE signal dostigne logičku jedinicu. Faza pražnjenja traje dokle god su i PRE i DIS signal u stanju logičke jedinice.

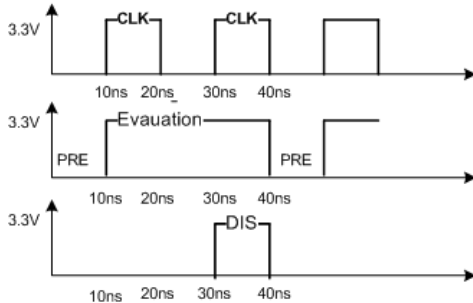


a)



b)

Slika 3. a) Logička struktura NSDDL ćelije i b) Električna šema Dnor kola



Slika 4. Talasni oblici kontrolišućih signala kod NSDDL ćelije

IV. OTPORNOST NA BOČNE NAPADE WDDL I NSDDL ĆELIJA

Karakteristike WDDL i NSDDL ćelija biće upoređene sa stanovišta otpornosti na bočne napade bazirane na analizi potrošnje, kao i sa stanovišta složenosti njihove realizacije uz primenu standardnih alata za projektovanje.

Kada se razmatra realizacija, treba imati u vidu da su, u osnovi, oba metoda zasnovana na primeni standardnih bibliotekskih ćelija. Postoji više radova koji opisuju primenu WDDL metoda u FPGA okruženju. Praktično ovo znači da su dimenzije tranzistora u osnovnim logičkim ćelijama

predefinisane. Međutim, kasnija istraživanja pokazala su da je i WDDL metod ranjiv u susretu sa upornim i dobro opremljenim napadačem [8]. Znajući da potrošnja struje direktno zavisi od dimenzija tranzistora, nedavno su autori ovog rada modifikovali WDDL metod time što su dimenzije tranzistora u osnovnim logičkim ćelijama optimizovane sa ciljem da se unifikuje potrošnja [1-3]. Ovakvu ćeliju označićemo sa *oWDDL*. Kao mera kvaliteta rešenja posmatra se energija potrebna da se promeni stanje na izlazima ćelija, definisana kao integral snage tokom jednog taktog ciklusa.

$$E = V_{DD} \int_0^T i_{DD}(t) \cdot dt \quad (1)$$

(Ovaj ciklus obuhvata *precharge*, *evaluation* i, za NSDDL, *discharge* faze). Analizirano je ponašanje AND/NAND ćelija pri deset kombinacija parova ulaznih signala i to (0; 0->1), (0; 1->0), (0->1; 0), (1->0; 0), (0->1; 0->1), (1->0; 1), (0->1; 1), (1; 1->0), (1; 0->1), (1->0; 1->0). Na osnovu dobijenih rezultata izračunati su *srednja vrednost potrošnje energije* (E^*), *relativno maksimalno odstupanje* $(E_{max}-E_{min})/E_{max}$, *standardna devijacija* (σ) i *normalizovana standardna devijacija* (NSD).

Kao što je pokazano u [1-3], AND *oWDDL* ćeliju karakteriše trostruko poboljšanje performansi u odnosu na WDDL baziranu na standardnim ćelijama. Poboljšanje je izraženo u relativnom maksimalnom odstupanju promene energije, standardnoj devijaciji i NSD. U Tabeli I date su uporedne vrednosti ovih veličina za AND WDDL ćeliju realizovanu na bazi standardnih ćelija (kolona SC WDDL) i za *oWDDL* ćeliju.

Treba napomenuti da je značajno poboljšanje performansi dobijeno na račun dodatnog napora da se projektuje nova biblioteka ćelija sa izmenjenim dimenzijama tranzistora. Kao što je rečeno u prethodnom odeljku, osnovni nedostatak WDDL metoda predstavlja njegova osetljivost na nebalansirano opterećenje pravog i lažnog izlaza.

TABELA I Poređenje karakteristika tri metoda zaštite od DPA pri nominalnim uslovima rada

AND/NAND pri $V_{DD}=3.3V$, $T=300K$, $T_r=T_f=1ns$, $C_l/C_r=1$				
	Metod	SC WDDL	<i>oWDDL</i>	NSDDL
1.	Srednja vrednost potrošnje energije E^*	1.02pJ	0.96pJ	2.28pJ
2.	Relativno maksimalno odstupanje energije	10.14%	3.29%	2.92%
3.	Standardna devijacija	35.53fJ	10.98fJ	20.73fJ
4.	NSD	3.47%	1.14%	0.91%

Zato primena WDDL metoda zahteva dodatni napor da se veze sa oba izlaza svake ćelije trasiraju simetrično. Ovu opciju ne podržava ni jedan standardni ruter, što otežava automatizaciju projektovanja.

NSDDL metod zasnovan je na primeni standardnih ćelija uz kreiranje samo jedne nove DNor ćelije koja se pridružuje pravom i lažnom izlazu. Time je otklonjena zavisnost od

nesimetričnog kapacitivnog opterećenja. Ispitivanje performansi NSDDL metoda obavljeno je na primeru AND/NAND ćelije. Kao što se vidi iz desne kolone u Tabeli I, za nominalne uslove rada dobijeni su rezultati veoma slični onima koji se odnose na optimizovanu WDDL ćeliju uz očekivanu povećanu potrošnju energije. Ovo upućuje na zaključak da je NSDDL metod mnogo zgodniji za korišćenje jer ne zahteva modifikaciju alata za projektovanje. Ipak, da bi se stekao potpuni uvid u performanse, potrebno je uporediti WDDL i NSDDL metod sa stanovišta otpornosti na bočne napade pri namerno izazvanim ekstremnim uslovima rada. S obzirom da ni pri nominalnim uslovima WDDL ćelija bazirana na standardnim dimenzijama nije pokazala dovoljnu rezistentnost na napade, ona je isključena iz narednih analiza.

Otpornost na bočne napade testirana je pri uslovima:

- nebalansiranog opterećenja,
- znatno povišene temperature,
- namerno poremećenih vremenskih dijagrama pobudnih signala,
- ekstremnih promena napona napajanja.

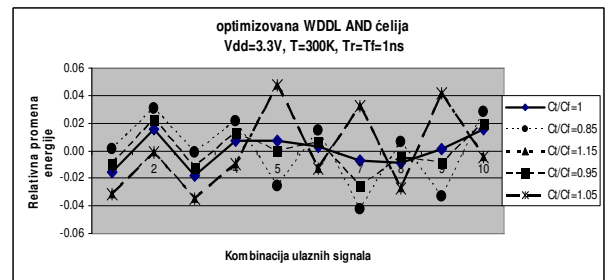
Problem nebalansiranog potrošača analiziran je za slučaj kada je odnos kapacitivnosti na pravom i lažnom ulazu razdešen za $\pm 5\%$ i $\pm 15\%$. Rezultati dobijeni u slučaju optimizovane WDDL ćelije prikazani su na Sl. 5.a. Očigledno je da sa porastom disbalansa postoje značajna odstupanja u relativnoj promeni energije. Normalizacija promene energije urađena je prema srednjoj vrednosti, tako da su očigledne promene znaka koje se kreću u granicama $\pm 4\%$. Mnogo više zabrinjava činjenica da postoji jasna zavisnost od veličine neuparenosti kapacitivnosti. Za razliku od toga, kao što se i očekivalo, NSDDL ćelija potpuno je imuna na promenu kapacitivnosti opterećenja kao što prikazuje Sl. 5.b.

Poznato je da efikasnost napada može da se poveća u slučajevima kada se integrisano kolo izloži ekstremnim uslovima rada. Naime tada postoji veća ili manja korelacija između pojedinih kombinacija ulaznih signala i utrošene snage. Da bi se uporedila otpornost oWDDL i NSDDL ćelije pri takvim uslovima ispitano je ponašanje pri temperaturi od 425K i pri napadu sa usporenim signalom kod koga su prednje i zadnje ivice povećane sa 1ns na 4ns.

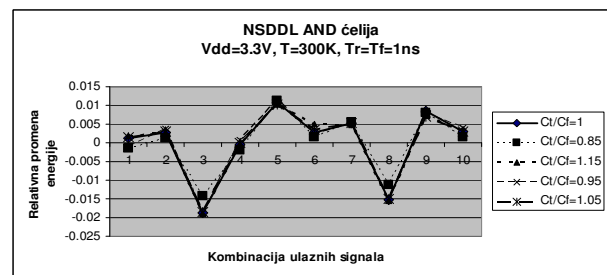
Pregled ponašanja oWDDL ćelije pri nominalnim i ekstremnim uslovima rada prikazani su na Sl. 6.a. Očigledno je da kombinacije 2, 4, 7, 8 i 10 daju čitljivije rezultate pri povišenoj temperaturi, dok je kombinacije 6, 7 i 9 lakše detektovati pri tromijoj pobudi. Sa druge strane, Sl. 6.b pokazuje da je NSDDL ćelija čak otpornija na napade pri ekstremnim uslovima nego što je slučaj pri nominalnim uslovima rada.

Potencijalni napadač može da menja napon napajanja kako bi učinio vidljivijom korelaciju energije sa pojedinim kombinacijama ulaznih signala. Takva situacija simulirana je u slučaju oWDDL i NSDDL AND/NAND ćelija. Dobijeni rezultati prikazani su na slici 7.a za slučaj ponašanja oWDDL ćelije. Očigledno je da kombinacije 2, 4, 5 i 10 postaju vidljivije pri sniženom naponu napajanja (V_{DD}).

Za razliku od oWDDL AND ćelije, NSDDL konfiguracija nije osetljiva na promenu napona napajanja. Sa Sl. 7.b vidi se da su svi trendovi promene energije ostali isti kao pri nominalnom napajanju.

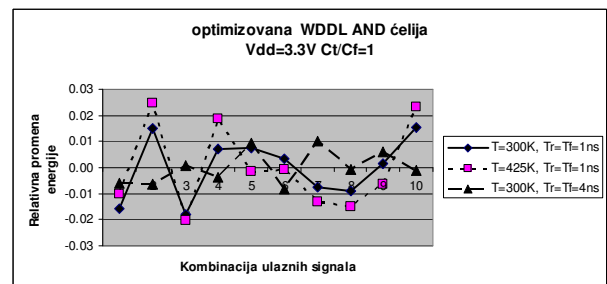


a)

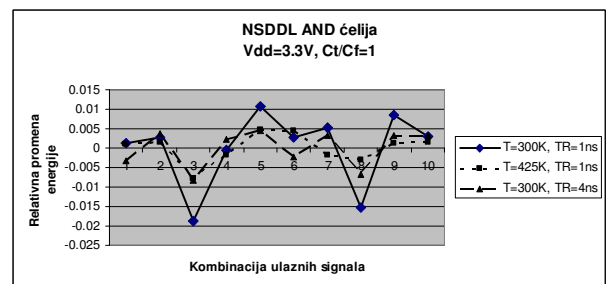


b)

Slika 5. Uticaj nebalansiranog opterećenja na relativnu promenu energije na a) oWDDL i b) NSDDL AND ćelije



a)



b)

Slika 6. Uticaj ekstremne temperature i dinamike signala na relativnu promenu energije kod a) oWDDL i b) NSDDL AND ćelije

Svi dobijeni rezultati ukazuju da je NSDDL ćelija otpornija na bočne DPA napade od optimizovane WDDL ćelije. Ovo je

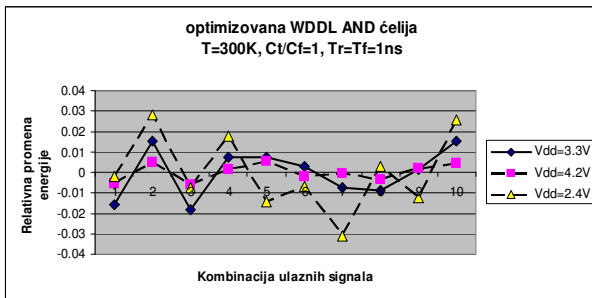
posledica priključivanja izlaza preko dinamičke NOR ćelije (DNor). Može se uočiti da je otklonjena komponenta struje napajanja (I_{DD}) koja je posledica kratkog spoja između napona V_{DD} i V_{SS} . Naime, ne postoji trenutak u kome vode svi tranzistori na putu od V_{DD} do V_{SS} .

Međutim treba napomenuti da, tokom *precharge* faze, ukoliko je ulaz u stanju logičke 0, izlaz DNor kola nije povezan ni sa V_{DD} niti sa V_{SS} . Isto se dešava i posle *precharge* faze. Takav „plivajući” izlaz postaje jako osetljiv na smetnje. Da bi se sprečilo preslušavanje i obezbedio siguran rad kola, neophodno je da se ovakve kritične veze oklope trasiranjem traka na potencijalu V_{DD} i/ili V_{SS} [9].

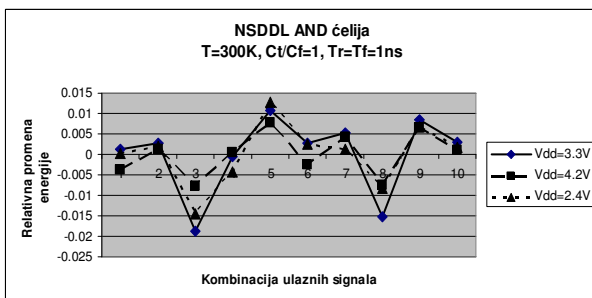
U svim testiranim slučajevima NSDDL ćelija pokazala je veću otpornost na bočne napade od WDDL ćelije.

LITERATURA

- [1] M. Stanojlović, P. Petković, "Hardware based strategies against side-channel-attack implemented in WDDL", Electronics, Vol. 14, No. 1, Banja Luka, June, 2010, pp. 117-122
- [2] P. M. Petković, M. Stanojlović, V. B. Litovski "Design of side-channel-attack resistive cryptographic ASICs", Forum BISEC 2010, Zbornik radova druge konferencija o bezbednosti informacionih sistema, Beograd, Srbija, Maj 2010, pp 22-27.
- [3] M. Stanojlović, P. M. Petković, "Projektovanje WDDL ćelija otpornih na bočne napade", Zbornik radova 54. Konferencije ETRAN-a, Donji Milanovac, Srbija, Juni 2010, pp EL3.2.1-EL3.2.4
- [4] K. Tiri and I. Verbauwhede, „A logic level design methodology for a secure DPA resistant ASIC or FPGA implementation“, in DATE'04. IEEE Computer Society, Paris, France, February 2004, pp. 246-251.
- [5] J. Quan and G. Bai, "A new method to reduce the side-channel leakage caused by unbalanced capacitances of differential interconnections in dual-rail logic styles", 2009 Sixth International Conference on Information Technology: New Generations, DOI 10.1109/ITNG.2009.185, pp. 58-63.
- [6] V. Litovski and P. Petković, „Why The Power Grid Needs Cryptography?“, Electronics, Vol. 13, No. 1, Banja Luka, June, 2009, pp. 30-36.
- [7] M. Bucci, L. Giancane, R. Luzzi, A. Trifiletti: "Three-Phase Dual-Rail Pre-Charge Logic". In: Goubin, L., Matsui, M. (eds.) CHES 2006. LNCS, vol. 4249, pp. 232-241. Springer, Heidelberg (2006)
- [8] S. Guilley, S. Chaudhuri, L. Sauvage, T. Graba, J-L. Danger, P. Hoogvorst, V-N. Vong, M. Nassar and F. Flament, „Shall we trust WDDL?“ in Future of Trust in Computing, Berlin : Germany (2008), pp. 1-8, DOI : 10.1007/978-3-8348-9324-6_22.
- [9] P. Petković, Projektovanje CMOS integrisanih kola sa mešovitim signalima, Univerzitet u Nišu, Elektronski fakultet, Niš, 2009



a)



b)

Slika 7. Uticaj ekstremnih vrednosti V_{DD} na relativnu promenu energije kod a) oWDDL i b) NSDDL AND ćelije

V. ZAKLJUČAK

U ovom radu poređene su osobine dva metoda za hardversku odbranu od DPA bočnih napada na kripto-sistem. Razmotrene su AND/NAND ćelije projektovane u TSMC CMOS tehnologiji 0.35 μ m. Konkretno analizirana je ćelija tipa WDDL kod koje su dimenzije tranzistora optimizovane sa stanovišta maskiranja struje napajanja. Takođe razmatrana je i ćelija tipa NSDDL. Poređeno je njihovo ponašanje pri različitom stepenu nebalansiranog kapacitivnog opterećenja, različitim temperaturama, pri različitoj dinamici signala i pri različitim vrednostima napona napajanja.

Abstract - Experience has shown that the acquisition of cryptographic algorithm does not provide a sufficient measure of data protection. Observation of power consumption, measurement of electromagnetic radiation, waveform analysis etc. leads to additional information so that the crypto-system becomes vulnerable. These types of attacks are called side-channel attacks (SCA). To defend against such attacks many methods have been developed at different levels of design. Hardware protection methods are reduced to breaking the correlation between circuit activities and power consumption. Specifically the paper considers WDDL (Wave Dynamic Differential Logic) and NSDDL (No Short-circuit current Dynamic Differential Logic) method. Resistance to the SCA is compared between these two aprochs in terms of unbalanced load, voltage changes, increased temperature and altered the dynamics of excitation signal.

Keywords-component; Cryptographic-system; Side-channel attacks, DPA; WDDL; NSDDL.

Resistance to side channal attacks of ASIC encryption system based on standard cells

Circuits with High Impedance Output State for Interconnection of Binary and Ternary BiCMOS Digital Circuits and Systems

Dužanka Bundalo
UniCredit Bank
Banja Luka, Bosnia and Herzegovina

Ferid Softić
Faculty of Electrical Engineering
Banja Luka, Bosnia and Herzegovina

Zlatko Bundalo
Faculty of Electrical Engineering
Banja Luka, Bosnia and Herzegovina

Miroslav Kostadinović
Faculty of Traffic and Transportation
Doboj, Bosnia and Herzegovina

Abstract— Possibilities and principles for realization of logic circuits with high impedance output state for interconnection of BiCMOS binary and ternary digital circuits and systems are considered and proposed in the paper. Such circuits perform signal conversion from binary to ternary BiCMOS digital system and have high impedance output state. The circuits are applied when for interconnection is used ternary common bus. General principle and structure for realization of such digital circuits are considered and proposed first. Then, the concrete schemes for realization of such circuits are proposed and described. Circuits with one and circuits with more ternary outputs are considered and described. All given solutions were analyzed using computer simulation and all descriptions and considerations were confirmed by the simulation.

Keywords- logic circuits; high impedance output state; interconnection circuits; signal conversion; ternary circuits; BiCMOS logic circuits; common bus

I. INTRODUCTION

The binary digital systems and circuits are practically still dominantly used. Development of VLSI technologies is increased possibilities and interest for implementation of so-called multiple-valued or MV digital systems and circuits [1-4]. The greatest interest exists for ternary and quaternary MV circuits and systems [1-3].

Great investments into development, design and production are the main reasons that the binary systems are mainly used and that will not be easy to remove them from the usage [1-3]. Very important are also great investments into realization of binary peripheral devices that consequently will be still very long period in use. So, there is a practical interest for development and application of so-called mixed digital systems [1-3, 5, 6].

Combination of binary logic circuits and MV logic circuits is used in the mixed MV systems. One part of such system is realized using MV logic circuits. Other part of the system is

realized using binary logic circuits. MV logic circuits are also very often used for implementation of some functions inside binary digital system [1-3]. In such systems it is needed to perform conversion of digital signals from binary form into appropriate MV form, and vice versa. It have to be used appropriate logic circuits for interconnection and conversion at places where is performed interconnection between binary parts and MV parts of system [1-3].

Principles for implementation of BiCMOS logic circuits for conversion of binary signals into ternary signals that have high impedance output state are proposed in this paper. The circuits are used for interconnection of binary and ternary BiCMOS circuits and systems where are used ternary common buses. General principle and structure for implementation are considered and proposed first. Then the concrete schemes of such BiCMOS circuits are proposed and described. Proposed principles and solutions were analyzed and confirmed by computer PSpice simulations.

II. CIRCUIT STRUCTURE

General principle and circuit structure for realization of logic BiCMOS circuits with high impedance output state for interconnection of binary and ternary BiCMOS digital circuits and systems is proposed and shown in Fig.1. There are n binary signals (A_i) at the inputs and there are m ternary signals (B_i) with high impedance state at the outputs.

Proposed structure in Fig.1 uses CMOS binary logic network at the inputs and uses BiCMOS ternary output logic network at the outputs. The binary CMOS logic network is supplied by two supply voltages corresponding to two binary states: V_{SS} (binary logic 0) and V_{CC2} (binary logic 1). The ternary BiCMOS output logic network is supplied by three supply voltages: V_{SS} , V_{CC1} and V_{CC2} .

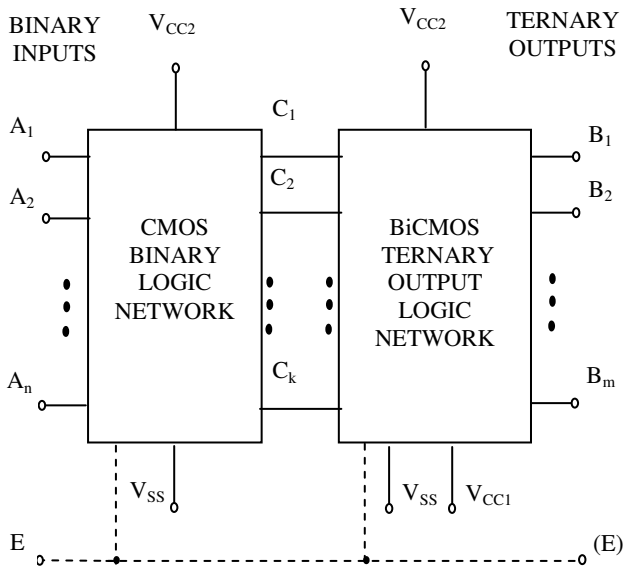


Fig.1. Structure of BiCMOS logic circuit for interconnection with high impedance output state.

With E in Fig.1 is marked control signal for enabling and disabling ternary BiCMOS outputs, i.e. for obtaining high impedance state at the ternary outputs. E is binary logic signal. For E=0 (voltage level V_{SS}) is obtained high impedance state at the ternary outputs and the outputs are disconnected from ternary bus lines. When is E=1 for binary control or when E=2 for ternary control (voltage level V_{CC2} at input E) the ternary outputs are enabled and at the outputs are obtained appropriate ternary states. Control of the ternary outputs can be accomplished from binary system part by signal E or from ternary system part by signal (E) according to concrete need. Control signal E or (E) can be applied on binary CMOS input network or on ternary BiCMOS output network of the complete circuit. It is enough to apply the signal on one of the networks only.

CMOS input binary logic network performs conversion of input binary signals A_i and E into control signals C_i for control of transistors in output ternary BiCMOS logic network. That network in principle can be realized in the same way as standard binary CMOS logic networks. Can be used standard logic CMOS binary circuits or network of CMOS transistors. BiCMOS ternary output network (stage) generates needed output ternary signals B_i according to states at the binary inputs C_i , i.e. according to states at outputs of CMOS binary logic network. Appropriate ternary output BiCMOS stages for every ternary BiCMOS output are in that network.

In the proposed structures in Fig.1 there are n binary logic signals at the inputs and m ternary output signals at the outputs. It should be performed separately realization of CMOS binary logic network and realization of BiCMOS ternary output logic network. Input CMOS binary logic network can be realized in

a way used for realization of standard binary CMOS logic networks. The BiCMOS ternary output network generates needed output BiCMOS ternary signals or high impedance state depending on concrete states at the binary inputs.

III. PROPOSED INTERCONNECTION CIRCUITS

Based on the proposed structure it can be realized more different concrete solutions of logic BiCMOS circuits for interconnection that have high impedance output state. Here will be proposed and described solutions that are appropriate for some concrete applications. First are shown and described solutions of BiCMOS circuits with one ternary output. Then is proposed way to obtain the circuits with more (any) number of ternary outputs.

A. Circuits with one ternary output

Fig.2 shows proposed basic scheme of basic circuit with one ternary output that have high impedance output state. The circuit has two binary inputs and one ternary output. It uses simplified ternary BiCMOS output stage. Standard CMOS binary NAND and NOR logic circuits and inverters are used for generation of needed control signals for BiCMOS output stage. All that standard binary circuits are supplied only with supply voltages V_{SS} and V_{CC2} . When is E=1 (or E=2 for ternary control) for every of combinations at binary inputs are obtained appropriate ternary states at the outputs. For E=0 at the ternary outputs are high impedance states for any combination at binary inputs.

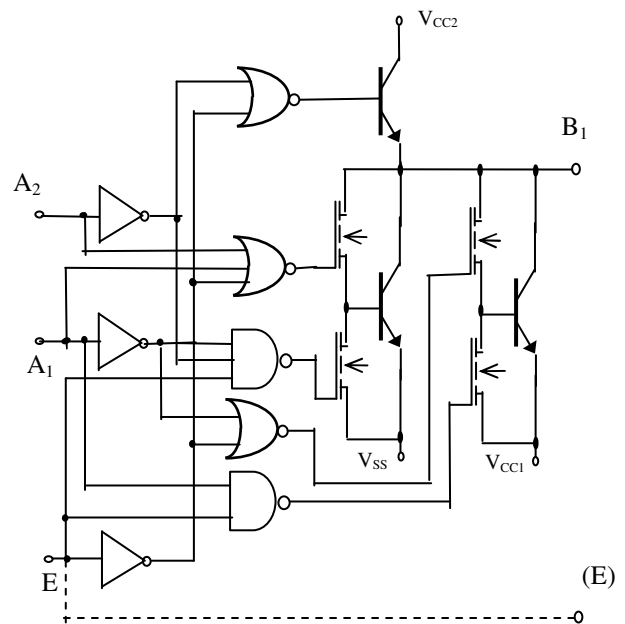


Fig.2. Basic circuit with one ternary output and high impedance output state.

Operation of proposed basic circuit was analyzed by PSpice simulations. Output voltage as a function of input voltages for

basic circuit obtained by PSpice simulation when output is enabled (for E=1) is shown in Fig.3. Technology parameters of one BiCMOS process [7] and supply voltages $V_{SS}=0V$, $V_{CC1}=3V$, $V_{CC2}=6V$ were used in simulation. At binary inputs were applied slow-changing signals for obtaining of all possible BiCMOS ternary states at output. Such is confirmed correct operation of the circuit and proper conversion of binary into ternary signals.

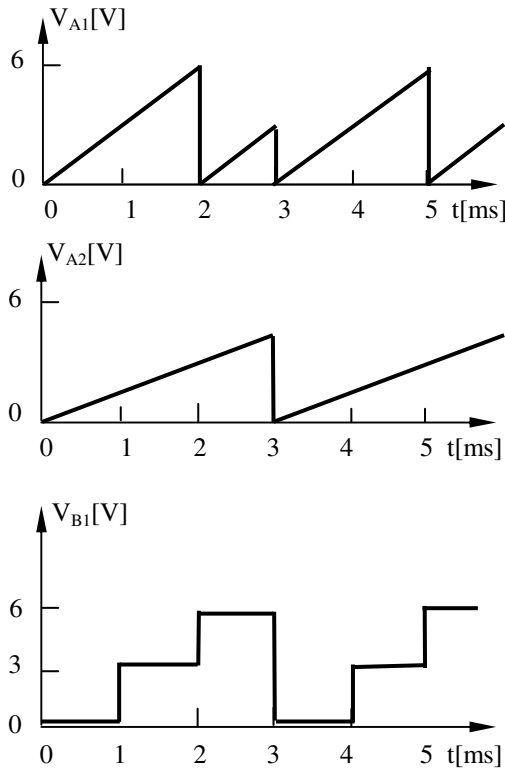


Fig. 3. Output signal as a function of input signal changes for basic circuit.

Fig.4 shows average delay time of basic circuit as a function of capacitive load C_L obtained by PSpice simulations when output is enabled (for E=1). In simulations were used the same technology parameters and the same supply voltages as in static analysis. Binary pulse signals were applied at binary inputs.

One also interesting solution will be shown here. Scheme of this circuit is shown in Fig.5. It is modified basic circuit. It uses smaller number of transistors then basic circuit but has increased average delay time in comparison with basic circuit.

This circuit also has two binary inputs and one ternary output. It uses modified ternary BiCMOS output stage. For generation of needed control signals for output BiCMOS stage transistors used are also standard CMOS binary NAND and NOR logic circuits and inverters. All that standard binary circuits are also supplied only with supply voltages V_{SS} and

V_{CC2} . For E=1 (or E=2 for ternary control) for every of combinations at binary inputs are obtained appropriate ternary states at the outputs. When is E=0 at the ternary outputs are high impedance states for any combination at binary inputs. Output signal as a function of input signal changes for the modified circuit when output is enabled (for E=1) is the same as for basic circuit (Fig.3).

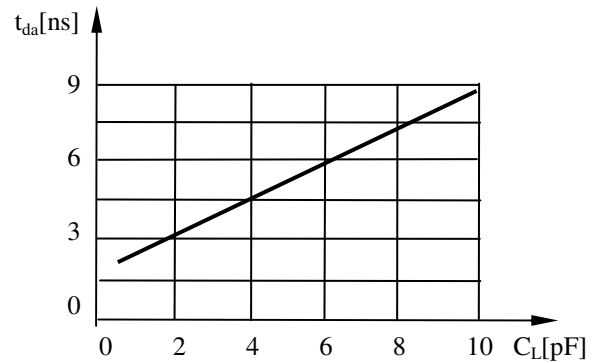


Fig.4. Average delay time of basic circuit as a function of C_L for enabled output.

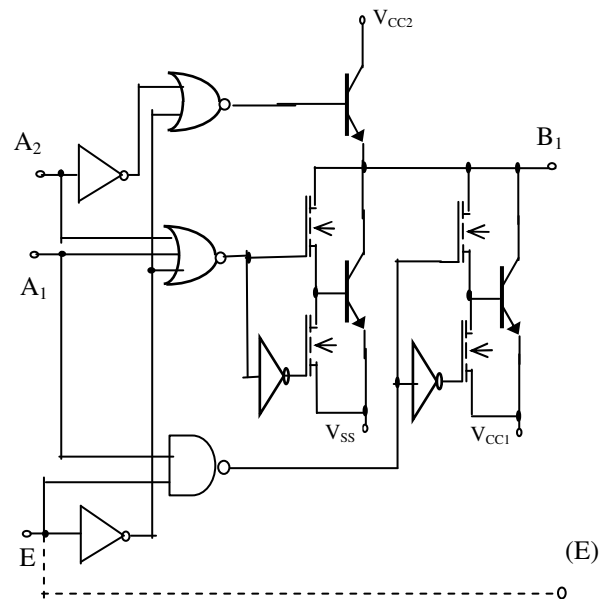


Fig.5. Modified circuit with one ternary output and high impedance output state.

Fig.6 shows average delay time of modified circuit as a function of capacitive load C_L obtained by PSpice simulations for enabled output (E=1). In simulations are used the same technology parameters and the same supply voltages as in simulations of the basic circuit. It can be seen that modified circuit has smaller average delay time for greater capacitive

loads comparing with the basic circuit what is the main advantage of modified circuit.

B. Circuits with more ternary outputs

Principle and structure for realization of circuits with more (any) number of ternary outputs that have high impedance output state are shown in Fig.1. Design of such circuit includes determination of number of ternary outputs and number of binary inputs, selection of used output BiCMOS ternary stage and realization of appropriate CMOS binary input network. After selection of output ternary BiCMOS stages the main task is to perform realization of binary CMOS input logic network. It can be used standard methods of design of binary CMOS logic circuits and methods for minimization of the network.

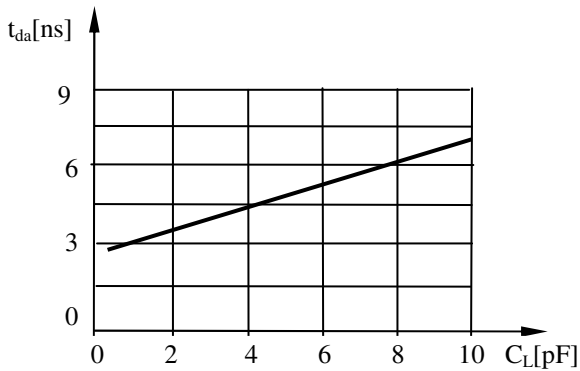


Fig.6. Average delay time of modified circuit as a function of C_L for enabled output.

Number of ternary outputs m can be determined on the basis of number of binary inputs n from the condition:

$$m \geq 0.6309297536 \cdot n . \quad (1)$$

For the known n the value of m can be determined so that for m is taken first integer that satisfied the condition (1).

As an example of circuit with more ternary outputs, in Fig.7 is shown binary to ternary interconnection circuit with three binary inputs and two ternary outputs that have high impedance output states. Standard CMOS NAND and NOR logic circuits and standard CMOS inverters are used for realization of the appropriate binary input network. All these standard binary CMOS logic circuits are supplied by supply voltages V_{SS} and V_{CC2}. For E=1 (or E=2 for ternary control) for every of combinations at binary inputs are obtained appropriate ternary states at the outputs. When is E=0 at the ternary outputs are high impedance states for any combination at binary inputs.

Here will be proposed one more principle for realization of such circuits that can be very interesting for interconnection of BiCMOS binary and ternary circuits and systems when are used ternary common buses. That principle gives possibility to obtain simpler solutions with smaller total number of MOS transistors comparing with previous solution. In simpler general structure of logic circuits with more outputs and high

impedance output states used are circuits with one ternary output that have high impedance output state and appropriate binary control network. At the input there is CMOS binary control logic network and at the output there are more circuits with one BiCMOS output and high impedance state. Design of the circuit now is reduced to design of appropriate CMOS binary control logic network for control of BiCMOS circuits with one ternary output and high impedance output state.

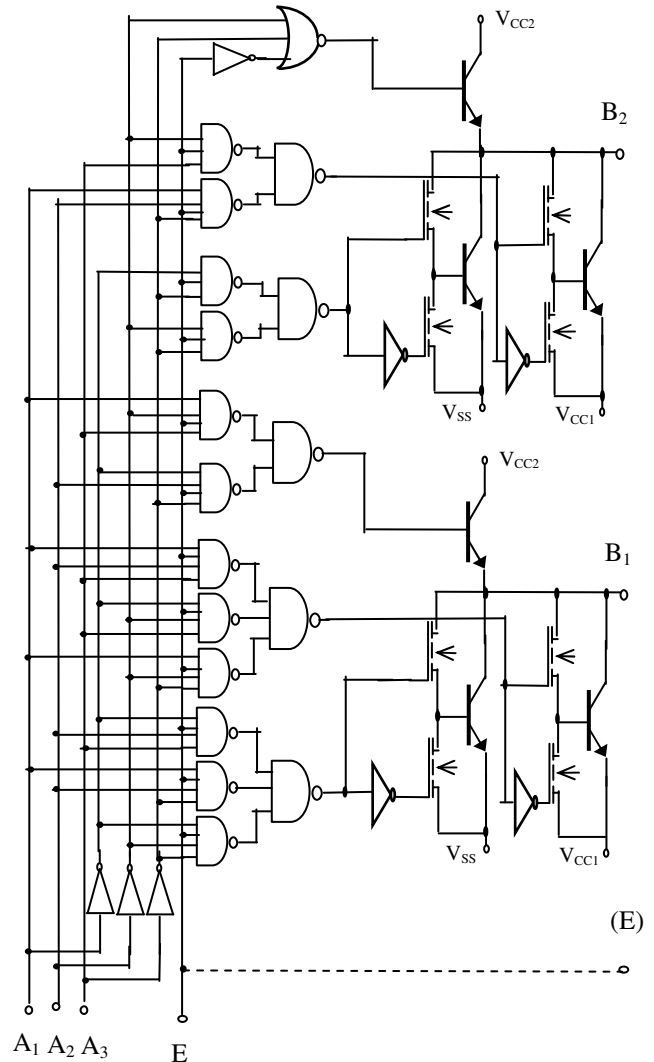


Fig. 7. Circuit with three binary inputs and two ternary outputs that have high impedance output states.

Fig.8 shows the binary to ternary interconnection circuit with three binary inputs and two ternary outputs that have high impedance output states. For the realization of the appropriate binary input control logic network used are standard CMOS NAND and NOR logic circuits and standard CMOS inverters. All these standard binary CMOS logic circuits are supplied by supply voltages V_{SS} and V_{CC2}. At the outputs here are used modified circuits with one ternary output and high impedance

output state (given in Fig.5). When is $E=1$ (or $E=2$ for ternary control) for every of combinations at binary inputs are obtained appropriate ternary states at the outputs. For $E=0$ at the ternary outputs are high impedance states for any combination at binary inputs. It can be seen that the circuit in Fig.8 is simpler than circuit in Fig.7. It uses simpler input binary network and has smaller total number of MOS transistors. But, circuit in Fig.8 and circuits obtained on such principle will generally have greater average delay time than circuit in Fig.7. So, such circuits and solutions should be generally used for smaller output loads and smaller needed working speeds.

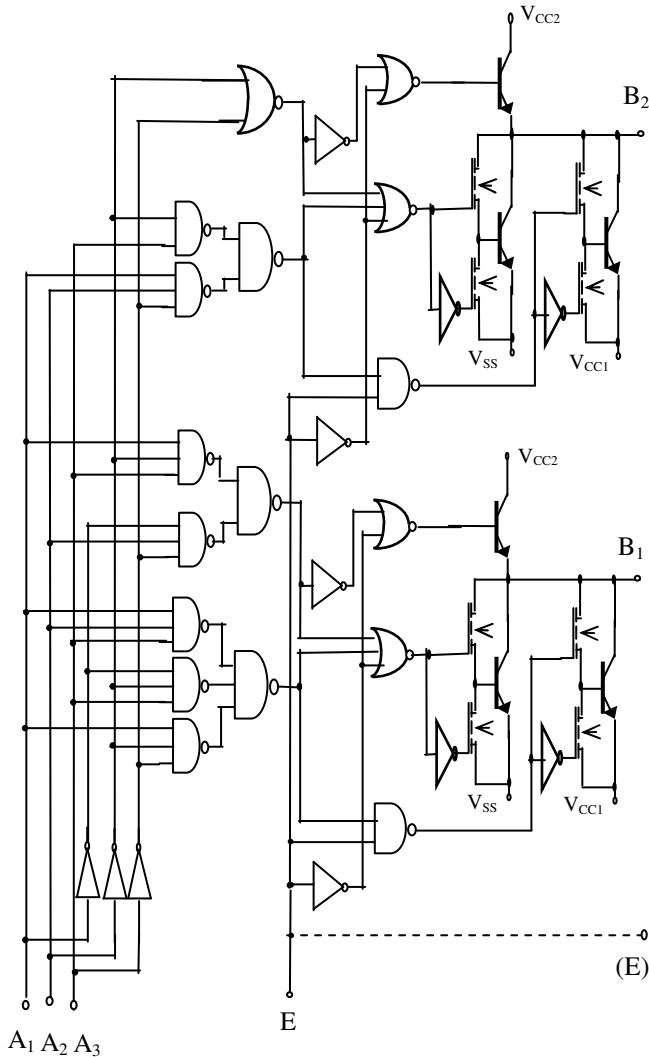


Fig.8. Circuit with three binary inputs and two ternary outputs obtained using simpler principle.

IV. CONCLUSIONS

Well known advantages of MV digital systems and great investments and experience in realization and application of binary digital systems are the main reasons for increase of interest for usage of mixed digital systems. Practically great

interest exists for mixed MV systems in what are used binary and ternary parts of the system. That requires practical application and usage of appropriate logic circuits for interconnection of binary and ternary parts of digital systems.

Proposed principle and structure of realization of BiCMOS circuits with high impedance output state for interconnection of binary and ternary BiCMOS digital circuits and systems are relatively simple. Obtained circuits for interconnection are fully BiCMOS logic circuits without static power consumption. Proposed and described principle enable realization of circuits with one or with any number of ternary logic outputs and with high impedance output state according to needed working conditions.

Proposed solutions enable to obtain optimal solution depending on requirements of its application. Some circuits (modified circuits and circuits realized using that principle) are simpler and use smaller number of transistors but have greater delay times at greater loads. Some circuits (basic circuits and circuits realized using that principle) are more complex and use more transistors but have smaller delay times at greater loads. One type of circuits (modified circuits) should be used in applications with smaller loads and smaller needed working speeds. Other circuits (basic circuits) should be used in applications with greater loads and greater needed working speeds. One type of circuits is suitable for interconnection of binary and ternary circuits and subsystems inside of BiCMOS VLSI monolithic integrated circuits. Other circuits are suitable for application as output circuits of monolithic BiCMOS integrated circuits or as separate BiCMOS integrated circuits for interconnection with smaller scale of integration.

To be possible to compare results of simulations and analysis with earlier obtained results for some other circuits in simulations were used parameters of one older BiCMOS technology process.

REFERENCES

- [1] K. C. Smith, "Multiple-valued logic: a tutorial and appreciation", Computer, April 1988, pp. 17-27.
- [2] A. K. Jain et al., "CMOS Multiple-Valued Logic Design-Part I, Part II", IEEE Transactions on CAS-I: Fundamental theory and applications, August, 1993, pp. 505-522.
- [3] E. V. Dubova, "Multiple-valued logic in VLSI: challenges and opportunities", Proc. of Conference NORCHIP'99, 1999, pp. 340-350.
- [4] D. M. Miller, D. Maslov, G. W. Dueck, "A synthesis method for MVL reversible logic", Proc. of International Symposium on Multiple Valued Logic, Toronto, Canada, 2004.
- [5] Z. Bundalo, D. Bundalo, F. Softić, M. Kostadinović, "Interconnection of binary and ternary CMOS digital circuits and systems", Proceedings of International Conference MIPRO2010, Opatija, Croatia, May 2010., pp.104-109.
- [6] D. Bundalo, Z. Bundalo, "Ternary BiCMOS logic circuits", Proceedings of Conference ETRAN, Zlatibor, Serbia, June 1997, pp. 54-57. (in Serbian)
- [7] C. H. Diaz et al., "An accurate analytical delay model for BiCMOS driver circuits", IEEE Transaction on Computer-Aided Design, no. 5, 1991, pp. 577-588.

Realizacija “inteligentnog semafora” na bazi Nanoboard-a 3000

Danijel Danković, Vladica Sinadinović, Dušan Milošević, Zoran Prijic

Katedra za mikroelektroniku
Univerzitet u Nišu, Elektronski fakultet
Niš, Srbija

danijel.dankovic@elfak.ni.ac.rs, vlajce.s@gmail.com, dusanpirke@gmail.com, zoran.prijic@elfak.ni.ac.rs

Sadržaj—Veliki problem većine urbanih sredina je permanentan rast broja motornih vozila koji je u oštroj koliziji sa nasleđenom saobraćajnom mrežom. Modifikacijom rada uređaja za regulaciju saobraćaja (semafora) mogu se značajno regulisati nabujali saobraćajni tokovi i poboljšati protočnost saobraćaja u urbanim sredinama. U ovom radu detaljno je opisan razvoj jednog inteligentnog semafora korišćenjem Altium-ovog Nanoboard-a 3000. Na kraju rada prikazana je praktična realizacija ovog semafora upotrebom diskretnih komponenti.

Ključne reči- inteligentni semafor; nanoboard 3000; FPGA

I. UVOD

Potreba za regulacijom saobraćaja na gradskim saobraćajnicama javila se još pre više od sto godina, kada je saobraćaj bio opterećen samo konjskim zapregama i pešacima. Iz tih razloga železnički inženjer John Peake Knight je davne 1868. godine projektovao prvi mehanički uređaj za regulaciju saobraćaja koji je postavljen ispred zgrade britanskog parlamentu u Londonu i koji se može smatrati pretečom savremenog semafora [1, 2]. Početkom 20. veka došlo je do značajnog razvoja i automatizacije semafora, pa su tako nastali: elektronski semafor, ručno umreženi sistem semafora, sistem semafora sa tri različita svetlosna signala, a zatim i sistem semafora sa automatskom kontrolom [3].

Ubrzani razvoj nauke i tehnologije krajem prošlog i početkom ovog veka doveo je do dodatnog razvoja uređaja za regulisanje saobraćaja. Naime, osnovna namena semafora je bila regulacija saobraćaja na gradskim saobraćajnicama. Međutim, nagli razvoj motornog saobraćaja u gradovima, koji se sve negativnije odražava na kvalitet života u gradovima, doveo je do proširenja osnovne namene semafora koja bi sada, pored bezbednosti u saobraćaju, imala i pozitivne efekte na zaštitu životne okoline. Iz tih razloga svi savremeni semafori imaju za cilj obezbeđivanje što manje saobraćajne gužve, što direktno utiče na smanjenje izduvnih gasova i saobraćajne buke na samoj raskrsnici. Poznato je da zagađenje vazduha sagorevanjem goriva u motornim vozilima postaje najvažniji problem urbanih sredinama širom sveta. Upravo svest o štetnosti ovog faktora prouzrokovala je razvoj takozvanog “ekološkog semafora”. “Ekološki semafor” brojčano označava (u sekundama) koliko je trajanje crvenog svetla kako bi vozači mogli isključiti motore dok čekaju. Na nekoliko sekundi pre pojave zelenog svetla “ekološki semafor” upozorava vozače za

pripremu, odnosno uključenje motora. Ovi semafori utiču ne samo na smanjenje zagađenosti od izduvnih gasova i buke već i značajno smanjenje utroška goriva, pa nije beznačajna ni ekonomska korist. Činjenica da (i u najurbanijim sredinama, gde na najprometnijim raskrsnicama prođe više hiljada vozila na sat) može da postoji izuzetno neravnomerna raspodela gustine saobraćaja po pravcima i smerovima dovela je do razvoja različitih tipova “adaptivnih semafora” [4, 5]. Prvi adaptivni semafori imalu su ručno podešavanje trajanje sekvenci “stop” i “dozvoljenog prolaza”. Kako se gustina saobraćaja po pojedinim pravcima i smerovima značajno razlikuje u toku dana ideja je bila da se na osnovu procene gustine saobraćaja naprave režimi rada za “adaptivne semafore”. Pored “normalnog” režima uobičajeno je da se projektuje “jutarnji” (koji se poklapa sa vremenom odlaska na posao) i “podnevni” režim (koji se poklapa sa vremenom kada se ljudi vraćaju sa posla). Korigovanjem trajanja sekvenci “stop” i “dozvoljenog prolaza” od nekoliko sekundi (što posmatrano na raskrsnici gotovo da se i ne primećuje) može se značajno uravnotežiti zadržavanje automobila na raskrsnici i opterećenost po pravcima i smerovima [6]. Poslednja faza u razvoju “adaptivnih semafora” jesu semafori koji se kontinualno prilagođavaju gustini saobraćaja na raskrsnici, poznati pod nazivom “inteligentni semafori” [4-6]. “Inteligentni semafori” različitim tipovima detektora (induktivno-magnetni detektor, video detektor, detektor pokreta... [6]) prikupljaju podatke sa saobraćajnice i raskrsnice (prisustvo pešaka i vozila na raskrsnici, brzinu vozila koja se približavaju raskrsnici, vozila sa prioriteto...), obrađuju prikupljene podatke i određuju trajanje sekvenci “stop” i “dozvoljeni prolaz”. Ograničavajući faktori kod “inteligentnih semafora” su saobraćajni propisi i standardi kojima podležu semafori, što se razlikuje od zemlje do zemlje.

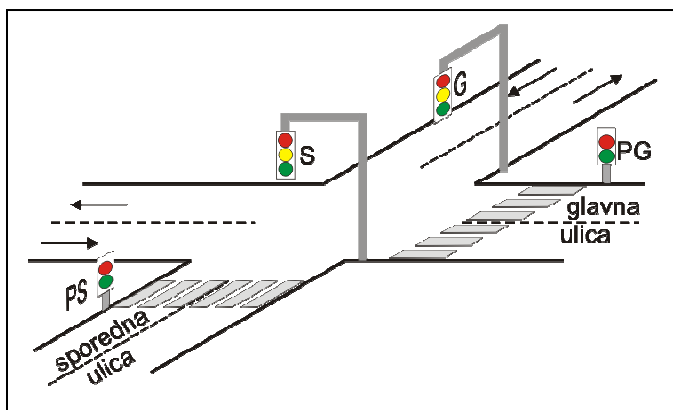
U praksi postoji više načina za projektovanje, razvoj i implementaciju “inteligentnih semafora”. Najstariji način realizacije ovakvog digitalnog hardvera jeste korišćenjem logičkih kola koja su realizovana uz pomoć diskretnih komponenti (diskretnih tranzistora i otpornika). Razvojem tehnologije integrisanih kola, postalo je moguće smestiti veći broj tranzistora, a onda i kompletno digitalno kolo na jedan čip, što je dovelo do značajnog koraka u razvoju “inteligentnih semafora”. Poslednjih godina realizacija “inteligentnih semafora” se najčešće vrši pomoću programabilnih logičkih kontrolera [7] i mikrokontrolera [8]. U ovom radu prikazan je

razvoj "inteligentnog semafora" korišćenjem Altium-ovog Nano-board-a 3000 sa Xilinx-ovim FPGA (Field Programmable Gate Array) čipom Spartan 3AN XC3S1400 AN [9, 10]. Treba napomenuti da je Nano-board-om 3000 omogućen ceo proces, od projektovanja, razvoja, verifikacije, pa do same realizacije ovog digitalnog sistema. Na kraju rada prikazana je praktična realizacija "inteligentnog semafora" upotrebom diskretnih komponenti.

II. KONCEPT RAZVOJA UREĐAJA ZA REGULACIJU SAOBRAĆAJA

A. Opis zahteva sistema

Pored raskrsnica gde je saobraćaj ravnomerno raspoređen po pravcima, gotovo u svim sredinama postoji izvestan broj raskrsnica gde je jedan pravac (ulica) značajno opterećeniji od drugog pravca. Za takve raskrsnice potrebno je razviti digitalni hardver koji omogućava maksimalnu protočnost vozila na pravcu koji je opterećeniji vozilima. Osnovni zahtev koji bi trebalo da ispuni ovakav digitalni uređaj je da omogući minimalno trajanje dozvoljenog prolaza (zeleno svetlo) na glavnoj ulici (G) od 25 s i da se takvo stanje zadržava sve do dolaska vozila u sporednu ulicu (S). Dolazak vozila u sporednu ulicu inicira promenu stanja na semaforu, tako da se omogući prolaz pristiglih vozila. Trajanje dozvoljenog prolaza u sporednoj ulici je sve do prolaska svih vozila koja dolaze iz sporedne ulice, a najduže 25 s. To znači da prilikom kontinuiranog dolaska vozila iz sporedne ulice semafor radi u normalnom režimu rada, sa podjednakim trajanjem stanja "dozvoljeni prolaz" i "stop" na glavnoj i sporednoj ulici. Između stanja "dozvoljeni prolaz" i "stop" postoji stanje "upozorenja" (žuto svetlo na semaforu) koje traje 4 s. Grafički prikaz raskrsnice dat je na slici 1. Možemo videti da su na slici pored semafora G i S označeni i semafori za pešake na glavnoj (označen sa PG) i na sporednoj ulici (označen sa PS). Treba napomenuti da su na ovakvoj raskrsnici semafori PG i PS postavljeni još na po tri mesta, a semafori G i S još na po jedno mesto.



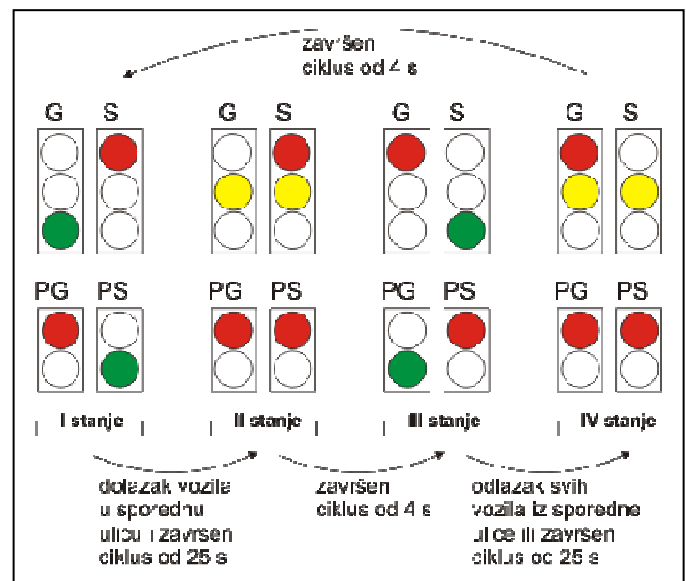
Slika 1. Izgled raskrsnice

Na kraju, treba istaći da na ovakvoj raskrsnici treba omogućiti i aktiviranje stanja "dozvoljeni prolaz za pešake" na osnovu zahteva pešaka kada želi da pređe glavnu ulicu. Naime, ako nema vozila u sporednoj ulici pešaci koji žele da pređu glavnu ulicu ne bi bili u mogućnosti da to učine. Kako se

zeleno svetlo za pešake na semaforu PG poklapa sa zelenim svetlom na semaforu S, očigledno je dolazak vozila iz sporedne ulice ima isti efekat kao i zahtev pešaka da pređe glavnu ulicu, što znatno pojednostavljuje rešenje.

B. Razvoj blok dijagrama sistema

Prema opisu zahteva sistema očigledno je da bi ovaj digitalni uređaj trebalo da kontroliše sistem od 10 sijalica (po tri za semafore za automobile na glavnoj (G) i sporednoj ulici (S) i po dve za semafore za pešake na glavnoj (PG) i sporednoj ulici (PS)). Koja od tih sijalica će biti uključena, pored zahteva opisanih u prethodnom odeljku, zavisi i od zakonske regulative i pravila u saobraćaju. Na slici 2 grafički je prikazan način uključivanja svih sijalica u okviru sva četiri stanja semafora koja se mogu detektovati na ovoj raskrsnici.



Slika 2. Grafički prikaz svih stanja semafora na raskrsnici

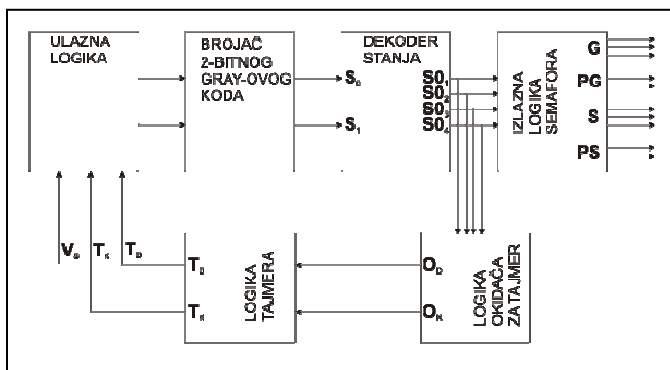
Sa slike 2 je očigledno da su promenljive od kojih zavisi prelazak iz prethodnog u naredno stanje:

- prisustvo vozila u sporednoj ulici (V_S),
- 25 s, trajanje dugog tajmera (T_D) i
- 4 s, trajanje kratkog tajmera (T_K).

Na osnovu napred navedenog možemo zaključiti da ovaj sistem ima ulaznu logiku koja, zavisno od stanja ulaznih promenljivih: V_S , T_D i T_K , sekvencijalno određuje izlaznu logiku, odnosno neko od četiri stanja prikazanih na slici 2. Tom izlaznom logikom semafora regulisana je svaka sijalica:

- GC, GŽ i GZ (crvena, žuta i zelena sijalica za semafor za automobile na glavnoj ulici),
- SC, SŽ i SZ (crvena, žuta i zelena sijalica za semafor za automobile u sporednoj ulici),
- PGC, i PGZ (crvena i zelena sijalica za semafor za pešake na glavnoj ulici) i
- PSC, i PSZ (crvena i zelena sijalica za semafor za pešake u sporednoj ulici).

Na slici 3. prikazan je kompletan blok dijagram semafora koji omogućava izvršenje napred navedenih zahteva.



Slika 3. Blok dijagram logike semafora

Blokovi prikazani na dijagramu imaju sledeće funkcije:

- Ulazna logika i brojač 2-bitnog Grey-ovog koda - čine sekvencijalnu logiku koja na osnovu ulaznih promenljivih (V_s , T_D i T_K) generiše jednu od četiri sekvence,
- Dekoder stanja - dekodira 2-bitni Gray-ov kod i određuje naredno stanje sistema,
- Izlazna logika semafora - na osnovu stanja koje dobija iz dekodera aktivira odgovarajuće signale na sijalicama semafora,
- Logika okidača - na osnovu stanja koje dobija iz dekodera aktivira kratki ili dugi tajmer,
- Logika tajmera - generiše intervale čije je trajanje 25 s i 4 s.

U tabeli I data je tablica prelaza za sva stanja koja su prikazana na blok dijagramu.

TABELA I. TABLICA PRELAZA STANJA ZA SVE SIGNALNE PRIKAZANE U BLOK DIJAGRAMU INTELIGENTNOG SEMAFORA

Blok	Brojač Grey-ovog koda		Dekoder stanja				Logika tajmera		Logika okidača za tajmer		Izlazna logika semafora									
											Glavna ulica semafor za automobile		Glavna ulica semafor za pešake		Sporodna ulica semafor za automobile		sporedna ulica semafor za pešake			
Signal/stanje	S_1	S_0	S_0_1	S_0_2	S_0_3	S_0_4	T_D	T_K	O_D	O_K	GC	GŽ	GZ	PGC	PGZ	SC	SŽ	SZ	PSC	PGZ
I stanje	0	0	1	0	0	0	1	0	1	0	0	0	1	1	0	1	0	0	0	1
II stanje	0	1	0	1	0	0	0	1	0	1	0	1	0	1	0	1	1	0	1	0
III stanje	1	1	0	0	1	0	1	0	1	0	1	0	0	0	1	0	0	1	1	0
IV stanje	1	0	0	0	0	1	0	1	0	1	1	1	0	1	0	0	1	0	1	0

III. REALIZACIJA SISTEMA KORIŠĆENJEM ALTIIUM DESIGNER-A I NANOBOARD-A 3000

A. Korišćenje Altium Designer-a za razvoj sistema

Minimizacijom logičkih funkcija za sve signale koji su prikazani u tabeli I moguće je pojedinačno realizovati sve blokove iz dijagrama prikazanog na slici 3. Šema sastavljena od logičkih kola rađena u Altium Designer-u Summer 09 [11] prikazana je na slici 4. Treba napomenuti da Altium Designer omogućava mnogo jednostavniju realizaciju svih blokova ako se njihovo funkcionisanje opiše VHDL jezikom [12]. Međutim, zbog same praktične realizacije sistema, koja je data na kraju ovog rada, izbegli smo korišćenje VHDL jezika.

B. Korišćenje Nanoboard-a 3000 za verifikaciju rada sistema

Altium-ov Nanoboard 3000 je razvojno okruženje koje je vrlo pogodno i za samu verifikaciju rada digitalnog uređaja koji je projektovan. Iz tih razloga na slici 4 možemo videti neke blokove kojih nema u blok dijagramu prikazanom na slici 3. Naime, kako Nanoboard 3000 ima 8 RGB LED dioda [13], koje su preko izlaznih linija kontrolisane FPGA kolom, moguće je pomoću njih napraviti kompletan semafor (po tri za semafore G i S, i po jedna za semafore PG i PS). Nedostatak dve diode (semafor kontroliše deset sijalica) prevaziđen je tako što su pešački semafori realizovani korišćenjem jedne diode koja po potrebi svetli crveno ili zeleno (na pešačkom semaforu

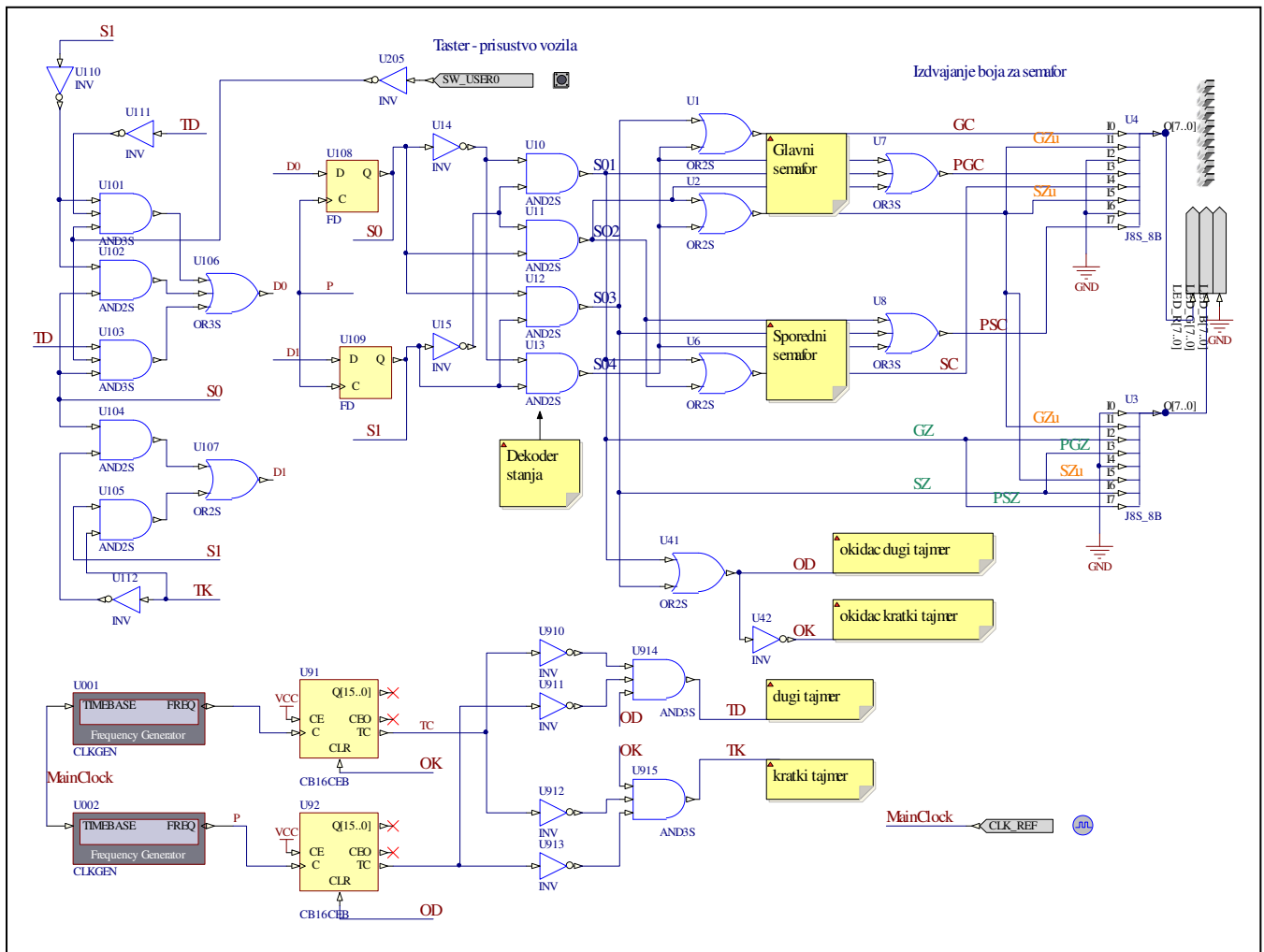
crvena i zelena sijalica nikada nisu uključene istovremeno). Kako bi se omogućilo da svaka od dioda svetli željenom bojom razvijena je logika koja je prikazana na slici 4 (izdvajanje boja za semafor). Za simulaciju rada semafora bilo je potrebno i registrovati prisustvo vozila u sporednoj ulici, pa je u te svrhe upotrebljen jedan od pet tastera koji se nalaze na Nanoboard-u 3000 [14], a čije stanje predstavlja ulazni signal za FPGA kola. Prednost Nanoboard-a 3000 sa Xilinx-ovim FPGA čipom Spartan 3AN XC3S1400 AN je što dizajneru ovog digitalnog hardvera na jednostavan način omogućava reprogramiranje FPGA i modifikaciju rada na osnovu kasnijih zahteva.

C. Korišćenje Nanoboard-a 3000 za realizaciju sistema

Osim za razvoj i verifikaciju Nanoboard 3000 može da se koristi i za samu praktičnu realizaciju sistema jer se za ovo razvojno okruženje proizvode specijalne kutije za njihovu montažu [15]. Preko digitalnih izlaza mogu se kontrolisati sijalice na semaforima, a preko analognih ili digitalnih ulaza mogu se prikupljati podaci sa detektora (prisustvo vozila i/ili pešaka) [16].

D. Korišćenje Altium Designera za izradu štampane pločice za potrebe praktične realizacije sistema

Altium Designer se takođe koristi i za izradu štampane pločice. Korišćenjem pravila za izradu štampanih pločica na osnovu šeme sastavljene od logičkih kola vrlo lako se vrši prebacivanje komponenata sa električne šeme na štampanu pločicu zajedno sa vezama.



Slika 4. Kompletna šema semafora namenjena za verifikaciju na Altium-ovom Nanobaord-u 3000

IV. PRAKTIČNA REALIZACIJA SEMAFORA

Prilikom praktične realizacije sistema upotrebom diskretnih komponenti izvršena je mala modifikacija šeme semafora sa slike 4. Prvo, većina pojedinačnih logičkih kola je zbog jednostavnosti prilikom praktične realizacije zamenjena odgovarajućim integrisanim kolima iz serije 74HCT [17]. Zatim, za realizaciju vremenskih intervala od 25 s i 4 s iskorišćeno je NE555 kolo u astabilnom režimu rada, što je podrazumevalo i upotrebu otpornika (i trimera za fino podešavanje) i kondenzatora [18]. Na kraju, praktična realizacija i izrada makete je podrazumevala uključivanje dioda odgovarajućih boja, pa je bilo potrebno dodati i otpornike za ograničavanje struje.

A. Korišćenje protoploče

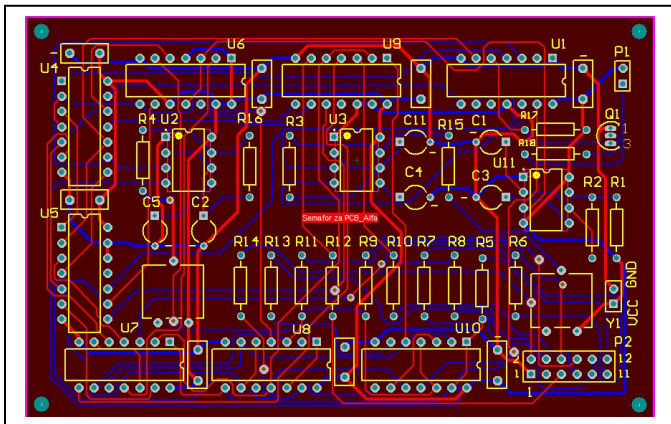
Pre same praktične realizacije sistema i izrade štampane ploče bilo je potrebno proveriti funkcionisanje sistema sastavljenog od diskretnih komponenti. Naime, veliki problem koji može da se javi prilikom praktične realizacije je kašnjenje koje unose gejtovi i koje može da dovede do nesipravnog

funkcionisanja sistema. Zatim, tolerancije upotrebljenih komponenta mogu da dovedu do kašnjenja što može stvoriti kritične puteve u celom sistemu, odnosno neispravno funkcionisanje samog sistema. Takođe, trebalo bi obezbediti i stabilno napajanje integrisanih kola, radi njihovog normalnog funkcionisanja. Zbog napred navedenih problema ceo sistem je podvrgnut testiranju, što je realizovano korišćenjem diskretnih komponenti povezanih na protoploči. Za napajanje protoploče prilikom testiranja korišćeno je DC napajanje iz izvora Agilent 6645A [19]. Clock signal za testiranje sistema je doveden iz clock generatora Tektronix AFG 3102 [20]. Signali u sistemu su snimani korišćenjem osciloskopa Tektronix TDS 2024B [21]. Nakon uspešne verifikacije sistema korišćenjem protoploče prešlo se na izradu štampane pločice.

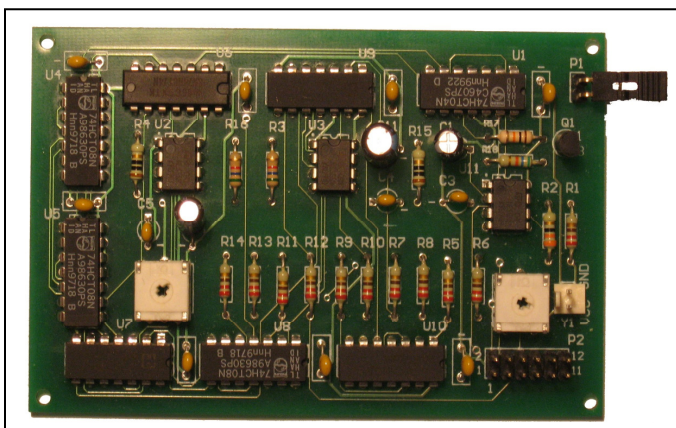
B. Korišćenje štampane pločice

Korišćenjem kompletne šeme sa slike 4 i napred navedenih zahteva uz pomoć Altium Designer-a projektovana je štampana pločica za realizaciju inteligentnog semafora. Pločica je rađena u dva sloja i predviđena je da se na njoj montiraju *through hole*

komponente. Izgled štampane pločice prikazan je na slici 5. Crvenom bojom su označene veze na gornjoj strani pločice, a plavom bojom sa donje strane pločice. Sama pločica realizovana u fabrici štampanih ploča Ei PCB Factory [22]. Realizovana i komponentama popunjena ploča prikazana je na slici 6. Napajanje ove pločice vrši se preko konektora Y1, prisustvo vozila na raskrsnici simulirano je kratkospajanjem P1, a verifikacija rada semafora vrši se pomoću DIL konektora P2. Deset izvoda DIL konektora P2 direktno se vezuje na diode (crvene, zelene i žute) pomoću kojih su napravljeni semafori na glavnoj i sporednoj ulici za automobile i pešake.



Slika 5. Izgled štampane ploče



Slika 6. Izgled štampane ploče sa komponentama sa gornje strane

V. ZAKLJUČAK

U ovom radu detaljno je opisano projektovanje, razvoj i praktična realizacija jednog tipa inteligentnog semafora. Razvoj inteligentnog semafora sproveden je korišćenjem Altium-ovog Nanoboard-a 3000 sa Xilinx-ovim FPGA čipom Spartan 3AN XC3S1400 AN. Prednost ovakve realizacije je što dizajneru ovog digitalnog hardvera, po potrebi, na vrlo jednostavan način omogućava reprogramiranje FPGA i modifikaciju rada na osnovu kasnijih zahteva naručioca.

ZAHVALNICA

Ovaj rad realizovan je u okviru Projekata Ministarstva za nauku i tehnološki razvoj Republike Srbije, #141048 i TR-11018.

LITERATURA

- [1] J. Pollard, "The eccentric engineer," The Institution of Engineering and Technology, Engineering & Technology Magazine, issue 15, September 2008.
- [2] L. Day, I. McNeil, Biographical dictionary of the history of technology, Taylor & Francis, 1996, pp. 404-405.
- [3] G.M. Sessions, Traffic Devices: historical aspects thereof, Washington, Institute of traffic engineers, 1971.
- [4] V. Gradinescu, C. Gorgorin, R. Diaconescu, V. Cristea, L. Iftode, "Adaptive Traffic Light Using Car-to-car Communication," IEEE 65th Vehicular Technology Conference, 2007. VTC2007-Spring, pp. 21-25, April 2007.
- [5] M. Tubaishat, Y. Shang, H. Shi, "Adaptive Traffic Light Control with Wireless Sensors Networks," IEEE Consumer Communications and Networking Conference, pp.187-191, January 2007.
- [6] M. Shenoda, R. Machemecl, "Development of Phase-by-Phase, Arrival Based, Delay-Optimized Adaptive Traffic Signal Control Methodology with Metaheuristic Search," Report No. SWUTC/06/167863-1, Centar for Transportation Research, University of Texas Austin, October 2006.
- [7] Programmable Logic Control Applications, 34 series, Traffic Signal Control 34-402, http://www.imex.ie/files/u3/plc34series_pdf_99794.pdf
- [8] M. Petković, R. Rakić, "Realizacija semafora na bazi mikrokontrolera AT89S8253," Projekat iz predmeta Embeded sistemi, Elektronski fakultet, Univerzitet u Nišu, Jul 2007.
- [9] http://nb3000.altium.com/PDFs/NB3000%20Product%20Data%20Sheet_en.pdf
- [10] http://china.xilinx.com/publications/prod_mktg/pn002011.pdf
- [11] http://altium.com/products/altium-designer/en/altium-designer_home.cfm
- [12] J.V. der Spiegel, VHDL Tutorial, University of Pennsylvania, Department of Electrical and System Engineering, http://www.seas.upenn.edu/~ese201/vhdl/vhdl_primer.html
- [13] <http://wiki.altium.com/display/ADOH/NanoBoard+3000++RGB+User+LEDs>
- [14] <http://wiki.altium.com/display/ADOH/NanoBoard+3000++Generic+User+Switches>
- [15] <http://nb3000.altium.com/PDFs/NB3000%20Modular%20Enclosure%20Datasheet.pdf>
- [16] <http://wiki.altium.com/display/ADOH/NanoBoard+3000++User+IO+Headers>
- [17] <http://pdf1.alldatasheet.com/datasheet-pdf/view/82773/PHILIPS/74HCT.html>
- [18] http://www.datasheetcatalog.com/datasheets_pdf/N/E/5/5/NE555.shtml
- [19] <http://www.home.agilent.com/agilent/product.jsp?pn=6645a>
- [20] <http://www2.tek.com/cmswpt/psdetails.lotr?ct=PS&ci=13567&cs=psu&lc=EN>
- [21] <http://www2.tek.com/cmswpt/tidetails.lotr?ct=TI&cs=pos&ci=14992&lc=EN>
- [22] <http://www.eipcb.co.rs/index.html>

Abstract—The big problem of most urban areas is a permanent increase in the number of motor vehicles which is in contrast with legacy transport networks. Modification of traffic light systems can significantly regulate the overflowing traffic flows and improve traffic flow in urban areas. In this paper the development of an intelligent traffic light system using Altium Nanoboard-3000 is described. Finally, a practical implementation of traffic light system using discrete components is presented.

Keywords—Intelligent traffic light system; nanoboard 3000; FPGA

Realization of Intelligent Traffic Light System based on Nanoboard 3000

Један једноставан начин решавања експоненцијалних водова са губицима

Милорад Бајић
Електротехнички факултет
Бања Лука, Босна и Херцеговина
milb@etfbl.net

Злата Ж. Цветковић
Електронски факултет у Нишу,
Ниш, Србија
zlata.cvetkovic@elfak.ni.ac.rs

Садржај—У раду је приказан један нов једноставан поступак за прорачун експоненцијалних водова са губицима. Тај поступак је примењен на неколико примера експоненцијалног вода са термогеним губицима у проводницима.

Кључне речи—експоненцијални вод; коефицијент трансмисије; коефицијент рефлексије; однос трансформације

I. УВОД

Основна употреба нехомогених водова је, од самог њиховог почетка кориштења, у сврху широкопојасног прилагођења импеданси. Касније је установљено да се они могу користити и у друге различите сврхе, као резонатори, филтри, линије за кашњење итд.

Постоји велики број радова у којима се анализирају експоненцијални водови као један сегмент нехомогених водова. У већини радова реални водови се апроксимирају идеалним водовима, тако што се занемарују и губици у диелектрику и губици у проводницима вода [1-4]. Мањи број радова је посвећен анализи водова са несавршеним диелектриком [5] или са несавршеним проводницима [6-8].

У овом раду је за једну класу нехомогених водова, експоненцијалне водове, показано у којим случајевима се решења за напон и струју, а онда и за остале параметре вода, могу добити у аналитичком облику. Пошто то није могуће у случају вода са несавршеним проводницима, предложена је једна једноставна апроксимација која омогућује добијање таквог решења. Предложени поступак је примењен на неколико примера и показао се веома добар.

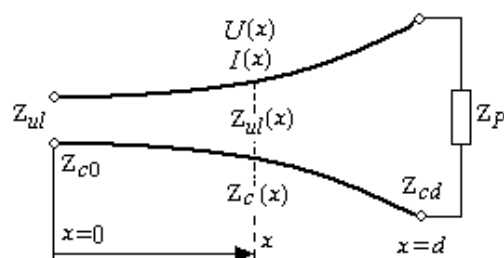
II. НЕХОМОГЕНИ ВОДОВИ

На слици 1 шематски је приказан нехомоген вод дужине d . Подужна импеданса Z' и подужна адмитанса Y' се мењају дуж осе x ,

$$Z' = Z'(x) = R'(x) + j\omega L'(x), \quad (1a)$$

$$Y' = Y'(x) = G'(x) + j\omega C'(x). \quad (1b)$$

где су $R'(x)$ подужна отпорност, $L'(x)$ подужна индуктивност, $G'(x)$ подужна одводност и $C'(x)$ подужна капацитивност на месту x , а ω кружна фреквенција.



Сл.1. Шематски приказ нехомогеног вода.

Напон $U(x)$ и струја $I(x)$ на воду, у комплексном домену, задовољавају једначине телеграфичара

$$\frac{dU(x)}{dx} = -Z'(x)I(x), \quad (2a)$$

$$\frac{dI(x)}{dx} = -Y'(x)U(x). \quad (2b)$$

Горње једначине важе уколико су напон и струја на воду простопериодичне величине, кружне фреквенције ω , а стање на воду блиско ТЕМ режиму.

Елиминацијом струје $I(x)$, односно напона $U(x)$, из горњих једначина добијају се диференцијалне једначине другог реда за напон и струју

$$\frac{d^2U(x)}{dx^2} - \frac{1}{Z'} \frac{dZ'}{dx} \frac{dU(x)}{dx} - Z'Y'U(x) = 0, \quad (3a)$$

$$\frac{d^2I(x)}{dx^2} - \frac{1}{Y'} \frac{dY'}{dx} \frac{dI(x)}{dx} - Z'Y'I(x) = 0. \quad (3b)$$

У општем случају за произвољан нехомогени вод, диференцијалне једначине нису хомогене и немају решење у затвореном облику.

Секундарни параметри вода су карактеристична импеданса

$$Z_c(x) = \sqrt{\frac{Z'(x)}{Y'(x)}} \quad (4)$$

и константа простирања

$$\gamma(x) = j\beta(x) = \sqrt{Z'(x)Y'(x)}. \quad (5)$$

Величине значајне за анализу водова су улазна импеданса

$$Z_{ul} = \frac{U(x=0)}{I(x=0)}, \quad (6)$$

улазни коефицијент рефлексије напона

$$\Gamma_{ul} = \frac{Z_{ul} - Z_c(x=0)}{Z_{ul} + Z_c(x=0)} \quad (7)$$

и коефицијент трансмисије напона

$$\xi = \frac{U(x=d)}{U_{inc}}, \quad (8)$$

где је U_{inc} инцидентни талас напона

$$U_{inc} = \frac{U(x=0)}{1 + \Gamma_{ul}}. \quad (9)$$

III. ЕКСПОНЕНЦИЈАЛНИ ВОД

Није тешко уочити да се једно од могућих решења једначина (3а) и (3б) може добити у случају да су коефицијенти диференцијалних једначина константни, тј. када је

$$\frac{1}{Z'(x)} \frac{dZ'(x)}{dx} = const \quad (10a)$$

$$Z'(x)Y'(x) = const. \quad (10b)$$

Једначине (10а) и (10 б) важе када је

$$Z'(x) = Z'_0 e^{2qx}, \quad (11a)$$

$$Y'(x) = Y'_0 e^{-2qx}, \quad (11b)$$

где је Z'_0 вредност подужне импедансе, а Y'_0 подужне адмитансе на месту $x = 0$. Константа q дефинише тип и брзину промене примарних параметара дуж експоненцијалног вода, $q = \frac{1}{d} \ln P$, где је $P = \frac{Z_{cd}}{Z_{c0}}$ однос трансформације. Z_{c0} је карактеристична импеданса вода на месту, $x = 0$, а Z_{cd} карактеристична импеданса на крају вода на месту, $x = d$.

Пошто се подужни параметри мењају по експоненцијалном закону овакав нехомогени вод се назива експоненцијални. У овом случају секундарни параметри вода су

$$Z_c(x) = \sqrt{\frac{Z'_0}{Y'_0}} e^{2qx} = Z_{c0} e^{2qx}, \quad (12a)$$

$$\gamma = \gamma(x) = \sqrt{Z'_0 Y'_0} = const. \quad (12b)$$

Диференцијалне једначине за напон и струју (3) сада имају облик

$$\frac{d^2 U(x)}{dx^2} - 2q \frac{dU(x)}{dx} - \gamma^2 U(x) = 0, \quad (13a)$$

$$\frac{d^2 I(x)}{dx^2} + 2q \frac{dI(x)}{dx} - \gamma^2 I(x) = 0. \quad (13b)$$

Њихова решења су облика

$$U(x) = C_1 e^{k_1 x} + C_2 e^{k_2 x}, \quad (14a)$$

$$\begin{aligned} I(x) &= -\frac{1}{Z'(x)} (k_1 C_1 e^{k_1 x} + k_2 C_2 e^{k_2 x}) = \\ &= -\frac{1}{\gamma(x) Z_c(x)} (k_1 C_1 e^{k_1 x} + k_2 C_2 e^{k_2 x}), \end{aligned} \quad (14b)$$

где су

$$k_1 = q + jp, \quad (15a)$$

$$k_2 = q - jp, \quad (15b)$$

$$p = \sqrt{-\gamma^2 - q^2}. \quad (15c)$$

Константе C_1 и C_2 се могу добити из граничних услова

$$U(x=0) = 1V \quad (16a)$$

и

$$U(x=d) = Z_p I(x=d). \quad (16b)$$

Ако се узме да се карактеристична импеданса мења континуално и да на крају вода $x = d$ она износи

$$Z_{cd} = Z_c(x=d) = Z_p, \quad (16c)$$

из једначина (14) и (16) се добија

$$C_1 = \frac{(k_2 + \gamma)e^{k_2 d}}{(k_2 + \gamma)e^{k_2 d} - (k_1 + \gamma)e^{k_1 d}}, \quad (17a)$$

$$C_2 = \frac{(k_1 + \gamma)e^{k_1 d}}{(k_1 + \gamma)e^{k_1 d} - (k_2 + \gamma)e^{k_2 d}}. \quad (17b)$$

Може се поставити питање на које експоненцијалне водове се односи овај прорачун. Очигледно је да је кључни услов да се подужни параметри вода мењају дуж осе вода по експоненцијалном закону. Сада ће бити размотрено који водови задовољавају постављени услов.

A. Идеални експоненцијални вод

Идеални експоненцијални вод је апроксимација реалног експоненцијалног вода, коју веома често користе многи аутори у својим радовима. Код таквог вода је $G'(x) = 0$, $R'(x) = 0$, $L'(x) = L'_0 e^{2qx}$ и $C'(x) = C'_0 e^{-2qx}$, где су L'_0 и C'_0 вредности подужне индуктивности и капацитивности на почетку вода. Из једначина (1a) и (1b) се види да се $Z'(x)$ и $Y'(x)$ мењају по експоненцијалном закону, па секундарни параметри износе

$$Z_c(x) = \sqrt{\frac{L'_0}{C'_0}} e^{2qx} = Z_{c0} e^{2qx}, \quad (18a)$$

$$\gamma = \gamma(x) = j\omega \sqrt{L'_0 C'_0} = j\beta = const. \quad (18b)$$

Очигледно је да се решења за напон и струју могу добити у облику (14), водећи рачуна о (15) и (17).

B. Експоненцијални вод са несавршеним диелектриком

Ако се код експоненцијалног вода, код кога се подужна индуктивност и подужна капацитивност мењају по експоненцијалном закону, губици у диелектрику не могу занемарити, онда се решење за напон и струју могу добити у аналитичком облику у случају да је диелектрик хомоген и линеаран. У том случају постоји добро позната веза између подужне проводности и подужне капацитивности вода,

$$G'(x) = \frac{\sigma_d}{\varepsilon} C'(x), \quad (19)$$

где је σ_d специфична проводност, а ε диелектрична константа диелектрика.

Под наведеним условима ће се подужна проводност мењати по истом закону по коме се мења подужна капацитивност, тако да је

$$Y'(x) = j\omega(1 - j\frac{\sigma_d}{\omega\varepsilon})C'_0 e^{-2qx}.$$

Одавде се добија да је

$$Z_c(x) = \sqrt{\frac{L'_0}{(1 - j\frac{\sigma_d}{\omega\varepsilon})C'_0}} e^{2qx}, \quad (20a)$$

$$\gamma = \gamma(x) = j\omega \sqrt{(1 - j\frac{\sigma_d}{\omega\varepsilon})L'_0 C'_0} = const, \quad (20b)$$

па се решења за напон и струју и у овом случају добијају у облику (14).

C. Експоненцијални вод са несавршеним проводницима

Када је реч о експоненцијалном воду са савршеним диелектриком код кога постоје губици у проводницима, онда је $G'(x) = 0$ и $R'(x) \neq 0$, а најчешћи случај је $R'(x) = R' = const$. Ово је добра апроксимација за двојични вод, за који вреди

$$R' = \frac{1}{\pi r_0} \sqrt{\frac{\omega\mu_0}{2\sigma}}, \quad (21)$$

где је r_0 полупречник проводника, σ специфична проводност, а $\mu_0 = 4\pi \cdot 10^{-7} H/m$ пермеабилност проводника.

Очигледно је да подужна импеданса $Z'(x) = R'(x) + j\omega L'_0 e^{2qx}$ не задовољава услов за добијање решења једначине (3) у аналитичком облику.

У циљу кориштења аналитичког решења облика (14) у овом раду је предложена апроксимација која се састоји у томе да се константна подужна отпорност замени са подужном отпорношћу која се мења по истом експоненцијалном закону као и подужна индуктивност, с тим да је на средини вода, на месту $x = d/2$, она једнака стварној вредности. Према предложеној апроксимацији треба да је

$$R'(x) = R'_0 e^{2qx}, \quad (22a)$$

где је

$$R'_0 = R' e^{-qd} \quad (22b)$$

а R' дато са (21).

У овом случају подужна импеданса има жељени облик,

$Z'(x) = (R'_0 + j\omega L'_0) e^{2qx}$, и пошто је подужна адмитанса $Y'_0 = j\omega C'_0 e^{-2qx}$, добијају се секундарни параметри потребни за решење (14)

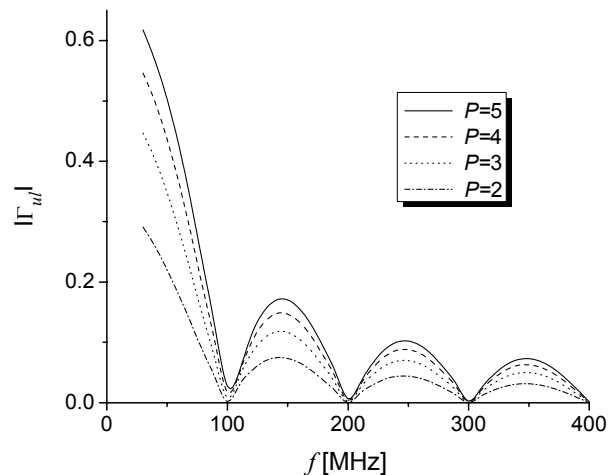
$$Z_c(x) = \sqrt{\frac{L'_0}{C'_0} - j \frac{R'_0}{\omega C'_0}} e^{2qx}, \quad (23a)$$

$$\gamma = \gamma(x) = \sqrt{-\omega^2 (L'_0 C'_0 - j \frac{R'_0 C'_0}{\omega})}. \quad (23b)$$

IV. НУМЕРИЧКИ РЕЗУЛТАТИ

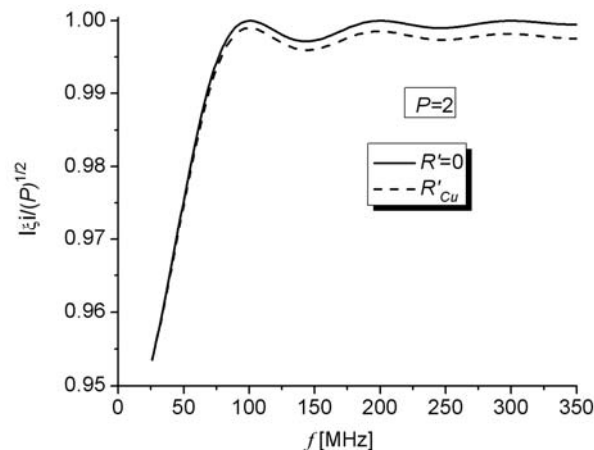
Предложени поступак је примењен на прорачун експоненцијалног вода са губицима, чији су проводници, дужине $d=1,5m$, начињени од бабра, специфичне проводности $\sigma = 58MS/m$. Узето је да подужна индуктивност на почетку вода ($x=0$) износи $L'_0 = 1\mu H/m$, а подужна капацитивност $C'_0 = 100pF/m$, тако да је вредност карактеристичне импедансе на том месту $Z_{c0} = 100\Omega$ [8]. Полупречници проводника вода су $r_0 = 1mm$, а коефицијент експоненцијалног вода $q = 1/(2d) \ln(Z_{cd}/Z_{c0})$.

На слици 2. приказана је зависност модула коефицијента рефлексије на улазном крају експоненцијалног вода са губицима од фреквенције, при различитим односима трансформације. Види се да је овај коефицијент већи за веће односе трансформације, нарочито при нижим фреквенцијама. У пропусном опсегу утицај односа трансформације није значајан.

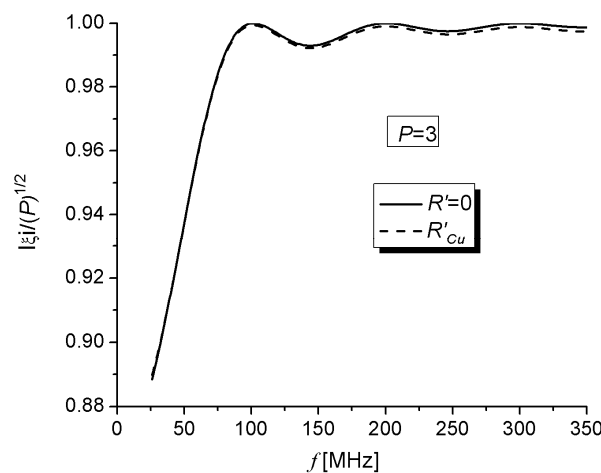


Сл. 2. Зависност модула коефицијента рефлексије од фреквенције.

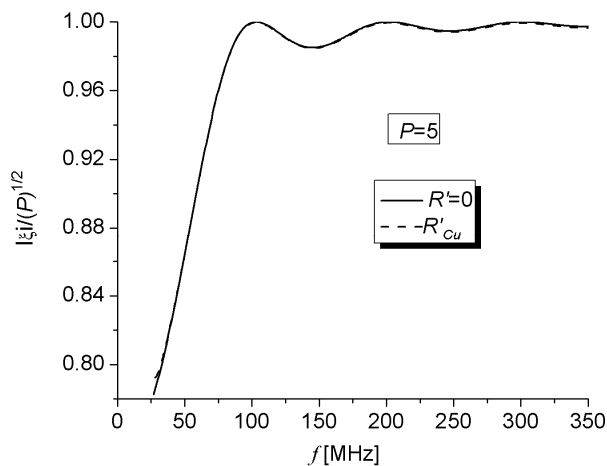
На сликама 3 - 5 приказана је зависност модула коефицијента трансмисије од фреквенције при односима трансформације $P = 2, 3$ и 5 , респективно. За сваку вредност односа трансформације извршено је поређење овог коефицијента за случај идеалног вода и вода са губицима.



Сл.3. Зависност модула коефицијента трансмисије од фреквенције за $P=2$



Сл.4. Зависност модула коефицијента трансмисије од фреквенције за $P=3$



Сл.5. Зависност модула коефицијента трансмисије од фреквенције за $P=5$

Са приказаних слика се види да се у пропусном опсегу вредност овог коефицијента приближава јединици. Он је нешто већи за мање вредности односа трансформације. У случају термогених губитака модуо коефицијента трансмисије се смањује, али је ово смањење значајније за случајеве мањих односа трансформације. Занимљиво је да се са повећавањем фреквенције, и поред тога што се повећа подужна отпорност R' , не смањује модуо коефицијента трансмисије, већ остаје скоро непромењен.

V. ЗАКЉУЧАК

У раду је анализиран један нов полу-аналитички метод решавања експоненцијалних водова са губицима, и кад се ради о губицима у диелектрику и кад се ради о губицима у проводницима.

У циљу илустрације овог метода извршен је прорачун параметара за неколико експоненцијалних водова са термогеним губицима у проводницима.

Резултати добијени на овај начин показују веома добру подударност са резултатима добијеним другим методама ([6] и [8]).

Добијени резултати показују да термогени губици у проводницима експоненцијалних водова не нарушавају много њихова широкопојасна трансформаторска својства.

ЛИТЕРАТУРА

- [1] C. R. Burrows, "The exponential transmission line", Bell. Syst. Tehn. Journal, Vol. 17, 1938, pp. 555-573.
- [2] R. N. Ghose: "Exponential transmission lines as resonators and transformers", IRE Trans. Microwave Theory Techn., Vol. MTT – 5, 1957, pp. 213–217.
- [3] C. P. Womack: "The use of exponential lines as microwave components", IRE Trans. Microwave Theory Techn., Vol. MTT – 10, 1962, pp. 124–132.
- [4] M. J. Ahmed, "Impedance transformation equations for exponential, cosine-squared, and parabolic tapered transmission lines", IEE Trans, Microwave Theory Techn., Vol. 29, 1981, pp. 67-68.
- [5] S. He, "Closed-form solution for lossy exponential transmission line problem in frequency and time domains", Journal Electromag, Waves Applic. , Vol. 9, 1995, pp. 521-540.
- [6] M. Bajic, " A numerical solution for lossy exponential transmission line problem.", Proc. of Extended Abstracts 7th International Conference on Applied Electromagnetics ПЕС'05, Nis 2005, pp.127-128.
- [7] Z. Ž. Cvetković, M. Bajić, B. Petković, "Analysis of short-circuited exponential transmission line", Proc. of Extended Abstracts 8th International Conference on Applied Electromagnetics ПЕС '07, Niš 2007, pp. 145-146./
- [8] Z. Ž. Cvetković, B. R. Petković, M. J. Bajić, " Uticaj termogenih gubitaka na transformatorska svojstva ekspancijalnih vodova" , TELFOR'09, Beograd 2009, pp. 302-305.

Abstract—A new closed-form solution for loss exponential line problem in frequency domain is presented. The solving method is based on the approximation that the change of the resistance per unit length along the line is exponential.

Keywords—exponential transmission line; voltage transmission coefficient; voltage reflection coefficient; taper ratio

A Simple Method for Solving of Loss Exponential Transmission Lines

Linearization of Three-Way Doherty Amplifier with Harmonic Control Circuits

Aleksandar Atanasković, Nataša Maleš Ilić, Bratislav Milovanović

Faculty of Electronic Engineering
Niš, Serbia
aleksandar.atanaskovic@elfak.ni.ac.rs

Abstract—In this paper the operation behavior of three-way Doherty amplifier loaded with harmonic control circuits is analyzed, including the efficiency and linearity. Amplifier is designed in configuration with two quarter-wave impedance transformers in the output combining circuit with LDMOSFETs in carrier and peaking amplifiers in periphery relations 1:2.5:2.5. The signals for linearization (the fundamental signals' second harmonics-IM2 and fourth-order nonlinear signals-IM4 at frequencies that are close to the second harmonics) are extracted at the output of peaking cells biased at various points. The Doherty amplifier is designed with the frequency diplexer at the outputs of the Doherty cells that separates the fundamental signals and signals for linearization. The diplexer includes harmonic control circuit (HCC) which, in combination with the output matching of the second harmonics, provides an optimal impedance for IM2 and IM4 signals enabling their adequate power level and either an open or short circuit for the third harmonics. The linearization technique results in the suppression of the third- and fifth order intermodulation products of Doherty amplifier.

Keywords—Doherty amplifier; harmonic control circuit (HCC); fourth-order nonlinear signals; linearization; power-added-efficiency; second harmonics

I. INTRODUCTION

More than ever, the modern wireless communication industry has increased interest for the high-efficient and linear amplifiers to accommodate current communication standards. The third generation (3G) and beyond communication standards offer high data rate transmission and transmit power that carries high-peak-to-average ratio signals. Therefore, base-station amplifiers operate most of their time at lower power level than their maximum, which consequently degrades the efficiency. The Doherty amplifier that is capable of achieving the requirements of the power amplifiers in base station concerning high efficiency becomes attractive for wireless industry. The linearity of high power Doherty amplifier was improved using “post-distortion-compensation” [1], the feedforward linearization technique [2], the predistortion linearization technique [3] and combination of those two linearization techniques [4]. The linearization effects of the fundamental signals' second harmonics (IM2) and fourth-order nonlinear signals (IM4) at frequencies that are close to the second harmonics to the standard (two-way and three-way) Doherty amplifiers were investigated in [5] by applying the approach where IM2 and IM4 signals are injected together with the fundamental signals into the carrier amplifier input and put

at its output [6]. In papers [7-8], standard two-way Doherty amplifier was extended to support class-F operation in order to achieve higher efficiency. Additionally, feedforward and digital feedback predistortion linearization techniques were implemented in [7] and [8], respectively, to improve the linearity. The linearization of standard three-way Doherty amplifier with LDMOSFETs in carrier and peaking amplifiers in periphery relations 1:2.5:2.5 was considered in paper [9]. In addition, three-way Doherty amplifier was loaded with harmonic control circuit (HCC), which represents an optimal impedance for the second harmonics and an open circuit for the third harmonics at the output of the carrier cell. Also, it shorts the third harmonics at the outputs of the peaking cells. This configuration named HCC class-F-2IF was considered with the same transistor size [10] and with transistor size ratio 1:2.5:2.5 [11].

In this paper three-way Doherty amplifier named HCC class-IF-2F is analyzed with the combination of the cells loaded with HCC that is the short circuit for the third harmonics at the carrier cell output and open circuit at the two peaking amplifier outputs. The signals for linearization are extracted at the output of peaking cells that are biased at various points to provide the appropriate power levels and phase relations of IM2 and IM4 signals. After been adjusted in amplitude and phase the signals from the output of one peaking amplifier are injected at the input of carrier amplifier while ones appeared at the output of another peaking cell are put to the carrier amplifier output.

Section II and III includes the design of three-way Doherty amplifier with harmonic control circuit and circuit for linearization. All results referring to the intermodulation products and efficiency obtained in simulation for two sinusoidal as well as digitally modulated signals by applying the linearization approach are included in section VI. The conclusions are reported in section V.

II. THREE-WAY DOHERTY AMPLIFIER DESIGN

The amplifier is designed in configuration with two quarter-wave impedance transformers in the output combining circuit [12-13]. The output impedances of the amplifier cells are selected to satisfy the output power relations between the carrier and peaking cells. In addition, the transmission lines in the output combining circuit are practical for realization with not too high or too low characteristic impedances as shown in Fig. 1.

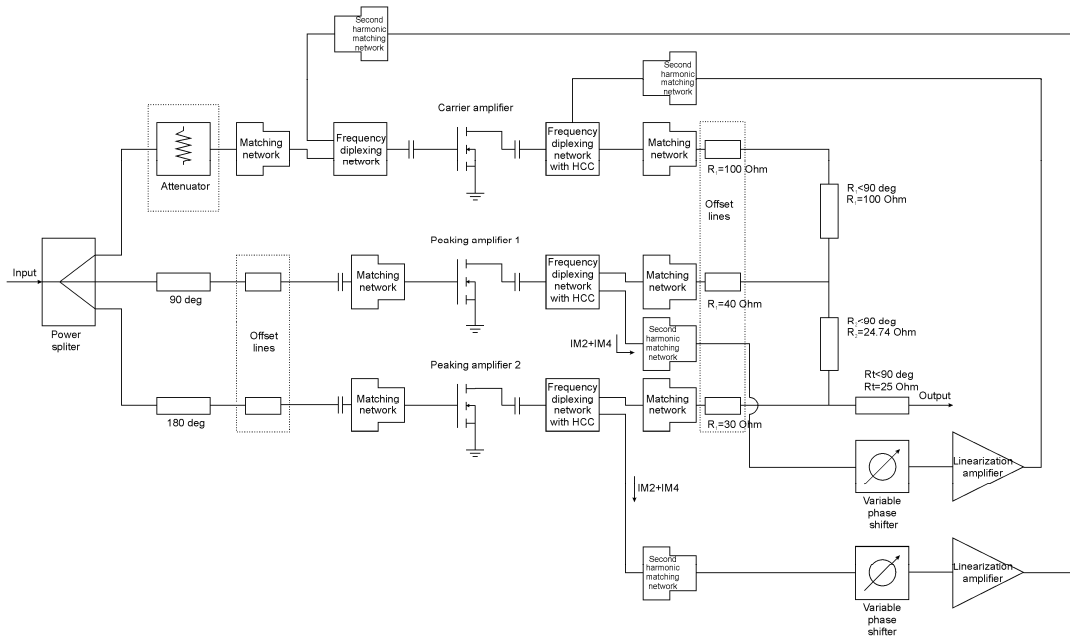


Figure 1. Three-way Doherty amplifier with additional circuit for linearization

The carrier amplifying cell was designed using Freescale's MRF281SR1 LDMOSFET with a 4-W peak envelope power level (PEP) according to the non-linear Motorola Electro-Thermal (MET) model included in ADS library. For the peaking cells Freescale's MRF282S LDMOSFET was utilized (MET model exhibits a 10-W PEP level).

The matching impedances for source and load of amplifying cells at 2.14GHz are selected to satisfy the high efficiency. The input matching is performed for 50Ω , while the output matching is designed to transform the optimum output impedance of the carrier and two peaking cells to 100Ω , 40Ω and 30Ω , respectively.

The carrier cell is biased at class-AB with $V_G = 5.1V$ ($13.5\%I_{DSS}$). Two peaking amplifiers operate in class-C. The drain bias voltage $V_D = 26V$ is the same for all cells.

Offset lines are incorporated at the output of peaking amplifier cells to minimize the effective loading of the peaking amplifiers in state when those amplifiers do not operate (low-power range). In order to compensate for phase relation distortion in Doherty amplifier an appropriated offset line is adjusted at the output of the carrier amplifier.

The peaking amplifiers are driven by signals with 1dB higher power than that of the carrier amplifier according to the analysis of uneven power drive performed in [14]. Maximum output power achieved by the Doherty configuration is 44dBm.

III. LINEARIZATION

Theoretical analysis of the linearization approach that uses the second harmonics and fourth-order nonlinear signals (IM2 and IM4) for linearization has been given in [5], [6]. According to this, it is possible to reduce spectral regrowth caused by the third-order distortion of fundamental signal by choosing the

appropriate amplitude and phase of IM2 signals injected at the input and output of the amplifier. Additionally, the fifth-order intermodulation products can be suppressed by adjusting the amplitude and phase of IM4 signals that are injected at the input of amplifier and put at its output.

The IM2 and IM4 signals generated at the output of peaking amplifiers are extracted through HCC diplexer circuits. It separates the fundamental signals and the signals for linearization (IM2 and IM4 signals) that are matched to the impedance for their adequate power level. Also, the frequency diplexer in configuration depicted in [5] is inserted at the carrier amplifier input with the independent matching circuits for the fundamental and signals for linearization. This configuration provides the linearization of Doherty amplifier by the simultaneous injection of IM2 and IM4 signals at the input and output of the carrier amplifier. Those signals are generated at the output of peaking amplifiers that are biased at different points to produce adequate amplitude and phase relations between IM2 and IM4 signals. The IM2 and IM4 signals are tuned in amplitude and phase by the amplifier and phase shifter over two paths as given in Fig. 1.

Consequently, the carrier amplifier is harmonically controlled at input and output. This configuration enables higher gain of class-AB carrier amplifier with lower power of intermodulation products in reference to the standard class-F amplifier biased at pinch-off [15].

IV. RESULTS

The results that relate to HCC class-IF-2F analyzed herein are compared to HCC class-F-2IF. The analysis includes the optimization of offset line length in the carrier cell output in order to compensate for the time delay between amplifying branches by considering the influence of additional circuit for linearization.

The HCC class-F-2IF has been already analyzed in [11]. However, the length of offset lines were not optimized with the addition of linearization circuits.

The results of linearization for two-tone test of three-way Doherty amplifier for both configurations (class-F-2IF and class-IF-2F) at frequencies 2.139GHz and 2.141GHz are given in Table I. These results are compared to the intermodulation products of Doherty amplifier when linearization is not carried out. It can be noticed that IM3 products are lessened for minimum 15dB (class-IF-2F) and 19dB (class-F-2IF) while IM5 products are lower for minimum 10dB for both configurations. Also, from Table I, it is evident that class-F-2IF has slightly lower intermodulation products after linearization than class-IF-2F. There is no significant degradation of the output fundamental signals in all cases.

Power-added-efficiency for the three-way class-F-2IF and class-IF-2F Doherty amplifiers before and after linearization is presented in Fig. 2. PAE before linearization relates to the case when amplifying cells are loaded for operation at standard class-F (short circuit for the second harmonics and open circuit for the third harmonics) or IF (open circuit for the second harmonics and short circuit for the third harmonics) in combinations denoted as F-2IF and IF-2F. A quiescent bias of carrier cell is 3.8V (pinch-off), a standard bias point for class-F and IF operation. PAE of class-F-2IF is 62% at maximum power (0dB back-off), 47% at 6dB back-off (38dBm total output power) and 33% at 12dB back-off (32dBm total output power). Under the same conditions, class-IF-2F exhibits 64%, 41% and 28% at 0dB, 6dB and 12dB back-off, respectively. PAE in case of the additional linearization circuit for class-F-2IF drops for 4%, 14% and 17% at 0dB, 6dB and 12dB back-off points, respectively, in reference to the case without linearization. For class-IF-2F, after linearization PAE drops for 7%, 7% and 10% at 0dB, 6dB and 12dB back-off points, respectively. It should be reminded that carrier cell is now biased at 5.1V. Also, Fig. 2 illustrates minor differences between PAE of class-F-2IF and class-IF-2F Doherty amplifiers after applying linearization.

The results from Fig. 3 show the effects of three-way Doherty amplifier linearization (class-F-2IF and class-IF-2F) for CDMA digitally modulated signal with 1.25MHz spectrum width with carrier at frequency 2.14GHz, which were accomplished for the average output power ranging from 35dBm to 40dBm. These results are compared to the case when linearization is not carried out. Fig. 3a relates to the improvement of adjacent channel power ratio (ACPR) at -900kHz while Fig. 3b relates to the improvement of ACPR at -2100kHz offsets from the carrier frequency. Fig. 3c and 3d show the results connected to the opposite offsets. The presented results relate to the case when the amplitudes and phases of IM2 and IM4 signals are adjusted on the optimal values for 38dBm average output power. It is evident from Fig. 3 that the linearization with the proposed approach gives satisfactory results in ACPR improvement at ± 900 kHz offset. After linearization, class-F-2IF has obviously lower ACPR at ± 900 kHz offset in whole power range. When ACPR at ± 2100 kHz is considered, it is evident that there is improvement but it is hard to say which configuration is better.

TABLE I. OUTPUT SPECTRUM OF THREE-WAY DOHERTY AMPLIFIER BEFORE AND AFTER THE LINEARIZATION FOR HCC CLASS-IF-2IF AND HCC CLASS-F-2IF FOR TWO-TONE TEST AT FREQUENCIES 2.139GHz AND 2.141GHz

Type	IM3 (dBm)			IM5 (dBm)			Fun. signals (dBm)		
	Freq. (GHz)	Bef.	Aft.	Freq. (GHz)	Bef.	Aft.	Freq. (GHz)	Bef.	Aft.
LDMOSFET size ratio 1:2.5:2.5, Input power 23dBm									
Class IF-2F	2.137	21.78	6.25	2.135	2.74	-7.27	2.139	36.71	36.11
	2.143	23.01	7.14	2.145	10.21	-6.26	2.141	36.59	36.41
Class F-2IF	2.137	19.79	0.04	2.135	-1.80	-11.96	2.139	36.96	36.23
	2.143	19.67	0.39	2.145	11.78	-9.76	2.141	36.94	36.27

TABLE II. AVERAGE OUTPUT POWER AND ACPR AT OFFSETS ± 900 KHz AND ± 2100 KHz FROM CARRIER FREQUENCY FOR THREE-WAY DOHERTY AMPLIFIER BEFORE AND AFTER THE LINEARIZATION FOR HCC CLASS-IF-2IF AND HCC CLASS-F-2IF IN CASE OF CDMA DIGITALLY MODULATED SIGNAL

Type	ACPR (dB)			ACPR (dB)			Fun. signals (dBm)	
	Offset (MHz)	Bef.	Aft.	Offset (MHz)	Bef.	Aft.	Bef.	Aft.
LDMOSFET size ratio 1:2.5:2.5, Input power 23dBm								
Class IF-2F	-0.9	-34.57	-49.98	-2.1	-50.42	-69.12	38.63	37.92
	+0.9	-33.49	-46.43	+2.1	-44.58	-63.53		
Class F-2IF	-0.9	-39.25	-54.64	-2.1	-51.98	-66.39	38.53	38.1
	+0.9	-40.48	-58.57	+2.1	-51.96	-60.75		

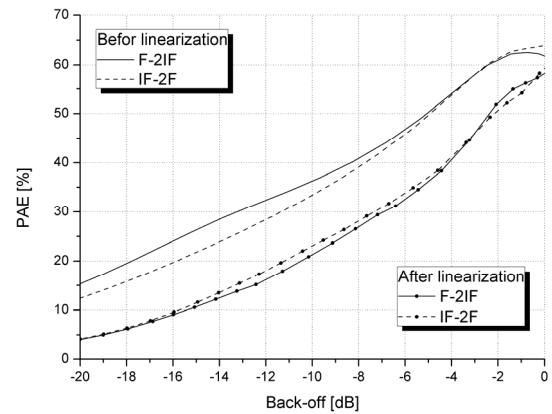


Figure 2. Power-added-efficiency of three-way Doherty amplifier

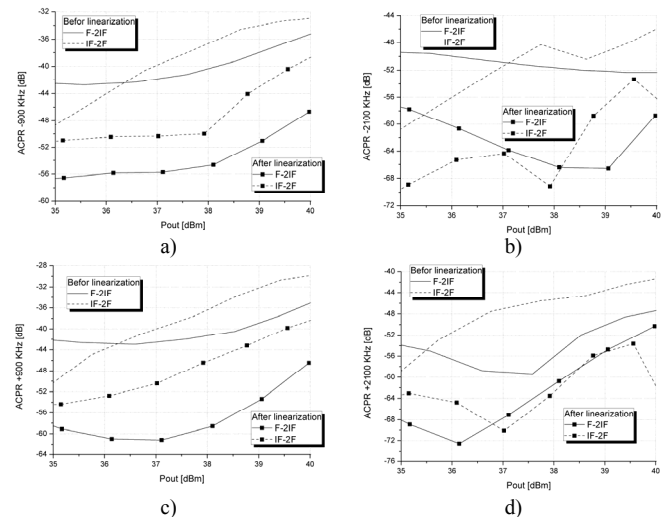


Figure 3. ACPR before and after linearization in case of HCC class-F-2IF and class-IF-2F three-way Doherty amplifiers for a power range at offsets from carrier frequency: a) -900kHz; b) -2100kHz; c) +900kHz; and d) +2100kHz

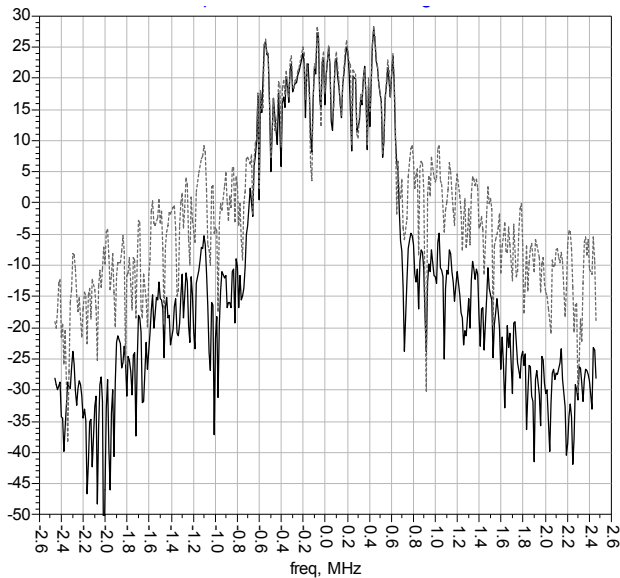


Figure 4. Simulated spectrum of the output signal for HCC class-IF-2F three-way Doherty amplifier for CDMA digitally modulated signal before (dashed line) and after the linearization (solid line)

The ACPRs obtained in simulation before and after the linearization for CDMA digitally modulated signal are compared in Table II. ACPR for class-F-2IF becomes better for 15dB and 18dB at ± 900 kHz offsets and 14dB and 8dB at ± 2100 kHz offsets. In the case of HCC class-IF-2F the improvement is around 15dB and 13dB at ± 900 kHz and 19dB and 20dB at ± 2100 kHz. It can be noticed that class-F-2IF has slightly better linearity than class-IF-2F.

Additionally, the output spectra obtained in simulation before and after linearization for HCC class-IF-2F, with output power 38dBm are shown in Fig. 4.

V. CONCLUSION

This paper presents the design of three-stage Doherty amplifier with LDMOSFETs in carrier and peaking amplifiers in size ratio 1:2.5:2.5. Amplifying cells are loaded with the frequency diplexer at the outputs which includes harmonic control circuit. It enables the optimal impedance for adequate power of the signals for linearization as well as a short circuit for the third harmonics at the output of the carrier cell and an open circuit at the output of peaking cells. For this configuration of three-way Doherty amplifier (denoted as HCC class-IF-2F) the linearization is carried out with the simultaneous injection of the second harmonics and fourth-order nonlinear signals (IM2 and IM4) at the input and output of the carrier cell. The linearization approach achieves very good results in the reduction of both IM3 and IM5 products retaining the high efficiency of Doherty amplifier (34% at 6dB back-off point). Additionally, since the peaking amplifiers are exploited as sources of signals for Doherty amplifier linearization there is no need for the additional nonlinear sources, which leads to lower energy consumption and simpler linearization circuit topology.

ACKNOWLEDGMENT

This work was supported by the Ministry of Science and Technological Development of Republic of Serbia, the project number TR-11033.

REFERENCES

- [1] K. J. Chao, W. J. Kim, J. H. Kim and S. P. Stapleton, "Linearity optimization of a high power Doherty amplifier based on post-distortion compensation", *IEEE Microwave and Wireless Components Letters*, vol.15, no.11, pp.748-750, 2005.
- [2] K. J. Cho, J. H. Kim and S. P. Stapleton, "A highly efficient Doherty feedforward linear power amplifier for W-CDMA base-station applications", *IEEE Trans., Microwave Theory Tech.*, vol. 53, no. 1, pp.292-300, 2005.
- [3] B. Shin, J. Cha, J. Kim, Y. Y. Woo, J. Yi, B. Kim, "Linear power amplifier based on 3-way Doherty amplifier with predistorter", *IEEE MTT-S Int. Microw. Symp. Digest*, pp.2027-2030, 2004.
- [4] T. Ogawa, T. Iwasaki, H. Maruyama, K. Horiguchi, M. Nakayama, Y. Ikeda and H. Kurebayashi, "High efficiency feed-forward amplifier using RF predistortion linearizer and the modified Doherty amplifier", *IEEE MTT-S Int. Microw. Symp. Digest*, pp.537-540, 2004.
- [5] Aleksandar Atanasković, Nataša Maleš-Ilić, Bratislav Milovanović, "The linearization of Doherty amplifier", *Microwave review*, No.1, Vol. 14, pp.25-34, September 2008.
- [6] A. Atanasković, N. Maleš-Ilić, B. Milovanović, "The suppression of intermodulation products in multichannel amplifiers close to saturation", *Proceedings of 11th WSEAS International Conference on Circuits*, pp. 198-201, Greece, July 2007.
- [7] Y. Suzuki, T. Hirota and T. Nojima, "Highly efficient feed-forward amplifier using a class-F doherty amplifier", *IEEE MTT-S Int. Microw. Symp. Digest*, pp.77-80, 2003.
- [8] J. Kim, J. Moon, Y. Y. Woo, S. Hong, I. Kim, J. Kim and B. Kim, "Analysis of a fully matched saturated Doherty amplifier with excellent efficiency", *IEEE Trans. Microwave Theory and Techniques*, vol. 56, pp. 328-339, 2008.
- [9] Aleksandar Atanasković, Nataša Maleš-Ilić, Bratislav Milovanović: "The linearization of high-efficiency three-way Doherty amplifier", *TELFOR2008, Conference Proceedings on CD*, 3.17, Beograd, Srbija, 25-27. Novembar, 2008.
- [10] Nataša Maleš-Ilić, Aleksandar Atanasković, Bratislav Milovanović: "Linearization of Harmonic Controlled Three-Way Doherty Amplifier", *ETRN2009, Conference Proceedings on CD*, MT2.3, Vrnjačka Banja, Srbija, 15-18. Jun, 2009.
- [11] Aleksandar Atanasković, Nataša Maleš-Ilić, Bratislav Milovanović: "Harmonic controlled three-way Doherty amplifier with improved efficiency and linearity", *Proceedings of the 9th International Conference on Telecommunications in Modern Cable, Satellite and Broadcasting Services - TELSIS 2009*, Niš, Serbia, October 7-9, Vol.1, pp.36-39, 2009.
- [12] N.Srirattana, A. Raghavan, D. Heo, P. E. Allen, and J. Laskar, "Analysis and design of a high-efficiency multistage Doherty power amplifier for wireless communication", *IEEE Trans., Microwave Theory Tech.*, vol. 53, no. 3, pp. 852-860, 2005.
- [13] M. J. Pelk, W. C. E. Neo, J. R. Gajadharsing, R. S. Pengelly, and L. C. N. de Vreede, "A high-efficiency 100-W GaN three-way Doherty amplifier for base-station applications", *IEEE Trans., Microwave Theory Tech.*, vol. 56, no. 7, pp. 1582-1591, 2008.
- [14] J. Kim, J. Cha, I. Kim, and B. Kim, "Optimum operation of asymmetrical-cells-based linear Doherty power amplifiers-uneven power drive and power matching", *IEEE Trans., Microwave Theory Tech.*, vol. 53, no. 5, pp. 1802-1809, 2005.
- [15] B. Ingruber, M. Wachutka, "High-efficiency harmonic-control amplifier", *IEEE Trans. Microwave Theory and Techniques*, vol. 46, pp. 857-862, 1998.

Identifikacija sistema primjenom algoritma najmanjih srednjih kvadrata sa logaritamskim množenjem

Aleksej Avramović, Vladimir Risojević, Zdenka Babić

Elektrotehnički fakultet
Univerzitet u Banjoj Luci
Banja Luka, Bosna i Hercegovina
aleksej@etfbl.net

Patricio Bulić

Fakulteta za Računalništvo in Informatiko
Univerza v Ljubljani
Ljubljana, Slovenija
patricio.bulic@fri.uni-lj.si

Sadržaj—Za identifikaciju linearnih i vremenski invarijantnih sistema se efikasno koriste adaptivni filtri. Koeficijenti adaptivnog filtra se podešavaju tako da se adaptivni filter ponaša što je moguće sličnije sistemu koji se identifikuje. Adaptacija predstavlja proces koji uključuje rješavanje sistema jednačina koji zahtijeva izvršavanje velikog broja množenja. Poznato je da su množači zahtjevniji u pogledu hardverskih resursa i potrošnje. Međutim, često se radi sa velikom količinom podataka narušenom šumom mjerenja, što može da opravda upotrebu pojednostavljene približne operacije množenja. Logaritamski množači predstavljaju jednu klasu bržih i jednostavnijih množača, koji unose određenu grešku prilikom računanja proizvoda. U ovom radu je razmatran uticaj logaritamskog množenja na konvergenciju algoritma najmanjih srednjih kvadrata (eng. Least Mean Square, LMS). Dati su odgovarajući primjeri i izvršena je eksperimentalna analiza greške.

Ključne riječi - identifikacija; adaptacija; LMS; logaritamski množači

I. UVOD

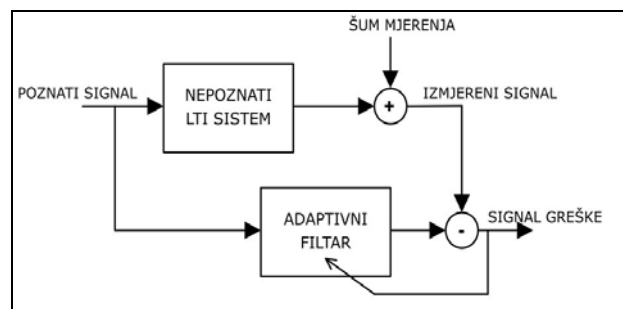
Identifikacija nekog nepoznatog sistema predstavlja kreiranje model-sistema koji se ponaša kao nepoznati sistem. Za identifikaciju nepoznatih linearnih i vremenski invarijantnih (eng. Linear, Time Invariant, LTI) sistema se uspješno primjenjuju adaptivni filtri. Nepoznati sistem modelujemo pomoću poznatog adaptivnog filtra, koji se pomoću određenih metoda prilagođava tako da ima što je moguće sličniji odziv kao i sistem koji želimo da modelujemo. Dakle, modelovanje predstavlja estimaciju koeficijenata poznatog adaptivnog filtra tako da adaptivni filter što preciznije opisuje nepoznati sistem. Za identifikaciju sistema se u praksi često koristi algoritam baziran na minimizaciji srednjekvadratnog odstupanja, tj. LMS algoritam. Jednostavnost i efikasnost LMS algoritma otvaraju značajne mogućnosti primjene, pa se, pored identifikacije sistema, LMS uspješno koristi u sistemima za uklanjanje eha, sistemima za uklanjanje šuma, prilikom podešavanja antenskih nizova, itd [1].

LMS algoritam podešava koeficijente adaptivnog filtra na principu minimizacije trenutne greške, odnosno razlike između odziva nepoznatog sistema i poznatog sistema u odnosu na poznati signal, koji dovodimo na ulaz oba sistema. U ovom radu ćemo razmatrati jednostavan slučaj kada nepoznati LTI sistem modelujemo filtrom sa konačnim implusnim odzivom

(eng. Finite Impulse Response, FIR). Primjena LMS algoritma za adaptaciju koeficijenata FIR filtra može da zahtijeva veliki broj množenja u zavisnosti od dinamike sistema koji modelujemo i reda filtra kojim vršimo modelovanje. Međutim, poznato je da prilikom praktične realizacije sistema kola za množenje zahtijevaju značajne hardverske resurse, da imaju značajnu potrošnju i značajno kašnjenje [2].

U ovom radu se razmatra identifikacija sistema primjenom LMS algoritma sa logaritamskim množačima. Slika 1. prikazuje generalnu šemu za identifikaciju sistema primjenom LMS algoritma. Nepoznati LTI sistem i adaptivni filter se pobuđuju istim ulaznim signalom. Razlika njihovih odziva se koristi za podešavanje koeficijenata adaptivnog filtra tako da greška odziva bude što je moguće manja.

Logaritamski množači su efikasniji u pogledu potrošnje i kašnjenja u odnosu na tačne množače, međutim, unose određenu grešku usljed aproksimacije logaritama operanda. Ta greška može biti zanemariva iz razloga što je prilikom mjerenja uvijek prisutan šum koji unosi grešku u krajnji rezultat, pa je ponekad nepotrebno trošiti resurse na tačno množenje kada rezultat može biti samo procjena tačne vrijednosti. Dakle, logaritamski množači se mogu koristiti u situacijama kada je brzina izvršavanja od većeg značaja nego tačnost računanja.



Slika 1. Identifikacija sistema LMS algoritmom.

Ovaj rad je dalje organizovan na sljedeći način. U drugoj sekciji je opisan LMS algoritam, dok treća sekcija opisuje implementaciju i daje karakteristike realizovanog logaritamskog množača. Četvrta sekcija daje uporednu analizu ponašanja LMS algoritma sa tačnim i sa logaritamskim množačem. Peta sekcija je zaključak.

II. LMS ALGORITAM

LMS algoritam spada u kategoriju gradijentnih algoritama, koji traže lokalne ekstreme funkcije prema principu najbrže promjene funkcije koštanja. Ako posmatramo funkciju $F(x)$, gradijent funkcije $\nabla F(x)$ definiše pravac i smjer najbržeg rasta funkcije. Stoga je, prilikom traženja lokalnog minimuma, potrebno usvojiti korak srazmjernan negativnoj vrijednosti gradijenta funkcije. Prilikom realizacije LMS algoritma, posmatra se funkcija koštanja koja je jednaka sumi kvadrata trenutne greške i traži se njen lokalni minimum.

Da bi adaptivni filter mogao dovoljno tačno da aproksimira ponašanje nepoznatog sistema, treba da budu ispunjeni određeni uslovi. Adaptivni filter treba da bude dovoljno velikog reda da može da se prilagodi svim modovima nepoznatog sistema [1]. U ovom radu se usvaja da je adaptivni filter FIR tipa i da je poznat broj modova nepoznatog LTI sistema, pa taj problem neće biti razmatran. Drugi uslov jeste da ulazni signal treba da bude takav da može da pobudi sve modove nepoznatog LTI sistema, dakle, najbolje je da ulazni signal ima karakteristike bijelog šuma.

Gradijenti algoritam traži minimum funkcije koštanja, koja predstavlja matematičko očekivanje kvadrata greške:

$$J(n) = E\left(|e(n)|^2\right) \quad (1)$$

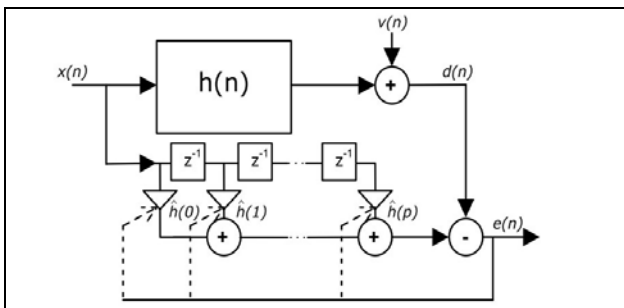
gdje je $e(n)$ greška, a $J(n)$ funkcija koštanja za trenutni odmjerač n . Uvodimo oznake kao na Slici 2., $x(n)$ je poznati ulazni signal, $d(n)$ je rezultat mjerenja izlaznog signala iz nepoznatog LTI sistema, $h(n)$ je implusni odziv nepoznatog sistema a $\hat{h}(n) = [\hat{h}_0, \hat{h}_1, \hat{h}_2, \dots, \hat{h}_p]^T$ je implusni odziv adaptivnog filtra u n -toj iteraciji algoritma, a p je red adaptivnog filtra. Pošto je $e(n)$ razlika između odziva nepoznatog LTI sistema $d(n)$ i odziva adaptivnog filtra $\hat{h}^T(n)x(n)$, gdje je $x(n) = [x(n), x(n-1), \dots, x(n-p+1)]^T$, gradijent funkcije koštanja se može izraziti kao:

$$\nabla J(n) = -2E(\mathbf{x}(n)e(n)) \quad (2)$$

Koeficijenti adaptivnog filtra se koriguju srazmjerno negativnoj vrijednosti gradijenta funkcije koštanja:

$$\hat{h}(n+1) = \hat{h}(n) - \frac{\mu}{2} \nabla J(n) = \hat{h}(n) + \mu E(\mathbf{x}(n)e(n)) \quad (3)$$

gdje je μ konstanta srazmjernosti, tj. korak adaptacije.



Slika 2. Adaptacija koeficijenata FIR filtra LMS algoritmom.

Od koraka adaptacije zavisi dinamika adaptacije i stabilnost filtra. LMS algoritam predstavlja verziju gradijentnog algoritma koja aproksimira matematičko očekivanje iz jednačine (3) na sljedeći način:

$$E(\mathbf{x}(n)e(n)) \approx \frac{1}{m} \sum_{n=1}^m \mathbf{x}(n)e(n) \quad (4)$$

gdje je m broj odmjerača koji se koristi za estimaciju matematičkog očekivanja. U najjednostavnijem slučaju kada je $m = 1$, dobija se jednostavna varijanta LMS algoritma:

$$\hat{h}(n+1) = \hat{h}(n) + \mu(\mathbf{x}(n)e(n)) \quad (5)$$

Pošto se ispituje uticaj koji unosi greška logaritamskog množača, potrebno je realizovati LMS algoritam u aritmetici sa konačnom preciznošću, tj. brojevi će biti predstavljeni u formatu fiksnog zareza (fixed-point). Problem prekoračenja opsega se rješava aritmetikom zasićenja, tj. ukoliko usvojimo da radimo sa označenim n -bitnim brojevima i da npr. umnožak dva broja prekoračuje opseg, taj umnožak se limitira na maksimalnu moguću vrijednost definisanu brojem bita.

III. IMPLEMENTACIJA LOGARITAMSKOG MNOŽAČA

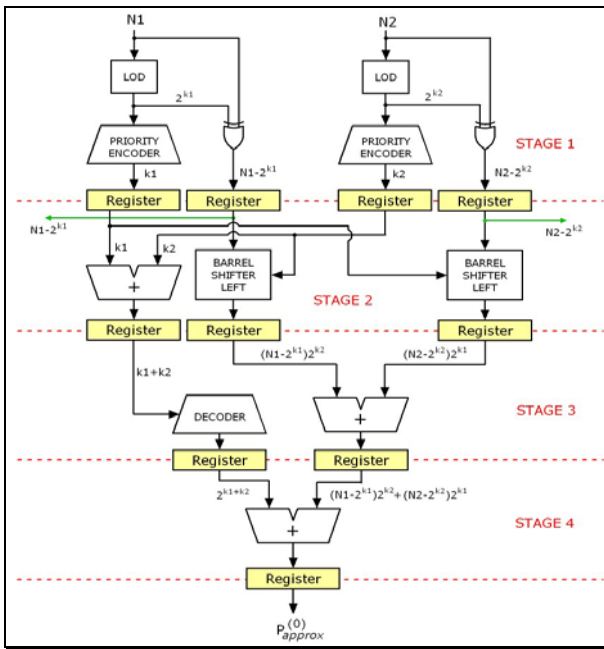
Logaritamski množač je baziran na jednostavnom principu zamjene množenja sa sabiranjem i izvodi se u tri koraka [3]. Prvo se originalni operandi aproksimiraju njihovim logaritmima, da bi se nakon sabiranja tih logaritama izvršilo antilogaritmovanje zbira. Metoda je veoma jednostavna ali uvodi grešku usljed aproksimacije logaritama operanada. Ta greška je detaljno proučavana i predloženi su različiti pristupi za njenu korekciju. U [2] je opisan jednostavan logaritamski množač koji ima mogućnost implementacije korekcionih kola sa visokim stepenom paralelizma. Prednost ovog pristupa je u tome što se kao korekciona kola koriste isti osnovni blokovi kao i prilikom računanja početne aproksimacije, pa se poslije inicijalnog kašnjenja, u svakom narednom ciklusu daje novi rezultat množenja.

A. Osnovni blok

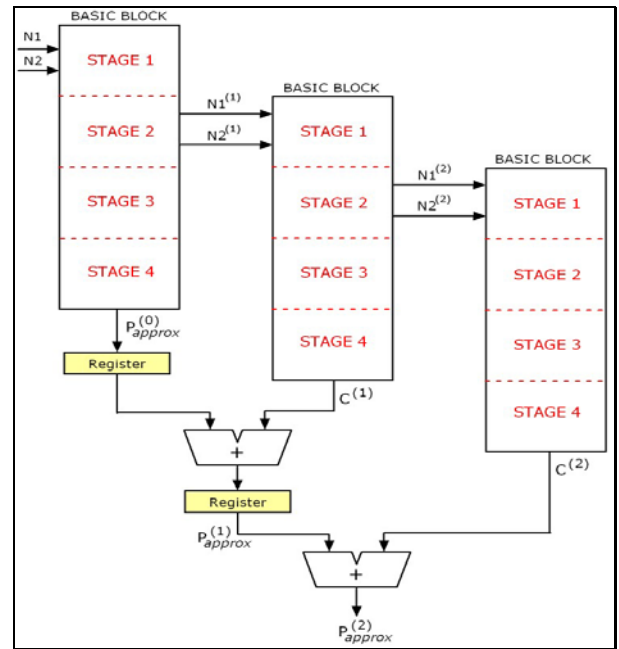
Osnovni blok za logaritamsko množenje je prikazan na Slici 3. Ako je N n -bitni binarni broj, tj. $N = (a_{n-1} a_{n-2} \dots a_1 a_0)$, pozicija na kojoj se nalazi najznačajni bit različit od nule, tj. vodeća jedinica, se naziva karakteristični broj broja N i označava se sa k . Ako množimo brojeve N_1 i N_2 , osnovni blok realizuje funkciju:

$$P_0 = 2^{k_1+k_2} + (N_1 - 2^{k_1})2^{k_2} + (N_2 - 2^{k_2})2^{k_1} \quad (6)$$

gdje su k_1 i k_2 odgovarajući karakteristični brojevi. Izrazi u zagradama predstavljaju ostatke ili mantise operanada, tj. predstavljaju originalni operand bez vodeće jedinice. Osnovni blok računa prvu aproksimaciju logaritamskog množenja tako što sabira dijelove operanada koji sadrže samo vodeće jedinice sa mantisama oba operanda pomjerenim udesno za vrijednost karakterističnog broja drugog operanda. Vidimo da se osnovni blok može realizovati sa jednostavnim kolima za sabiranje i pomijeranje.



Slika 3. Osnovni blok za logaritamsko množenje [2].



Slika 4. Korekcija greške logaritamskog množača [2].

B. Korekcija greške logaritamskog množača

Prva aproksimacija množenja, predstavljena sa (6), i tačan rezultat množenja se razlikuju za umnožak mantisa originalnih operanada:

$$C = (N_1 - 2^{k_1}) (N_2 - 2^{k_2}) \quad (7)$$

Pošto se mantise originalnih brojeva mogu posmatrati kao novi operandi računanje korekcije se može započeti neposredno poslije uklanjanja vodeće jedinice, što se radi prilikom realizacije prve faze u osnovnom bloku (Stage 1, Slika 3), sa istim osnovnim blokom. Korigovani rezultat je zbir prve aproksimacije i korekcije:

$$P_{approx}^{(1)} = P_0 + C^{(1)} \quad (8)$$

gdje je $C^{(1)}$ korekcija koju računa prvo korekciono kolo, što je zapravo rezultat množenja mantisa početnih operanada.

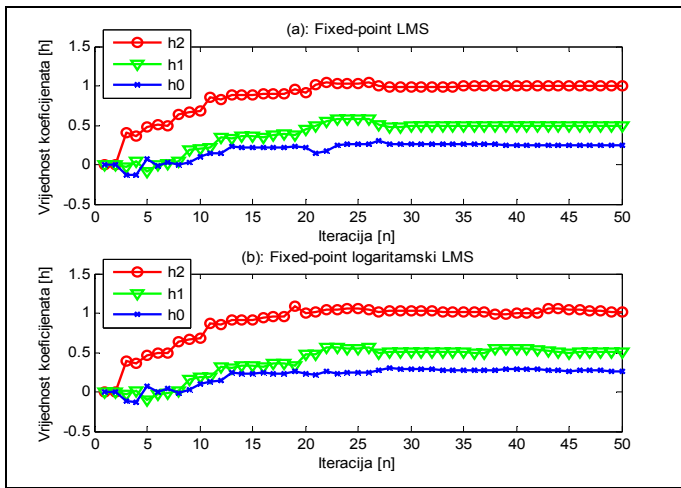
Na isti način je moguće, ukoliko je potrebno, realizovati i drugu korekciju. Opet se računanje druge korekcije može započeti nakon uklanjanja vodećih jedinica iz mantisa, pa se na taj način postiže visok stepen paralelizma prilikom računanja umnoška početnih operanada N_1 i N_2 . Na Slici 4. je prikazan slučaj kada se umnožak računa sa dva paralelna korekcionna kola (eng. Error Correction Circuit, ECC). Greška množenja zavisi od broja jedinica u binarnim brojevima i srazmjerna je manjem broju jedinica. Dodavanjem korekcionnih blokova se može uticati na maksimalnu moguću grešku množača. Prilikom dodavanja svakog korekcionog bloka, maksimalna greška množenja se smanjuje za 75% u odnosu na vrijednost maksimalne greške prije dodavanja korekcionog kola [2]. Pri tome se ne unosi dodatno kašnjenje, jer od broja korekcionnih kola zavisi samo inicijalno kašnjenje množača.

IV. IMPLEMENTACIJA LMS ALGORITMA SA LOGARITAMSKIM MNOŽAČEM

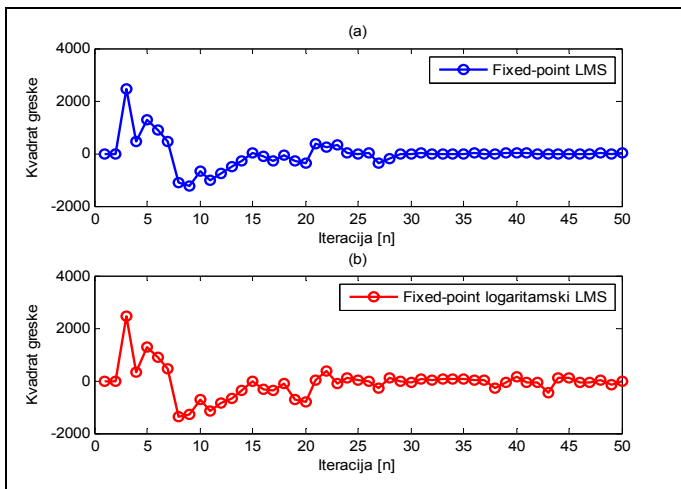
Za evaluaciju uticaja logaritamskog množača na LMS algoritam, LMS algoritam je realizovan sa tačnim množačem i sa nekoliko različitih logaritamskih množača. Dakle, realizovan je sistem za identifikaciju sa:

- tačnim množačem,
- sa logaritamskim množačem koji sadrži osnovni blok,
- sa logaritamskim množačem koji sadrži osnovni blok i jedno kolo za korekciju,
- sa logaritamskim množačem koji sadrži osnovni blok i dva kola za korekciju, i
- sa logaritamskim množačem koji sadrži osnovni blok i tri kola za korekciju.

Za potrebe testiranja realizovan je LMS algoritam za identifikaciju u 16-bitnoj aritmetici nepomičnog zareza u saturacionom modu. Pretpostavlja se da je poznat red nepoznatog LTI sistema i da je korak adaptacije μ izabran tako da algoritam sa tačnim množačem konvergira, te uticaj tih parametara neće biti razmatran. Ulazni signal je bijeli šum varijanse $\sigma = 3,6 \cdot 10^6$, dok je varijansa šuma mjerenja $\sigma_n = 10$. Na Slici 5. je prikazano podešavanje koeficijenata adaptivnog filtra u slučaju kada se koristi tačni množač i u slučaju kada se koristi logaritamski množač sa jednim korekcionim kolom. Na Slici 6. su prikazani kvadrati grešaka nakon svake iteracije za slučaj kada se koristi tačni množač i za slučaj kada se koristi logaritamski množač sa jednim korekcionim kolom. Pretpostavlja se da je nepoznat LTI sistem FIR filter sa koeficijentima $[1, 1/2, 1/4]$. Sa Slike 5. vidimo da je odstupanje koeficijenata računatih sa logaritamskim množačem neznatno u odnosu na tačni množač. Takođe, vidimo da nema uticaja na



Slika 5. Adaptacija koeficijenata primjenom LMS algoritma sa (a) tačnim množačem i sa (b) logaritamskim množačem BBIECC.



Slika 6. Promjena kvadrata trenutne greške nakon svake iteracije prilikom adaptacije primjenom LMS algoritma sa (a) tačnim množačem i sa (b) logaritamskim množačem BBIECC.

brzinu konvergencije kada računamo pomoću logaritmaskog množača. Tabela 1. prikazuje usrednjene vrijednosti relativnih grešaka adaptacije koeficijenata adaptivnog filtra kada su korišteni različiti logaritamski množači u odnosu na tačni množač. U svakoj iteraciji računa se kvadrat odstupanja trenu-

TABELA I. USREDNJENE VRIJEDNOSTI RELATIVIH GREŠAKA ADAPTACIJE KOEFICIJENATA FILTRA SA RAZLIČITIM LOGARITAMSKIM MNOŽAČIMA U ODNOSU NA REFERENTNI TAČNI MNOŽAČ.

Koeficijent	Greška			
	BB	BB1ECC	BB2ECC	BB3ECC
h ₂	0,081	0,014	2,571*10 ⁻⁴	1,095*10 ⁻⁴
h ₁	0,025	0,004	1,302*10 ⁻⁴	6,433*10 ⁻⁵
h ₀	0,035	0,018	1,562*10 ⁻⁴	5,089*10 ⁻⁵

tne vrijednosti koeficijenata adaptivnog filtra, računatih sa logaritamskim množačem u odnosu na koeficijente računate sa tačnim množačem. Za svaki koeficijent adaptivnog filtra je izračunata usrednjena vrijednost prema broju iteracija:

$$\delta = \frac{1}{N} \sum_{i=1}^N \sqrt{(h_i^m - \hat{h}_i^m)^2} \quad (9)$$

N je broj iteracija za koji računamo odziv nepoznatog sistema i adaptivnog filtra. Greške su računate za navedeni primjer FIR filtra drugog reda sa koeficijentima $[1, 1/2, 1/4]$. Posmatranjem rezultata iz Tabele 1. vidimo da logaritamski množač koji sadrži samo osnovni blok ne uzrokuje značajne greške prilikom adaptacije koeficijenata. Eksperimentalni rezultati pokazuju da i najjednostavniji logaritamski množač ne narušava konvergenciju LMS algoritma.

V. ZAKLJUČAK

U ovom radu je predstavljena realizacija LMS algoritma za identifikaciju sistema sa logaritamskim množačem. Logaritamski množači su brži i jednostavniji od tačnih množača, ali unose određenu grešku prilikom množenja. Analiziran je uticaj greške logaritamskih množača na brzinu konvergencije prilikom prilagođavanja koeficijenata adaptivnog filtra u svrhu identifikacije sistema. Na osnovu eksperimentalnih rezultata se zaključuje da upotrebljeni logaritamski množači ne utiču na konvergenciju LMS algoritma.

LITERATURA

- [1] P. Hinić, V. Risojević, A. Zagorac, *Procesiranje signala, Rekurzivna estimacija, Kalmanov filter, Levinsonov algoritam*, Elektrotehnički fakultet, Banja Luka, 2000.
- [2] Z. Babić, A. Avramović, P. Bulić, An iterative logarithmic multiplier, *Microprocess. Microsyst.* (2010), doi:10.1016/j.micpro.2010.07.001.
- [3] J.N. Mitchell, "Computer Multiplication and Division using Binary Logarithms," *IRE Trans. Electronic computers*, pp. 512-517, vol. 11, Aug. 1962.

Abstract—For identification of LTI systems adaptive filters are used efficiently. Adaptive filter coefficients are adjusted so that the adaptive filter behaves as the system that is identified. Adaptation is a process that involves solving the system of equations that requires the execution of large number of multiplications. It is well-known that multipliers are demanding in terms of hardware resources and power consumption. Often, a large amount of data distorted with measurement noise is processed, which can justify the use of simplified approximate multiplication. This paper analyzes the effect of logarithmic multiplication on the convergence of LMS algorithm. The appropriate examples are given and experimental analysis of errors is performed.

Keywords - identification; adaptation; LMS; logarithmic multipliers

System Identification Using Least Mean Square Algorithm with Logarithmic Multiplier



Sekcija TO-4
ELEKTRIČNE MAŠINE I POGONI

S. J. Gušavac, S. D. Đukić, D. M. Bogičević, B. S. Močević MODELI ODRŽAVANJA ELEKTROMOTORA	140
Д. Мухић, Н. Попов, С. Н. Вукосавић, Г. Вуковић, С. Јокић ОДРЕЂИВАЊЕ ОПТИМАЛНОГ БРОЈА НАВОЈАКА СИНХРОНОГ ВУЧНОГ МОТОРА	148
Н. Попов, Д. Мухић, С. Н. Вукосавић, С. Јокић, Г. Вуковић МЕРЕЊЕ ИМПЕДАНСЕ АСИНХРОНЕ МАШИНЕ НА УЧЕСТАНОСТИ КОМУТАЦИЈА И ИНДИРЕКТНО ОДРЕЂИВАЊЕ ТЕМПЕРАТУРЕ	153
К. Бабковић, Л. Nagy, М. Дамњановић, Д. Крклјеš, М. Žиванов VIBRATION SENSOR EMBEDDED IN THE ELASTIC MOUNTINGS OF MACHINES	158
Д. Крклјеš, Д. Крижан, К. Бабковић, Л. Nagy, М. Žиванов SENSORLESS SPEED REGULATION OF DC MOTOR BY DIRECT BACK EMF MEASUREMENT	162
В. Поробић, Д. Марчећић, Е. Аджић SENSORLESS INDUCTION MOTOR DRIVE IN HIGH SPEED RANGE – SOME ASPECTS OF DIGITAL IMPLEMENTATION	167

Modeli održavanja elektromotora

S. J. Gušavac, D. M. Bogićević, B. S. Močević

Departman za energetiku, elektroniku i telekomunikacije
Fakultet tehničkih nauka
Novi Sad, Srbija
straki@uns.ac.rs

S. D. Đukić

Sektor za razvoj naučnoistraživačkih kadrova
Ministarstvo za nauku i tehnološki razvoj Srbije
Beograd, Srbija

Sadržaj—U radu je prezentovan metod održavanja elektromotora zasnovan na pouzdanosti. Rangiranje elektromotora u svrhu određivanja redosleda izvođenja akcija održavanja prema ovoj metodi zasniva se na dve veličine, i to : oceni stanja i oceni značaja elektromotora. Stanje elektromotora određuje se kombinacijom dostupnih dijagnostičkih tehnika, a značaj elektromotora određuje se finansijskim kvantifikovanjem nastalih šteta kao posledica njegovog mogućeg kvara. U radu su predložena dva načina određivanja štete kao posledica otkaza elektromotora, jedan za nezavisne tehnološke celine (najčešće na osnovu rezultata dobijenih anketom), a drugi koji se primenjuje za međusobno zavisne tehnološke između kojih postoji neki vid akumulacije materijala koji se proizvodi u tehnološkoj celini.

Ključne reči—elektromotor; održavanje zasnovano na pouzdanosti; ocena stanja; ocena značaja.

I. UVOD

Početni koncept održavanja opreme u industriji bilo je korektivno održavanje. Primena periodičnog preventivnog održavanja umesto korektivnog, dovela je do povećanja raspoloživosti opreme. U novije vreme u industriji postoji tendencija prelaska sa periodičnog preventivnog održavanja na tehnike održavanja kojima se predviđa stanje opreme. Izvori mogućeg kvara se detektuju i otklanjaju, čime se sprečavaju ispadi i na taj način ograničavaju moguće posledice. Uvažavanjem značaja pojedinačnog elektromotora pri njihovom održavanju obezbeđuje se optimalan finansijski izbor tehnologija koje se koriste za monitoring stanja. Održavanje kojim se kombinuju stanje i značaj opreme koja se održava zove se održavanje zasnovano na pouzdanosti (Reliability Centered Maintenance - RCM). Održavanje zasnovano na pouzdanosti pomaže u izboru optimalnog pristupa izvođenju odgovarajućeg održavanja na dotičnom elektromotoru u odgovarajuće vreme iz pravih razloga.

II. STRATEGIJE ODRŽAVANJA

Strategijom održavanja se definiše koncept održavanja kojim se optimiziraju : pouzdanost, eksploatacioni troškovi i nivo održavanja. Na Sl. 1 je grafički prikazana klasifikacija strategija održavanja prema tome koje se informacije uzimaju u obzir pri održavanju (stanje i/ili značaj). Stanje i značaj nekog sistema mogu se definisati na različite načine, zavisno od željenog nivoa detaljnosti i raspoloživih podataka. Faktori koji se uobičajeno uvažavaju pri određivanju strategije održavanja elektromotora, pored stanja i značaja, su : istorija rada elektromotora, raspoloživost rezervnih elektromotora,

konstrukcija, karakteristike i veličina motora, dostupnost i troškovi popravke elektromotora, vrsta radnog režima, rezervna oprema i drugi [1].

Korektivno održavanje (CM - corrective maintenance) se sprovodi posle nastanka kvara, i najmanje od svih je zasnovano na planiranju, a često je jedini ispravan pristup za elemente koje nisu od velikog značaja. Za elemente čiji otkaz rezultuje visokim troškovima opravke i velikim gubicima u proizvodnji ovo nije podesna tehnika već treba primeniti tehniku održavanja koja omogućuje da utrošena sredstva u održavanje budu manja od posledica izazvanih otkazom. Za opremu kod koje je nastajanje kvara slučajno, korektivno održavanje je praktično jedina primenjiva tehnika održavanja. Osnovne mane ove tehnike održavanja su visoki troškovi opravke i često potreba za boljom pouzdanošću.

Periodično preventivno održavanje (TBM - Time-based maintenance) podrazumeva periodične intervencije po prethodno utvrđenim datumima, koji su određeni na osnovu unapred usvojenih pretpostavki o stanju sistema i njegovih delova. Ovaj tip održavanja, ekonomski gledano, nije dobro rešenje, jer se intervencije na opremi preduzimaju prerano ili prekasno u odnosu na stvarno stanje elementa.

Pri ovoj tehnici održavanja polazna pretpostavka je da je stanje opreme i potreba za održavanjem u korelaciji sa proteklom vremenom eksploatacije između termina planiranih održavanja. Proizvođači opreme obično daju listu aktivnosti i njihovu učestanost kojom se vrši prevencija kvara opreme, pri čemu je ovaj interval zasnovan na najgorem mogućem scenariju. Ova vrsta održavanja može biti efikasna kada su životni vek i mehanizmi nastanka kvara dobro poznati i konzistentni, a verovatnoća nastajanja ranih kvarova mala.

STANJE	Uzima se u obzir	ODRŽAVANJE BAZIRANO NA STANJU (CBM - Condition-based maintenance) - kontinualan monitoring ili monitoring u jednakim vremenskim intervalima - održavanje ili dodatna ispitivanja po potrebi, u skladu sa rezultatima dijagnostike	ODRŽAVANJE BAZIRANO NA POUZDANOSTI (RCM - Reliability Centered Maintenance) - prioritet održavanja baziran na dobiti baziranoj na poboljšanju pouzdanosti - uzimaju se u obzir posledice kvara - upravljanje rizikom
	Ne uzima se u obzir	KOREKTIVNO ODRŽAVANJE (CM - Corrective Maintenance) Bez inspekcija do nastanka kvara.	ODRŽAVANJE ZASNOVANO NA FIKSNIM VREMENSKIM INTRVAL. (TBM - Time-Based Maintenance) Fiksni vremenski intervali za inspekcije, ispitivanja i održavanje.
		Ne uzima se u obzir	Uzima se u obzir
ZNACAJ			

Slika 1. Klasifikacija strategija za upravljanje održavanjem

Periodu održavanja predlažu proizvođači opreme ili su zasnovani na iskustvu iz eksploatacije, a često su bile takve da je učestanost održavanja bila na strani sigurnosti i da mnoge izvedene inspekcije nisu otkrile nikakve značajne simptome mogućeg kvara. Stoga se postavlja pitanje koliko se mogu produžiti vremenski intervali između uzastopnih akcija održavanja, a da se problemi blagovremeno detektuju. Da bi se dobio odgovor na ovo pitanje potrebni su dodatni podaci koji se pribavljaju kroz koncept održavanja zasnovan na stanju i/ili pouzdanosti.

Jedna od mana preventivnog održavanja je i to što kvarovi mogu nastati kao posledica grešaka napravljenih za vreme izvođenja održavanja.

Održavanje zasnovano na stanju (CBM - condition-based maintenance) je takođe preventivna aktivnost, ali je inicirana poznavanjem stanja sistema ili njegovih delova u toku procesa eksploatacije. Izvođenje ovog održavanja se planira prema stepenu dotrajnosti opreme. Prednosti održavanja po stanju su : smanjenje direktnih troškova održavanja, povećanje raspoloživosti opreme, povećanje pouzdanosti opreme, smanjenje zastoja uzrokovanih kvarovima, smanjenje neplaniranih intervencija, smanjenje zalih rezervnih delova i produženje radnog veka elementa.

Pretpostavke o stanju sistema se formiraju na osnovu: informacija o periodičnosti otkaza delova sistema, preporuka proizvođača delova sistema o periodičnosti zamene, i zapažanjima o stanju sistema.

Ovaj model održavanja se još zove i dijagnostičko održavanje, jer se zasniva na dijagnostičkim kontrolama koje mogu biti:

- periodične dijagnostičke kontrole „po konstantnom datumu“;
- dijagnostičke kontrole sa optimizacijom troškova, i
- kontinualne dijagnostičke kontrole parametara.

Održavanje zasnovano na pouzdanosti (RCM - Reliability centered maintenance) je metoda zasnovana na oceni tehničkog stanja opreme koja uzima u obzir i posledice ispada iste. Proces održavanja zasniva se na tri stavke :

- proceni stanja opreme,
- proceni značaja opreme (na osnovu štete koju prouzrokuje odsustvo te opreme iz sistema) i
- kombinovanju dve prethodne procene u cilju određivanja prioriteta održavanja.

III. STANJE ELEKTROMOTORA

Elektromotori su projektovani da rade pod određenim uslovima, a životni vek i njegovo stanje su promenjivi u skladu sa promenama tih uslova. Promene u stanju elektromotora su izazvane različitim radnim naprezanjima. Ključne vrste naprezanja koje utiču na stanje motora su električna, mehanička, termička i naprezanja koja nastaju kao rezultat uslova u kojima radi elektromotor. Prema [2], najveći broj ispada elektromotora su posledica kvara na ležajevima (51%), na namotaju statora (16%) i rotora (5%) te na vratilu i

spojnim elementima (2%). Previsoki naponi i preopterećenja uzrokuju 16% otkaza, a 10% otkaza su posledica delovanja nepoznatih uzroka.

Električna naprezanja (polazne struje i prenaponi) primarno deluju na delove elektromotora kroz koje protiče struja. Stoga, za očekivati je da problemi nastaju, pre svega, na statoru i rotoru. Ipak i mehanički delovi elektromotora mogu biti oštećeni, kao posledica delovanja električnih naprezanja (protok struje po vratilu elektromotora).

U mehanička naprezanja spadaju vibracije, asimetričnost mehaničkih delova elektromotora u odnosu na vazdušni zazor i polazne struje elektromotora. Vibracije nastaju kao rezultat električnih ili mehaničkih problema (asimetričnost, oštećeni ležajevi i slično), a sami dovode pre svega do oštećenja ležajeva. Polazne struje generišu magnetno polje koje mehanički napreže namotaje statora.

Termička naprezanja posledica su toplote koja se oslobađa pri proticanju struje kroz namotaje statora i rotora, te trenja koje nastaje na ležajevima. Povišene temperature nastaju kao rezultat električnih ili mehaničkih uzročnika (na primer nesimetričnost napona, preopterećenje, zaprljanost namotaja).

U naprezanja koja nastaju kao rezultat uslova u kojima elektromotor radi uvrštavaju se korozija, vlaga i prljavštine.

U dodatne uzroke otkaza elektromotora spadaju neadekvatno podmazivanje, oštećenja nastala u toku izrade ili održavanja, nepravilno korišćenje elektromotora, starost, loše hlađenje i slično.

Izbor elektromotora koji će biti uključeni u program praćenja stanja uobičajeno se bazira na kombinaciji više faktora. Osnovni faktor koji treba da se uvaži jeste uticaj elektromotora na bezbedan rad i proizvodnju. Takođe ukoliko su opravka ili zamena (korektivno održavanje) elektromotora skupi, isto treba uzeti u obzir pri izboru. Dodatno se mogu uvažiti i istorija održavanja elektromotora, starost, kao i uslovi u kojima elektromotor radi [4].

Izbor dijagnostičkih tehnika koje će se koristiti zavisi od [3]: tipa elektromotora, vrste industrije, preovlađujućih uzroka ispada, sredstava sa kojima se raspolaže, stručnosti onih koji se bave održavanjem elektromotora i slično. Sledeća ispitivanja elektromotora se koriste od strane velikog broja organizacija koje se bave održavanjem elektromotora [1] : merenje napona napajanja, struje i brzine obrtanja, merenje temperature ležajeva i namotaja, merenje otpornosti izolacije i indeksa polarizacije, analiza struje, ispitivanje jednosmernim naponom, praćenje vibracija, termografija, analize maziva, merenje otpornosti i induktivnosti namotaja i merenje parcijalnih pražnjenja.

Većina gore navedenih ispitivanja se izvode off-line, odnosno, zahteva se da komponenta koja se testira ne radi da bi se izvelo testiranje. Izuzetak predstavljaju praćenje vibracija, termografija i analiza maziva. Korišćenjem on-line dijagnostičkih metoda utvrđivanja stanja elektromotora ne utiče se na njegovu raspoloživost i raspoloživost tehnološke celine kojoj pripada, a rezultati su realniji i pouzdaniji, jer se ispitivanja vrše dok motor radi. Korišćenjem on-line

dijagnostičkih tehnika postiže se veća verovatnoća otkrivanja problema pre nego dođe do ispada elektromotora [3].

Termografija ili inspekcija infracrvenom kamerom je relativno nov alat koji se koristi kad god razlike u temperaturi mogu dati kvalitetnu informaciju o stanju elektromotora. Ovaj alat se koristi za identifikaciju i električnih i mehaničkih problema elektromotora. Temperaturni profil može obezbediti dobro indikaciju stanja mnogih komponenti elektromotora, kao i samog elektromotora kao celine. Koristi se nekoliko metoda detekcije nedozvoljenog stanja komponenti elektromotora, a uobičajeni metod je komparativna termografija. Poređenjem temperaturnog profila sa temperaturnim profilom ispravne komponente mogu se izvesti zaključci o težini problema, odnosno o verovatnoći fizičkog oštećenja komponenti i hitnosti preduzimanja odgovarajućih akcija [4].

Analiza maziva je korisna za otkrivanje prekomernog habanja ležajeva. Analizom uzorka maziva može se dobiti kvalitetna informacija o stanju elektromotora. Ključan momenat je određivanje vrednosti : viskoznosti, nivoa pucketanja, oksidacije, prisustva čestica metala, vlage, nitrata, sulfata, čađi i slično. Za svaki od parametara definišu se granične vrednosti istih kojima se određuje pripadnost maziva i komponenti određenom stanju, te potreba za preduzimanjem odgovarajućih akcija održavanja [5].

Pri merenju i analizi struje elektromotora u svrhu ocene njegova stanja uobičajeno se koristi odnos amplitude struje na frekvencijama različitim od osnovne i amplitude struje na osnovnoj frekvenciji [4].

Merenje vibracija predstavlja univerzalan alat prediktivnog održavanja, koji se može koristiti za praćenje stanja i uvid u hitnost preduzimanja akcija na otklanjanju poremećaja. Obično se koristi za dijagnozu stanja motora sa mehaničkog aspekta, ali je vrlo koristan i za otkrivanje električnih kvarova, poput polomljenih provodnika namotaja rotora. Zbog svega navedenog, u nastavku će biti više reči o ovoj dijagnostičkoj tehnici, a na bazi nje će se dati i primer određivanja ocene stanja elektromotora na bazi izmerene vrednosti efektivne brzine vibracija. Efektivna brzina vibracija je brzina kojom se na mestu merenja kreće električna mašina oko položaja mirovanja, a meri se obično u mm/s. Ova veličina kombinuje intenzitet (amplitudu) i učestanost vibracija.

Za vreme rada električne mašine zbog nepotpuno izbalansiranih delova i delovanja elektromagnetnih sila nastaju vibracije onih delova električne mašine koji se ne obrću. Mehanička naprezanja tih delova, te spojnih elemenata i temelja, uzrokovana vibracijama, ne smeju preći dopuštene granice i uticati na kvalitet rada radnih mašina.

Za ocenu stanja elektromotora merenjem vrednosti efektivne brzine vibracija uobičajeno se koriste dijagrami kojima se opisuje zavisnost stanja elektromotora od vrednosti te veličine (Sl. 2). Pored toga, dodatno se vrše i analize signala korišćenjem Brze Furijeove transformacije ("Fast Fourier Transform"), te na taj način otkrivaju mogući uzročnici takvog stanja [4].

Granične vrednosti vibracija elektromotora visina vratila od 80 -315 mm (za snage do 200 kW) određeni su na primer standardom DIN 45 665. U skladu sa ovim standardom,

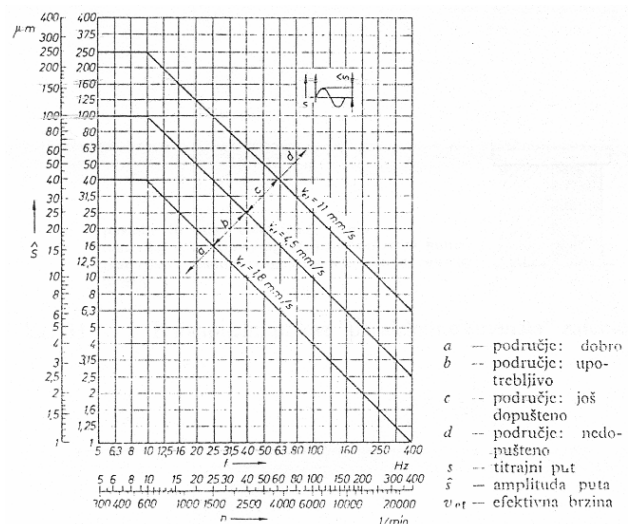
električne mašine se projektuju tako da odgovaraju jednom od tri nivoa vibracija : normalni nivo redukovani nivo i S specijalni nivo vibracija.

Za svaki od tri gore navedena stepena definišu se granične vrednosti efektivne brzine vibracija na osnovu kojih se stanje električne mašine može svrstati u dopušteno ili nedopušteno.

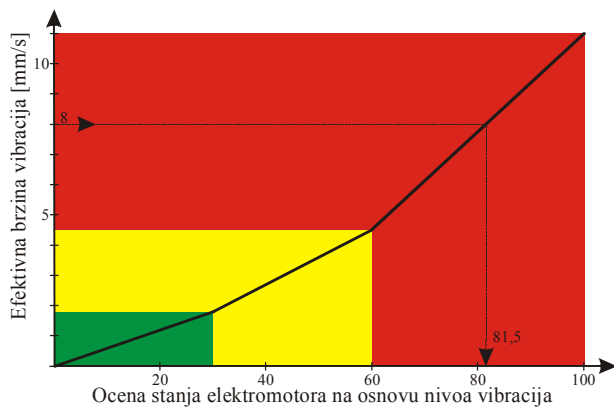
Pri oceni nivoa vibracija električnih mašina većih snaga mogu se na primer koristiti preporuke VDE 2056. Te preporuke sadrže krive koje razgraničavaju četiri područja vibracija, odnosno stanja električne mašine, i to : dobro, upotrebljivo, još dopušteno, i nedopušteno. Za velike mašine s rotirajućim masama, postavljene na visokopodešene krute ili teške temelje, kao preporuka koriste se krive za mašine grupe G (vidi Sl. 2). Za veće pogonske i radne mašine samo sa rotirajućim masama, postavljene na niskopodešene temelje koriste se krive za grupu mašina T.

U ovom delu rada kao primer daće se ocena stanja elektromotora na bazi izmerene vrednosti efektivne brzine vibracija, u skladu sa Sl. 2. Sa slike se mogu uočiti tri karakteristične vrednosti vibracija, i to : 0; 1,8; 4,5 i 11 mm/s. Za vrednost ocene stanja usvojen je interval [0, 100]. U ovom primeru izabran je princip preslikavanja vrednosti vibracija na ocenu stanja u skladu sa Sl. 3, pri čemu su za granične vrednosti pouzdanog, pogoršanog i nepouzdanog rada elektromotora usvojene vrednosti ocene stanja 30 i 60. Pri određivanju ocene stanja usvojeni su sledeći principi :

- Stanje pouzdanog rada karakterisano je numeričkom ocenom u intervalu [0, 30) i ono ukazuje na zadovoljavajuću vrednost razmatranog pokazatelja stanja.
- Stanje pogoršanog rada karakterisano je numeričkom ocenom u intervalu [30, 60) i ono ukazuje na započet proces pogoršavanja razmatranog pokazatelja stanja.
- Stanje nepouzdanog rada karakterisano je numeričkom ocenom u intervalu [60, 100] i ono ukazuje na nezadovoljavajuću vrednost razmatranog pokazatelja stanja.



Slika 2. Ocena vrednosti vibracija prema preporuci VDE 2056 za mašine grupe G



Slika 3. Funkcija preslikavanja izmernih vrednosti vibracija na usvojeni interval ocena stanja

Obzirom da dijagnostičke metode služe za otkrivanje različitih simptoma otkaza, uobičajeno se u svrhu pouzdanog određivanja stanja elektromotora koriste dve ili više dijagnostičkih metoda [5]. Ukoliko se koristi više dijagnostičkih metoda, u svrhu određivanja jedinstvene ocene stanja elektromotora, rezultate istih je neophodno nekim od matematičkih aparata objediniti. Kao najpogodniji načini za generisanje jedinstvene ocene stanja elektromotora nameću se: korišćenje težinskih koeficijenata i korišćenje fazi sistema za zaključivanje.

Prema prvom načinu za svaku od dostupnih dijagnostičkih metoda određuje se parcijalna ocena stanja elektromotora. Nakon merenja i analize proračunava se vrednost odgovarajućeg parametra kojim se može opisati stanje elektromotora korišćenjem rezultata date dijagnostičke metode (na primer: efektivne brzine vibracija ili faktora harmonijskog izobličenja struje elektromotora). Parcijalna ocena stanja elektromotora se dobija tako što se vrednost parametra tog elektromotora deli sa vrednošću parametra elektromotora sa najvećom vrednosti istog i množi sa 100. Na taj način se za svaki od elektromotora dobija parcijalna ocena sa vrednostima od 0 do 100. Svaka od parcijalnih ocena učestvuje u ukupnoj oceni u skladu sa značajem te ocene (značajem dijagnostičke metode za određivanje stanja elektromotora) koji se iskazuje preko težinskog koeficijenata, pri čemu je zbir istih jednak 1. Sumiranjem proizvoda parcijalnih ocena stanja i težinskih koeficijenata za svaki od elektromotora dobija se preliminarna vrednost ocene njegovog stanja. Na kraju se vrši normalizacija preliminarnih ocena stanja na opseg od 0 do 100 tako da onaj elektromotor koji je imao najvišu preliminarnu ocenu stanja dobija konačnu ocenu stanja jednaku 100.

Prema drugom načinu za svaku od dostupnih dijagnostičkih metoda definišu se oblici funkcija pripadnosti pojedinim stanjima (na primer odličnom, dobrom, lošem i vrlo lošem stanju). Nakon toga definišu se funkcije pripadnosti stanju izlaza. Svaka funkcija pripadnosti stanju izlaza odgovara jednoj kombinaciji stanja elektromotora svake od dijagnostičkih metoda. Vrednost izlaza (konačne ocene stanja elektromotora) može biti između 0 i 100, pri čemu se pravila za kombinovanje stanja ulaza mogu zasnivati na sledećem:

- vrednost ocene stanja je u intervalu $[0, 30)$ ako stanje elektromotora ni prema jednoj od korišćenih dijagnostičkih metoda nije pogoršano,
- vrednost u intervalu $[30, 60)$ ako je stanje elektromotora bar prema jednoj od korišćenih dijagnostičkih metoda pogoršano, ali ne i nepouzdan (postoji potreba za pojačanim održavanjem), i
- vrednost u intervalu $[60, 100]$, ako je stanje elektromotora bar prema jednoj od korišćenih dijagnostičkih metodologija nepouzdan, odnosno kritično (pri ovakvim stanjima preporučuje se da se razmotre potrebe za proaktivnim akcijama održavanja odnosno akcijama kojima se značajno popravlja zatečeno stanje).

IV. ZNAČAJ ELEKTROMOTORA

Ocena značaja elektromotora može se na primer zasnivati na štetama koju uzrokuje ispad tehnološke celine kojoj pripada. Šteta usled otkaza neke tehnološke celine u industrijskom procesu može se svrstati u dve grupe, i to: direktne i indirektne štete.

Direktna šteta predstavlja novčane izdatke zbog razgradnje tehnološkog procesa, pogoršanja tehničko-ekonomskih parametara procesa proizvodnje, kvara (propale) sirovine i materijala, skraćanja veka trajanja opreme i uređaja, te novčane izdatke na uspostavljanju tehnološkog procesa do nominalnog režima nakon otklanjanja kvara.

Indirektna šteta predstavlja smanjenje dobiti usled neproizvođenja tehnološke celine za vreme otkaza do trenutka početka normalne proizvodnje.

U nastavku su razmotrena dva načina određivanja štete usled ispada tehnološke celine, i to:

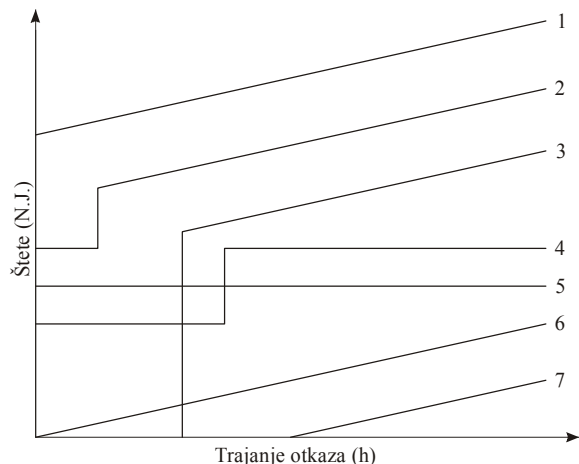
- prvi za nezavisne tehnološke celine na osnovu rezultata dobijenih anketom, i
- drugi za zavisne tehnološke celine primenom metoda simulacije.

A. Određivanje štete usled ispada nezavisne tehnološke celine na osnovu rezultata dobijenih anketom

U velikom broju referenci [6] vršena je analiza šteta za razne vrste industrija i za razna vremena trajanja ispada na osnovu popunjavanja upitnika od strane eksperata. Rezultati ovih anketa se često dele u nekoliko osnovnih grupa u skladu sa tipovima potrošača i svode na jedinične vrednosti. Osnovni pokazatelji koji se iz njih izvode su štete po jedinici energije, snage ili vremena. Karakteristični oblici funkcija šteta ($i=1, 2, 3, \dots, 7$) za pojedine vrste industrije odnosno za pojedine vrste tehnoloških linija u industriji su prikazane na Sl. 4. Na osnovu izgleda funkcija prikazanih na Sl. 4 može se zaključiti da pri ispadu određene tehnološke celine šteta:

- ne zavisi od trajanja ispada,
- linearno raste sa trajanjem ispada,
- diskretno menja vrednost u određenim vremenskim trenucima u toku trajanja ispada,

- nastaje usled samog ispada tehnološke celine,
- ne nastaje usled samog ispada tehnološke celine,
- ne nastaje ukoliko je trajanje otkaza kraće od određene vrednosti.



Slika 4. Neki od oblika funkcija šteta usled ispada pojedinih tipova industrija (tehnoloških celina)

B. Određivanje štete usled ispada zavisne tehnološke celine primenom metode simulacije

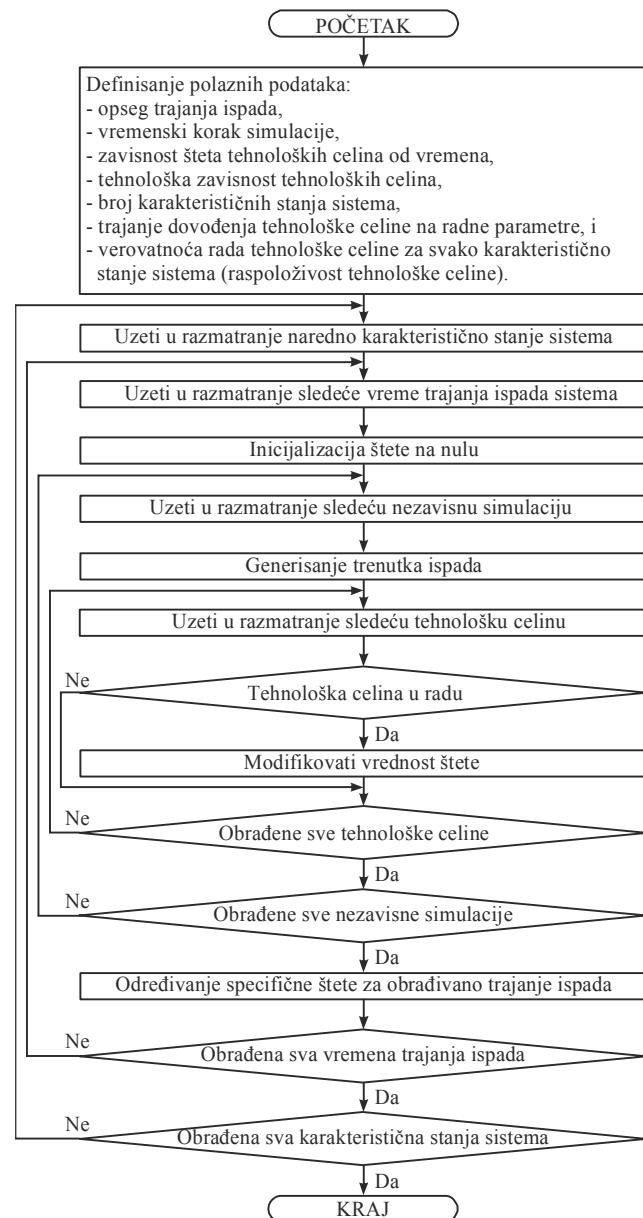
Kod složenih industrijskih procesa pri određivanju šteta treba uzeti u obzir međusobnu zavisnost između pojedinih tehnoloških celina, kao i verovatnoću rada svake tehnološke celine. U nastavku je za određivanje štete usled ispada tehnološke celine predložena metoda simulacije karakterističnih stanja tehnološkog procesa. Predložena metoda se može primeniti za ocenu šteta usled otkaza bilo kog industrijskog potrošača ili grupe industrijskih potrošača.

Zbog neizvesnosti u pogledu raspoloživosti pojedinih tehnoloških celina, koje su u tehnološkom smislu međusobno povezane sa drugim tehnološkim celinama, za vrednovanje šteta usled ispada određene tehnološke celine korišćena je pseudo-statistička simulacija rada. Ove vrste simulacija se baziraju na Monte Karlo proceduri, koja se sastoji od relativno velikog broja proračuna koji se ponavljaju u okviru međusobno nezavisnih simulacija. Primenjeni algoritam za određivanje ukupnih šteta (ili razdvojeno prikazanih direktnih i indirektnih šteta) prikazan je na Sl. 5. Ovim algoritmom mogu se odrediti i štete po jedinici ispane snage, energije ili vremena.

Prvi korak predloženog algoritma (Sl. 5) je određivanje polaznih podataka i to :

- vremenskog opsega razmatranih trajanja ispada,
- vremenskog koraka simulacije,
- zavisnosti štete pojedinih tehnoloških celina od vremena,
- međusobne tehnološke zavisnosti pojedinih tehnoloških celina,

- broja karakterističnih stanja sistema (karakteristični radni režimi za koje se međusobno značajno razlikuju verovatnoće rada, na primer to može biti noćni i dnevni režim rada),
- trajanja dovođenja funkcionalne celine na nominalne radne parametere, i
- verovatnoća rada (raspoloživosti) funkcionalne celine za svako karakteristično stanje sistema.



Slika 5. Algoritam za određivanje štete usled ispada tehnološke celine na bazi Monte Karlo simulacione procedure

U narednim koracima procedure proračuna razmatra se svako karakteristično stanje sistema, u vremenskom opsegu za koje se vrši simulacija.

Industrijski potrošač predstavlja jednu složenu tehnološku celinu koja može da se nađe u nizu karakterističnih stanja u

zavisnosti od opterećenosti ili doba dana. Simulaciona procedura započinje generisanjem slučajnog trenutka ispada u okviru karakterističnog stanja sistema. Slučajno stanje sistema u tom trenutku dobija se tako što se za tehnološke celine za koje je to moguće vrši nezavisno razmatranje. Stanje funkcionalne celine određuje se na bazi tehnike proporcionalnog dodeljivanja vrednosti, koja se sastoji u dodeljivanju vrednosti slučajnog broja različitim slučajne promenljive u direktnoj proporciji sa verovatnoćom rada funkcionalne celine.

Za svaku tehnološku celinu određuje se verovatnoća da se nalazi u stanju proizvodnje na bazi analize vremena koje ona provede u tom stanju za određeni vremenski period. Ako se na primer tehnološka celina sa verovatnoćom p_1 nalazi u stanju proizvodnje i verovatnoćom $(1-p_1)$ u stanju neproizvodnje (bilo zbog kvara, bilo zbog toga što u određenim situacijama njen rad nije nužan) tada se za generisani slučajni broj u opsegu $[0, p_1]$ uzima da je tehnološka celina u stanju proizvodnje, odnosno u stanju neproizvodnje kada je generisani slučajni broj u opsegu $[p_1, 1]$.

Ako u tehnološkom procesu postoji akumulacija materijala ona značajno može da smanji posledice ispada tehnološke celine koja proizvodi materijal koji se u njoj skladišti. Zbog toga je potrebno adekvatno uvažiti i postojanje akumulacije materijala u tehnološkom procesu.

Stanje akumulacije materijala određuje se pretpostavljajući određenu vrstu statističke raspodele. Generisanjem slučajnog broja određuje se stanje akumulacije u trenutku u kome dolazi do ispada tehnološke celine koja materijalom puni tu akumulaciju. Izabrani opseg akumulacije u kome se vrši generisanje slučajnog nivoa popunjenosti zavisi od načina korišćenja akumulacije i tehnološke "politike" rada tehnološke celine koja materijalom puni razmatranu akumulaciju.

Neka se posmatra akumulacija sirovine određenog kapaciteta (npr. 80 t). Pod pretpostavkom da tehnološka celina koja materijalom puni akumulaciju sa radom započinje kada je nivo popunjenosti akumulacije jednak p_2 r.j. (npr. 0,6) njenog kapaciteta, i da se po popunjavanju akumulacije ta tehnološka celina zaustavlja, pri ispadau razmatrane tehnološke celine stanje akumulacije može imati vrednosti iz opsega $[p_2, 1]$ r.j. njenog kapaciteta.

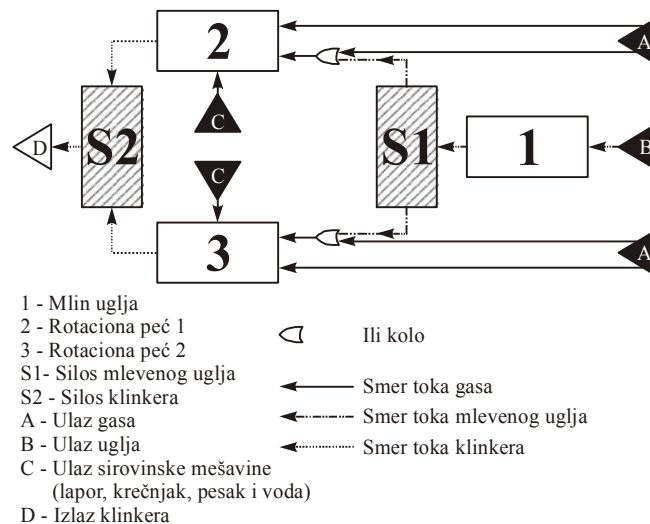
Generisanjem slučajnog broja određuje se stanje akumulacije u trenutku otkaza tehnološke celine. Ako su sva stanja u opsegu $[p_2, 1]$ jednako verovatna, tada se generisanjem slučajnog broja p_3 (npr. 0,5) dobija slučajno stanje akumulacije u trenutku otkaza. Nivo popunjenosti akumulacije u trenutku otkaza će biti jednak $p_2 + p_3 \cdot (1 - p_2)$ (za razmatrane vrednosti $0,6 + 0,5 \cdot (1 - 0,6) = 0,8$ r.j. odnosno 64 t) njenog kapaciteta. Na ovaj način je određeno slučajno stanje akumulacije za posmatrani trenutak ispada tehnološke celine.

Izloženi algoritam će se primeniti na jedan karakteristični slučaj, i to : otkaz jedne tehnološke celine (mlin za ugalj, instalisane snage motora 310 kW) koja svoju proizvodnju smešta u akumulaciju sirovine. Ova tehnološka celina je tehnološki povezana sa drugim tehnološkim celinama (dve peći za proizvodnju klinkera). Tehnološka zavisnost razmatranih tehnoloških celina prikazana je na Sl. 6.

Namena mlina uglja (oznaka 1 na Sl. 6) je mlevenje uglja koji snabdeva skladište uglja (oznaka S1 na Sl. 6). Odatle se mleveni ugalj transportuje u ložišta dve peći (oznake 2 i 3 na Sl. 6), koje proizvode klinker.

Rotacione peći za proizvodnju klinkera u ovom tehnološkom procesu su projektovane tako da mogu, za svoje zagrevanje, alternativno da koriste ugalj, ali i kombinaciju uglja i gasa radi smanjenja troškova eksploatacije. Rotacione peći troše svaka po $3\ 600 - 3\ 800\ m^3/h$ gasa pri čemu proizvode po 21 - 23 tone klinkera na sat. Ako se zajedno sa gasom troši i ugalj tada se potrošnja gasa može smanjiti na $2\ 100 - 2\ 500\ m^3/h$ dok se za preostali deo troši ugalj. Pri tome se približno $1\ 000\ m^3$ gasa može zameniti sa oko 1,3 tone uglja. Uzimajući u obzir cene gasa i uglja¹ dobijaju se funkcije specifičnih šteta od vremena. Šteta koja nastaje ne zavisi samo od trajanja otkaza već i od stanja akumulacije uglja te koja je od rotacionih peći za proizvodnju klinkera u pogonu. Ako je akumulacija uglja puna, i ako se otkaz mlina uglja otkloni za manje od 18 sati, štete usled ispada mlina uglja sigurno neće biti. Kod zastoja sa dužim trajanjem specifična šteta ima konstantnu vrednost.

Izgled funkcije štete po jedinici vremena u zavisnosti od vremena trajanja otkaza mlina uglja prikazan je na Sl. 7. Funkcija šteta sa Sl. 7 odgovara situaciji kada do prekida rada mlina uglja dođe pri punoj akumulaciji uglja i ako su u radu obe rotacione peći. Što je akumulacija uglja praznija u trenutku otkaza mlina uglja to se i funkcija štete po jedinici vremena više pomera u levo.

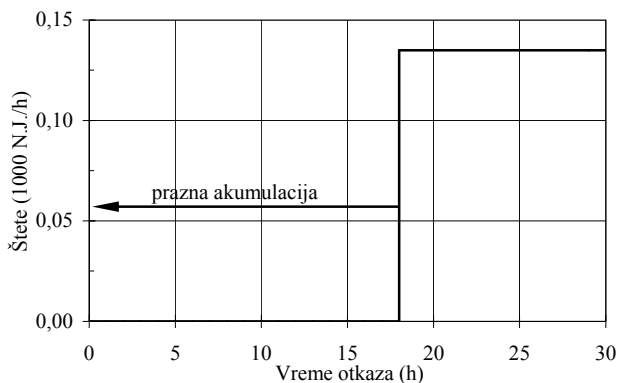


Slika 6. Tehnološka zavisnost mlina uglja i rotacionih peći za proizvodnju klinkera u industriji cementa

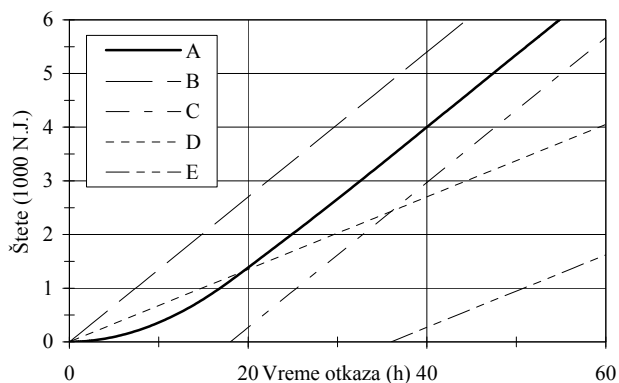
Šteta koja nastaje zavisi od toga koje tehnološke celine su u pogonu. Moguća stanja su :

- rade obe rotacione peći i mlin uglja,
- radi jedna rotaciona peć i mlin uglja, i
- ne radi ni jedna rotaciona peć, a mlin uglja radi.

¹ Cene gasa i uglja usvojene su iz [7], te su merodavne za godinu u kojoj je dotična referenca objavljena.



Slika 7. Izled funkcije štete po jedinici vremena ako do ispada mlina uglja dođe pri punoj akumulaciji uglja i ako su u pogonu obe rotacione peći



Slika 8. Zavisnost ukupnih šteta od vremena trajanja ispada mlina uglja

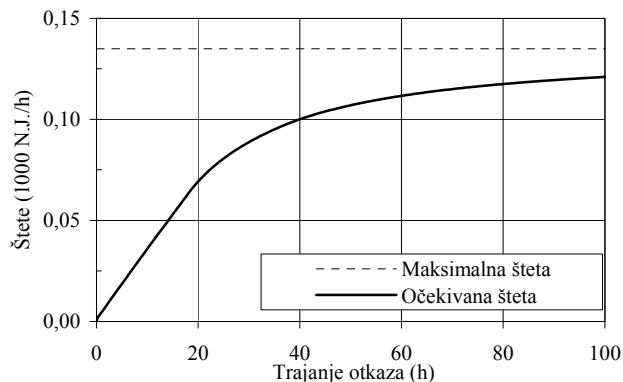
Svako od ovih stanja ima svoju verovatnoću događanja, a ako se uvaži i neizvesnost veličine akumulacije uglja u trenutku ispada, neizvesno je kolika će šteta nastati pri otkazu mlina uglja.

U nastavku je primenom Monte Carlo simulacione procedure određena očekivana vrednost štete pri ispada mlina uglja, pod pretpostavkom da su sva stanja akumulacije između 0 i 80 t jednako verovatna (uniformna raspodela na intervalu 0-80) i da su verovatnoće rada rotacionih peći 0,9 (Bernulijeva raspodela sa parametrom $p=0,9$). Zavisnost ukupne očekivane štete od vremena trajanja ispada prikazana je linijom A na Sl. 8. Pored funkcije očekivanih vrednosti štete na Sl. 8 su prikazane i funkcije štete od trajanja ispada za sledeće slučaje:

- obe rotacione peći rade, a u trenutku otkaza mlina uglja akumulacija je prazna (linija B),
- obe rotacione peći rade, a u trenutku otkaza mlina uglja akumulacija je puna (linija C),
- jedna rotaciona peći radi, a u trenutku otkaza mlina uglja akumulacija je prazna (linija D) i
- jedna rotaciona peći radi, a u trenutku otkaza mlina uglja akumulacija je puna (linija E).

Što su vrednosti mogućih stanja akumulacije veće i što su verovatnoće rada rotacionih peći manje to će funkcija očekivanih vrednosti štete imati manje vrednosti.

Na Sl. 8 prikazana je zavisnost štete po jedinici vremena od dužine trajanja otkaza mlina uglja. Isprekidanom linijom naznačena je funkcija maksimalne moguće štete po jedinici vremena (ako rade obe rotacione peći a akumulacija uglja je prazna u trenutku nastanka otkaza mlina uglja), a punom linijom funkcija očekivane vrednosti štete po jedinici vremena.



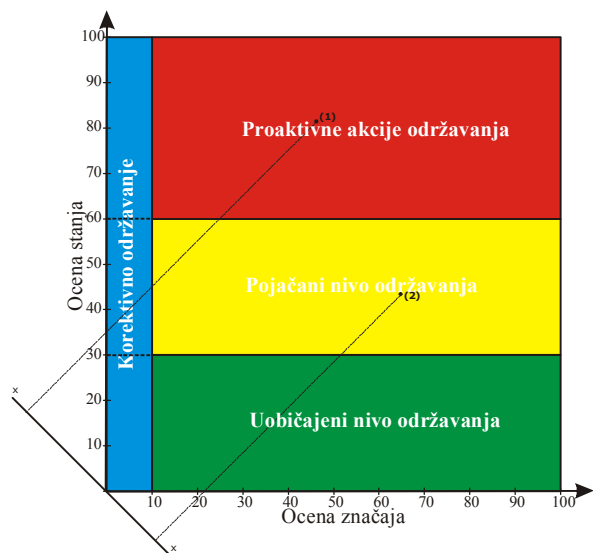
Slika 9. Zavisnost vrednosti šteta po jedinici vremena o dužini trajanja otkaza mlina uglja

V. OBJEDINJAVANJE OCENA STANJA I ZNAČAJA U SVRHU ODREĐIVANJA REDOSLEDA AKCIJA ODRŽAVANJA

Rangiranje elektromotora u svrhu redosleda njihovog održavanja po metodi zasnovanoj na pouzdanosti ilustrovana je Sl. 10. Na ovoj slici ordinata predstavlja ocenu stanja, a apscisa ocenu značaja elektromotora. Normalna rastojanja pojedinih tačaka određenih ocenom značaja i stanja u odnosu na osu x (koja je pod nagibom od 45° u odnosu na apscisu i ordinatu) određuje prioritet održavanja. Veća dužina ukazuje da je dotični elektromotor prioriterniji sa aspekta preduzimanja akcija održavanja u odnosu na elektromotore za koje je ova dužina manja. Ordinatatama u intervalu $[0, 30]$ definisana je oblast kojoj pripadaju elektromotori za koje ne treba preduzimati nikakve dodatne akcije održavanja. Intervalom $[30, 60]$ definisana je oblast kojoj pripadaju elektromotori za koje je potrebno preduzeti intenzivnije akcije održavanja (detajne dijagnostike i razmatranje potrebe izvođenja preventivnih opravki), a intervalom $[60, 100]$ oblast kojoj pripadaju elektromotori za koje je potrebno preduzeti proaktivne akcije održavanja (zamena nekih komponenti ili kompletnog elektromotora). Intervalom $[0, 10]$ apscise definisana je oblast kojoj pripadaju elektromotori malog značaja za koje je korektivno održavanje praktično jedini ispravan pristup održavanja sa aspekta troškova.

Kao ilustracija predložene metodologije na Sl. 10 označene su dve tačke određene ocenama stanja i značaja dva elektromotora. Tačka (1) odgovara elektromotoru mlina uglja za koji je pretpostavljena vrednost efektivne brzine vibracija 8 mm/s, za koju se dobija ocena stanja jednaka 81,5 (u skladu sa Sl. 3). Značaj tog elektromotora je određen proračunom očekivane vrednosti šteta, koja je funkcija tehnološke celine kojoj elektromotor pripada i očekivanog vremena neraspoloživosti tehnološke celine. Obzirom da je predloženim algoritmom za očekivanu vrednost štete

razmatranog elektromotora dobijena vrednost od 3 400 N.J., a očekivana vrednost štete najznačajnijeg elektromotora u toj industriji iznosi 7500 N.J., za ocenu značaja elektromotora mlina uglja dobija se vrednost 45,3 (vrednost ocene značaja elektromotora dobija se tako što se vrednost štete za razmatrani elektromotor deli sa vrednošću štete za elektromotor sa najvećom vrednosti štete i množi sa 100). Za drugi razmatrani elektromotor (tačka (2) na Sl. 10) za ocenu stanja i značaja dobijene su vrednosti 44,1 i 64,5. Obzirom da je normalno rastojanje tačke (1) od ose x veće od normalnog rastojanja tačke (2) elektromotor mlina uglja ima veći prioritet održavanja u odnosu na elektromotor koji odgovara tački (2).



Slika 10. Rangiranje elektromotora u svrhu njihovog održavanja po metodi zasnovanoj na pouzdanosti

VI. ZAKLJUČAK

U radu je predložen metod primene održavanja zasnovanog na pouzdanosti na elektromotore. Rangiranje elektromotora u svrhu određivanja strategije izvođenja akcija održavanja prema ovoj metodi zasniva se na dve veličine, i to : oceni stanja i oceni značaja elektromotora. U radu je predložen način određivanja stanja elektromotora kombinovanjem rezultata dostupnih dijagnostičkih tehnologija. Za određivanje konačne ocene stanja elektromotora predloženo je korišćenje težinskih koeficijenata ili fazi sistema za zaključivanje. Ocena značaja elektromotora određuje se kvantifikacijom uticaja ispada tehnološke celine kojoj elektromotor pripada, usled otkaza istog, na nastale štete. U radu su predložena dva načina određivanja štete, jedan za nezavisne tehnološke celine na osnovu rezultata dobijenih

anketom, a drugi za zavisne tehnološke celine primenom metode simulacije. Za određivanje štete usled ispada tehnološke celine primenom metode simulacije predloženi algoritam uvažava različita moguća stanja sistema, postojanje akumulacija u sistemu kao i tehnološku zavisnosti pojedinačnih tehnoloških celina sistema. Predloženom metodologijom, kombinacijom određenih ocena stanja i značaja elektromotora, utvrđuje se strategija koja se primenjuje na održavanja pojedinih elektromotora u datoj industriji.

LITERATURA

- [1] Electric Motor Tiered Maintenance Program, EPRI, Palo Alto, CA: 2002. 1003095.
- [2] Electric Motor Predictive and Preventive Maintenance Guide, EPRI, Palo Alto, CA: 1992. NP-7502.
- [3] Advanced Electric Motor Predictive Maintenance Project, EPRI, Palo Alto, CA: 2003. 1008377.
- [4] Electric Motor Predictive Maintenance, Draft Guidelines, EPRI, Palo Alto, CA: 1997. TR-108773-V1.
- [5] Electric Motor Predictive Maintenance Program, EPRI, Palo Alto, CA: 1999. TR-108773-V2.
- [6] G. Wacker, E. Wojczynski, R. Billinton : Cost/Benefit Consideration in Providing an Adequate Electric Energy Supply, *Proceedings of the IASTED Symposium on Modelling Policy and Economics of Energy and power Systems*, May 1981, San Francisco.
- [7] S. Gušavac, "Tehnička analiza eksploatacione pouzdanosti elektroenergetskih postrojenja industrije cementa", magistarski rad, Elektrotehnički fakultet, Beograd, 1999.

Abstract— The paper presents a method of reliability centered maintenance of electric motors. Ranking of electric motors in order to determine the order of execution of maintenance actions according to this method is based on two parameters, namely : condition index and importance index. The condition of electric motor is determined by a combination of available diagnostic techniques, while the importance is determined by the financial quantification of damages caused as a result of its possible failure. The paper proposed two methods of determining damages as a result of failure of electric motor, one for independent technological subsystems (usually based on the results obtained through the questionnaire), and other applicable for mutually dependent technological subsystems between which there is some form of accumulation of material that is produced in the technology subsystem.

Keywords—electric motor; reliability centered maintenance; condition index; importance index.

Maintenance models of electric motor

Одређивање оптималног броја навојака синхроног вучног мотора

Драган Михаић, Никола Попов, Слободан Н. Вукосавић

Одсек за енергетику
Електротехнички факултет Београд
Београд, Србија

dragan84m@etf.rs, nikola.popov@etf.rs, boban@etf.rs

Горан Вуковић, Срђан Јокић

Одсек за електроенергетику
Електротехнички факултет Источно Сарајево
Источно Сарајево, БиХ

goran.vukovic@etf.unssa.rs.ba, srdjan.jokic@etf.unssa.rs.ba

Садржај—Синхроне моторе са сталним магнетима на ротору (СМСМ) одликује велики степен корисног дејства и велика специфична снага. То значи да се може радити са већим вредностима индукције и густине струје и тако постићи већа снага из једнаке запремине и тежине мотора. Управо ове добре особине разлог су зашто су СМСМ најповољнији за коришћење у експлоатацији као погонски мотори где је потребно постићи велику брзину реда 40000 об/мин. Радећи у области слабљења поља развијају константну снагу једнаку номиналној. Да би СМСМ радила при тако великом броју обртаја, мора се напајати из инвертора струјама које достижу фреквенцију од 1kHz. У оквиру рада одређује се оптималан број навојака статорског намотаја који резултује најмањом снагом губитака при раду у задатом опсегу брзина. Задати опсег брзина обично обухвата брзине од номиналне до максималне тј. брзине у области слабљења поља. Конкретно у овом раду опсег брзина је од $n_{\text{ном}} = 26000$ об/мин до $n_{\text{max}} = 38000$ об/мин. Анализира се снага губитака у гвожђу на релевантним фреквенцијама као и додатна снага Цулових губитака у намотају статора која се јавља као последица скин ефекта који постаје изражен при наведеним високим фреквенцијама статорских струја. У процесу оптимизације се такође узимају у обзир и губици у инвертору из кога се мотор напаја. Број навојака се одређује тако да се избегне потреба за прекомерном струјом демагнетизације у области слабљења поља.

Кључне речи: оптимизација статорског намотаја, формирање намотаја и моделовање губитака, утицај скин ефекта, струја демагнетизације и рад у области слабљења поља.

I. УВОД

У оквиру рада је предложен начин и дат пример оптимизације статорског намотаја синхроне машине са сталним магнетима (СМСМ) са циљем да се умање губици у задатом опсегу брзина. Као пример је одабран СМСМ примењен у систему за рекулерацију кинетичке енергије возила, који у фази убрзања ради као мотор, док у фази кочења ради у генераторском режиму. У краћим интервалима достиже се снага од 50 kW. Синхрона машина је спрегнута са вратилом мењача које се (типично) обрће брже од вратила ендотермичког мотора и смештена је у мењачку кутију. Зато је од велике важности да димензије електричне машине буду што мање, као и да губици и створена топлота буду минимални. Систем за рекулерацију кинетичке енергије најчешће ради у области константне

снаге и то од $n_{\text{ном}} = 26000$ об/мин до $n_{\text{max}} = 38000$ об/мин. Као и у многим другим применама СМСМ, рад у области константне снаге захтева слабљење поља.

Стварање побуде уз помоћ сталних магнета отежава слабљења поља код оваквих мотора. Наиме, да би се ослабило поље и тако повећала брзина обртања мотора, неопходно је имати негативну i_d компоненту статорске струје. Струја чија је пројекција на d осу машине негативна назива се *демагнетизационом*. Компонента i_d увећава ефективну вредност статорске струје и резултује додатном снагом губитака у статорском намотају и тиме умањује степен корисног дејства мотора. И поред тога, изостанак намотаја и губитака на ротору код СМСМ је разлог да ова врста машине има боље карактеристике од асинхроне машине или синхроне машине са намотаним ротором. У основи, овде се предлаже решење статорског намотаја СМСМ који омогућује да се избегне потреба за прекомерном струјом демагнетизације у области слабљења поља, али да при томе не дође до прекомерног смањења односа Nm/A и прекомерног увећања потребне струје у области мањих брзина и константног момента.

II. НАЧИН ФОРМИРАЊА НАМОТАЈА И ГУБИЦИ

У раду смо разматрали проблем оптимизације броја навојака статорског намотаја СМСМ у циљу постизања минималне снаге губитака при раду у задатом опсегу брзина. У овом одељку се користи упрошћени модел и аналитички приступ да би се показало да постоји оптимални дизајн статорског намотаја. Упрошћени модел подразумева да се сви губици у СМСМ и претварачу могу сматрати пропорционалним квадрату ефективне вредности струје статора.

Створени моменат и магнетопобудна сила машине зависе од производа броја навојака и струје. Променом броја навојака у односу на номиналан број у истом режиму рада долази до промене i_d и i_q компоненте струје статора. Однос измењеног у односу на номинални број проводника тј. релативни број проводника је:

$$a = \frac{N}{N_{\text{ном}}} \quad (1)$$

Анализа спроведена у овом одељку разматра пример у коме се релативни број проводника мења од $a_{min} = 0,5$ до $a_{max} = 2$.

У радовима [1,4,6] је показано да су компоненте статорске струје у зони слабљења поља:

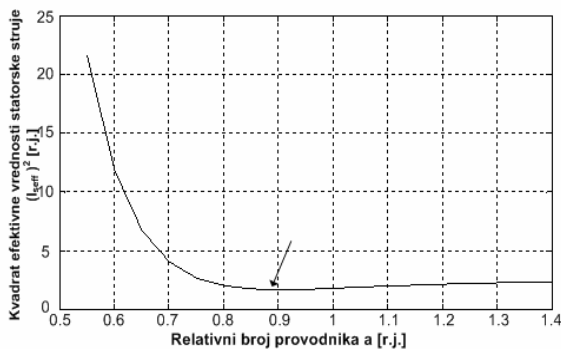
$$i_q = \frac{i_{qnom}}{a}, i_d = -\frac{\psi_m}{a \cdot L_d} \left(1 - \frac{n_{nom}}{a \cdot n} \right) \quad (2)$$

где је ψ_m номинална вредност флукса сталних магнета док је L_d номинална вредност индуктивности статорског намотаја у d оси машине.

Јачина струје i_q опада са увећањем броја проводника зато што у задатим условима магнетопобудна сила у q оси треба да остане константна. Са већим бројем проводника, номинална електромоторна сила намотаја се достиже при мањим брзинама. Дакле, потреба за демагнетизационом струјом i_d се јавља при нижим брзинама. У неком посматраном радном режиму, у зони слабљења поља, јачина демагнетизационе струје i_d расте са повећањем броја проводника. Узимајући у обзир ефекте које промена броја навојака ствара у осама d и q , ефективна вредност статорске струје

$$I_{seff}(a) = \sqrt{i_d^2 + i_q^2} \quad (3)$$

мењаће се у функцији броја навојака статора.



Слика1. Промена квадрата ефективне вредности струје са променом релативног броја проводника статора

На Сл.1 је приказана зависност $I_{seff}^2(a)$ изражена у релативним јединицама. Подаци дати на слици се односе на рад са номиналном снагом при константној брзини обртања. Може се уочити минимум који је на слици означен стрелицом. Дакле, постоји основ за претпоставку да постоји оптимална вредност броја навојака за коју је снага губитака у машини најмања.

Ипак, спроведена анализа узима упрошћени модел губитака и не може се користити у пракси. Поред Џулових губитака у намотају на основној фреквенцији, неопходно је

уважити и скин ефекат као и губитке у магнетском колу и транзисторском инвертору.

III. УТИЦАЈ СКИН ЕФЕКТА

Машине које се користе у наведеним применама су најчешће четворополне. Двуполне машине имају мање радне фреквенције за исту брзину, али је код њих искоришћење активног материјала, гвожђа и барка, знатно лошије. За четворополну машину, опсег промене фреквенције статорских струја f је од 867 Hz до 1267 Hz. При овим фреквенцијама у намотајима статора постаје изражен скин ефекат, који увећава ефективну отпорност статорског намотаја, а тиме и Џулове губитке. Увећањем броја проводника статора при истој величини жлеба смањује се површина попречног пресека проводника, а истовремено се повећава укупна дужина проводника тако да се укупна отпорност статорског намотаја без урачунатог скин ефекта (R_{SDC}) мења према изразу

$$R_{SDC} = a^2 \cdot R_{SDCnom} \quad (4)$$

где је R_{SDCnom} укупна отпорност статорског намотаја за једносмерну струју и номинални број проводника. Смањењем попречног пресека проводника умањује се утицај скин ефекта на повећање статорске отпорности. Код мањег пресека, ефекат потискивања струје ка периферији проводника има мањег утицаја на увећање отпорности. Дакле, за веће вредности параметра a , скин ефекат има мањи утицај.

Однос отпорности при радној фреквенцији и отпорности за једносмерну струју дефинисан је фактором увећања отпорности K_R [2,5]. Фактор отпорности је функција броја проводника и фреквенције статорских струја. Аналитички израз ове зависности детаљно је изведен у [2]. За случај једног проводника у жлебу, аналитичка функција за фактор отпорности је

$$K_R = \frac{\alpha \cdot h}{2} \cdot \frac{sh(2 \cdot \alpha \cdot h) + \sin(2 \cdot \alpha \cdot h)}{sh^2(\alpha \cdot h) + \sin^2(\alpha \cdot h)} \quad (5)$$

Нумеричким решавањем [3] аналитичке функције за K_R добијају се вредности овог коефицијента за опсег релевантних фреквенција и опсег промене параметра a . У Табели 1 су дате вредности коефицијента K_R за три вредности броја проводника у жлебу и то при максималној радној фреквенцији. Природа ове промене пресликава се на цео статорски намотај. Аналитичка разматрања која дају функцију $K_R(f,a)$ за различите облике жлеба дата су у радовима [2,6].

ТАБЕЛА 1- ВРЕДНОСТ КОЕФИЦИЈЕНТА K_R ЗА РАЗЛИЧИТО N

	вредност коефицијента K_R за различито N		
	$N = 1$	$N = 2$	$N = 3$
K_R	6.407	5.099	4.049

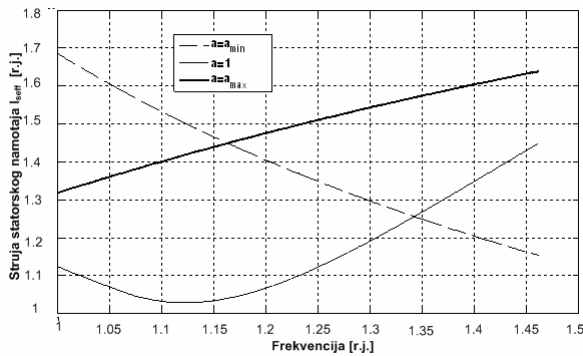
На основу претходно приказаног закључује се да је отпорност статорског намотаја функција фреквенције и релативног броја проводника:

$$R_S(f, a) = R_{SDC} \cdot K_R(f, a) \quad (6)$$

Према томе снага, Цулових губитка у статорском намотају дата је следећом релацијом:

$$P_{Cus}(f, a) = R_S(f, a) \cdot I_{seff}^2(f, a) \quad (7)$$

Ефективна вредност струје I_{seff} зависи од компоненти i_d и i_q . Зависност ефективне вредности струје од фреквенције за случај минималног, номиналног и максималног релативног броја проводника дата је на Сл.2.



Слика 2. Зависност ефективне вредности струје статора од фреквенције за случај номиналног, максималног и минималног релативног броја проводника

Јачина струје и q оси не зависи од скин ефекта. Струја i_d индиректно зависи од скин ефекта стога што отпорност R_S , која утиче на равнотежу напона и потребни износ демагнетизације, зависи од скин ефекта и фреквенције. Компонента i_q се смањује са порастом фреквенције и брзине зато што је у зони слабљења поља снага константна и једнака номиналној, тако да потребни моменат хиперболички опада. Компонента i_d се повећава са порастом фреквенције јер је при већим брзинама потребна већа демагнетизациона струја.

Једначине (6) и (7) као и резултати приказани на Сл. 2 омогућују да се процене укупни губици у намотајима при великим брзинама и великим фреквенцијама струја. Детаљи спроведене анализе се могу боље сагледати у референцама [2,5,6].

IV. ГУБИЦИ У МАГНЕТСКОМ КОЛУ

Моделовање губитака у магнетском колу захтева уважавање ефекта демагнетизације у зони слабљења поља, као и уважавање природе губитака у гвожђу на врло великим фреквенцијама рада. Резултантна индукција у ваздушном зазору СМСМ је резултат интеракције магнетопобудне силе сталних магнета и магнетопобудне силе статора, створене струјама i_d и i_q . Резултантна магнетска индукција B_{rez} је простопериодично расподељена у ваздушном зазору и зависи од угаоног положаја ротора θ_m . Магнетска индукција се одређује као збир појединачних компоненти магнетске индукције за дати режим рада, дефинисан брзином, моментом и

релативним бројем проводника. Збрајањем магнетопобудних сила у осам d и q добија се

$$B_{rez}(\theta_m) = B_{Rm} \cos(\theta_m) + B_q \sin(\theta_m) + B_d \cos(\theta_m) \quad (8)$$

где су B_{Rm} , B_q , и B_d компоненте магнетске индукције које потичу од сталних магнета, i_q и i_d компоненте статорске струје, док је θ_m угао ротора. Може се показати да су релативизоване компоненте индукције B_q и B_d обрнуто пропорционалне броју проводника, то јест

$$B_q = \frac{\Psi_q}{a}, B_d = \frac{\Psi_d}{a} \quad (9)$$

док је компонента B_{Rm} непроменљива и зависи од врсте употребљених сталних магнета. У претходној једначини, флуks и магнетска индукција су повезани геометријом машине, на начин који је описан у референтној литератури [1,5].

Губици у гвожђу имају две компоненте, губитке услед хистерезиса и губитке услед вихорних струја. При великој фреквенцији магнетског поља у машини губици услед вихорних струја су доминантни па се губици услед хистерезиса могу занемарити.

Занемарењем губитака услед хистерезиса губици у гвожђу P_{Fe} се могу представити следећом једначином

$$P_{Fe}(f, a) = k_{Fe} f^2 \int_0^{2\pi} B_{rez}^2(\theta_m) d\theta_m \quad (10)$$

где је k_{Fe} константа која зависи од геометрије магнетског кола машине и особина материјала (пре свега проводности) од ког је магнетско коло начињено.

Пошто је позната номинална снага губитака у гвожђу P_{Fenom} , која постоји при номиналној фреквенцији f_{nom} и номиналном релативном броју проводника a_{nom} , у сваком другом режиму се могу одредити релативна снага губитака у гвожђу p_{Fe} као:

$$p_{Fe}(f, a) = \frac{P_{Fe}(f, a)}{P_{Fenom}(f_{nom}, a_{nom})} \quad (11)$$

Једначина (11) омогућује да се процене укупни губици у магнетском колу. Референце [5,6] садрже подробнију анализу и описују случајеве када је магнетско коло начињено од лимова, као и случајеве када се магнетско коло добија синтеровањем спрашених легура.

V. ГУБИЦИ У ТРАНЗИСТОРСКОМ ПРЕТВАРАЧУ

У трофазним транзисторским инверторима постоје комутациони и кондукциони губици. У оквиру возила, најчешће се користе инвертори повезани са литијум јонским батеријама или са батеријама супер кондензатора. У оба случаја ради се о релативно ниском напону у једносмерном међуколу. Напон се креће од 24V до 144V. Инвертори за такав опсег напона не граде се са IGBT транзисторима већ користе MOSFET транзисторе који имају врло мале комутационе губитке. Стога се комутациони губици овде занемарују. Кондукциони губици у инвертору потичу од пада напона на прекидачу у стању провођења. Пад напона између колектора и емитера (то јест дрејна и сорса) може се представити редном везом електромоторне силе и динамичке отпорности. Ова два параметра се могу добити из каталожских података, то јест са графика $I_C - V_{CE}$ који се може апроксимирати следећом функцијом:

$$u_{CE}(t) = V_{CE0} + r_d(\theta) \cdot i_{CE}(t) \quad (12)$$

где је $u_{CE}(t)$ пад напона на прекидачу, V_{CE0} пад напона при врло малој струји, $r_d(\theta)$ - динамичка отпорност прекидача зависна од температуре θ , док је $i_{CE}(t)$ - струја прекидача.

Пошто је зависност колекторске струје I_C од напона V_{CE} приближно линеарна, инвертор се може моделовати као редна веза отпорника r_d и електромоторне силе V_{CE0} . На основу тога, губици у инвертору се могу представити изразом :

$$P_{inv} = R_{invnom} I_{seff}^2 + V_{CE0} I_{sr} \quad (13)$$

при чему је R_{invnom} номинална отпорност инвертора, I_{seff} ефективна вредност струје, док је I_{sr} средња вредност струје машине.

VI. ПРОЈЕКТОВАЊЕ НАМОТАЈА СТАТОРА

Оптималан дизајн намотаја статора треба да обезбеди минимум снаге губитака у систему претварач-СМСМ у раду са константном, номиналном снагом и то у опсегу брзина обртања од n_{nom} до n_{max} . При томе се сматра да су све брзине у датом опсегу једнако заступљене у раду. Да би се одредила средња вредност укупних губитака прво је потребно одредити средње вредности губитака појединих делова система. Интеграцијом израза за губитке датих једначинама (7), (11) и (13) на интервалу од минималне до максималне брзине обртања, то јест од минималне до максималне фреквенције, добија се израз за средњу вредност губитака у функцији броја навојака, то јест у функцији параметра a .

$$P_{Cus}(a) = \int_{f_{nom}}^{f_{max}} P_{Cus}(a, f) df \quad (14)$$

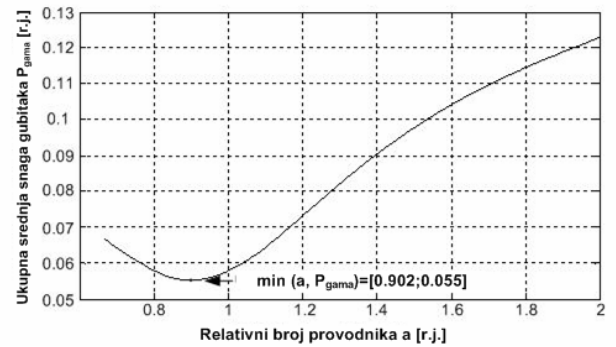
$$P_{Fe}(a) = \int_{f_{nom}}^{f_{max}} P_{Fe}(a, f) df \quad (15)$$

$$P_{inv}(a) = \int_{f_{nom}}^{f_{max}} P_{inv}(a, f) df \quad (16)$$

Средња вредност губитака се израчунава као збир израза (14-16), то јест као сума средње вредности губитака статорског намотаја, губитака у гвожђу и губитака у инвертору,

$$P_\gamma(a) = P_{Cus}(a) + P_{Fe}(a) + P_{inv}(a) \quad (17)$$

Све величине у једначинама (14), (15), (16) и (17) су представљене у релативним јединицама. На основу једначине (17) добија се график зависности укупних губитака од релативног броја проводника (a) који је приказан на Сл. 3.



Слика. 3. Зависност укупне средње вредности снаге губитака од релативног броја проводника

На приказаној слици се може уочити минимум функције губитака.. У датом нумеричком примеру, тај оптимум износи $a_{opt} = 0.902$ одакле се закључује да број проводника статора треба смањити за 9.8 % у односу на номинални да би укупни губици у систему у задатом опсегу брзина били минимални.

ЗАКЉУЧАК

Из спроведене анализе закључено је да се проблем слабљења поља код СМСМ огледа у томе што демагнетизациона компонента струје резултује додатним губицима снаге. При овом процесу долази до повећања ефективних вредности статорских струја и губитака у мотору и претварачу. Овај проблем се решава смањењем броја навојака статорског намотаја, чиме је избегнуто коришћење слабљења поља. Услед овога долази до неравномерне расподеле статорске струје и потискивања ка површини жлеба што увећава губитке услед скин ефекта. Проблем услед скин ефекта се решава повећањем броја навојака статорског намотаја. У раду је извршена оптимизација односа броја проводника на основу минималне средње снаге губитака СМСМ на опсегу

брзине обртања уважавајући све горе наведене закључке до којих смо дошли.

ЛИТЕРАТУРА

- [1] В. Вучковић: “Општа теорија електричних машина”, *Наука, Београд, 1992.*
- [2] Др Јован Сурутка: “Електромагнетика”, *Електротехнички факултет Београд, 1975.*
- [3] Г.В. Миловановић: “Нумеричка анализа I део”, *Научна књига, Београд, 1985.*
- [4] С. Н. Вукосавић: “Електричне машине”, *Електротехнички факултет, Београд, 2010.*
- [5] J. Pyrhonen, T.Jokinen, Valeria: “Design of Rotating Electrical Machines”, *2008 John Wiley & Sons, Ltd.*
- [6] Д. Михаић, „Анализа губитака снаге у СМПМ примењеној у систему за рекуперацију енергије“, мастер рад, ЕТФ, Београд, 2010

Abstract-Synchronous motors with permanent magnets on the rotor (PMSM) is characterized by a high degree of efficiency and high specific power. This means that it can operate with higher values of induction and current density and therefore achieve more power from the equal volume and weight of the engine. These good qualities are the reason why PMSM are the most advantageous for use in service as drive motors where necessary to achieve high-speed sized 40,000 rpm. Working in field

weakening they develop a constant force equal to nominal. To PMSM worked with so high speed, it must be powered from the inverter currents that reach a frequency of 1kHz. In the paper is determined the optimal number of turns of stator windings, which results in minimum power loss when operating in a given range of speeds. Given speed range typically includes speeds of nominal up to a maximum i.e. speeds in field weakening. Specifically, in this paper, the range speed is from $n_{nom} = 26,000$ rpm up to $n_{max} = 38,000$ rpm. Analyzed is the power loss in the iron at the relevant frequencies and additional power of Joule’s losses of the stator winding that occurs as a result of skin effect that becomes pronounced at these high frequencies of stator currents. The optimization process also takes into account the losses in the inverter, from which the motor is powered. Number of turns is determined so as to avoid the need for excessive demagnetization current in the field weakening.

Keywords: optimization of the stator windings, forming coils and modeling of losses, the impact of skin effect, current demagnetization and work in field weakening

Determination of the Optimal Number of
Synchronous Traction Motors Turns

Мерење импедансе асинхроне машине на учестаности комутација и индиректно одређивање температуре

Никола Попов, Драган Михаић, Слободан Н. Вукосавић

Одсек за енергетику
Електротехнички факултет Београд
Београд, Србија

nikola.popov@etf.rs, dragan84m@etf.rs, boban@etf.rs

Срђан Јокић, Горан Вуковић

Одсек за електроенергетику
Електротехнички факултет Источно Сарајево
Источно Сарајево, БиХ

srdjan.jokic@etf.unssa.rs.ba, goran.vukovic@etf.unssa.rs.ba

Садржај—Развој енергетске електронике последњих деценија омогућио је фреквенцијску регулацију брзине обртања трофазних асинхронних мотора и њихову ширу примену у индустрији. Да би било могуће управљати брзином и моментом асинхронног мотора неопходно је познавати параметре машине током рада. Познавање температуре ротора важно је из доста разлога. Повећање температуре може да изазове оштећење мотора као и промену роторске отпорности и роторске временске константе. Промена параметара услед варијације температуре доводи до угрожавања перформанси погона. Из наведеног је јасно да у току рада погона треба располагати начином за оцену температуре ротора и роторске отпорности. Из економских и техничких разлога није прихватљиво уграђивати даваче температуре на ротор. У раду је предложен метод за оцену температуре ротора на основу напона и струја статорског намотаја у регуларном раду, без заустављања и без коришћења тест сигнала.

Кључне речи: температура ротора, импеданса асинхроне машине, PWM, анализа спектра.

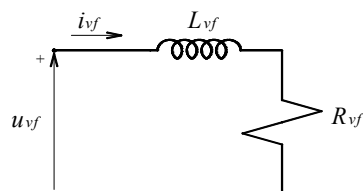
I. Увод

Отпорност роторског кавеза асинхроне машине се мења у широком опсегу, у зависности од температуре и учестаности. Отпорност на основној учестаности зависи готово у потпуности од температуре ротора. Температура ротора у односу на температуру амбијента у неким случајевима може достићи и 150 °C. Један од начина за оцену температуре ротора је поређење отпорности у датим условима са отпорношћу на познатој температури. Познавање односа отпорности при различитим температурама једнозначно указује на однос температура. Међутим, да би се одредила температура, потребно је располагати подацима о отпорности ротора, што представља потешкоћу. Наиме, роторски намотај у највећем броју случајева није доступан. Овде се предлаже одређивање температуре ротора на основу промена у импеданси мотора, детектованих из струја и напона који се имају настатору.

Учестаност комутација трофазних транзисторских претвараача из којих се мотори најчешће напајају је

значајно већа од основне. На основу познате промене роторске отпорности на високим учестаностима могуће је утврдити промену температуре. С друге стране познавањем температуре се омогућује одређивање промене роторске отпорности на основној учестаности. Већи број радова, [1], [2], [3] указује на релативно велику сложеност и осетљивост алгорита за идентификацију роторске временске константе. Директно мерење температуре ротора није практично из техничких и економских разлога. У овом раду се предлаже метода за одређивање температуре ротора на бази мерења импедансе ротора на високим учестаностима, блиским учестаностима комутације инвертора.

Поступак одређивања температуре на основу импедансе на радној учестаности био би отежан тиме што на активни део импедансе утиче велики број фактора међу којима су губици у гвожђу као и снага електромеханичке конверзије. Уколико се импеданса одређује на учестаности комутација, за коју је релативно клизање блиско 1, поменути проблеми и утицаји нису од значаја. Електромеханичко претварање постоји захваљујући променама флукса и струје на фреквенцијама реда 50 Hz, тако да систем напона и струја на вишим фреквенцијама практично нема утицаја на електромеханичко претварање. Стога појаве на комутационој учестаности инвертора немају удела у снази електромеханичког претварања, што представља основ за предложену методу. Реални део импедансе мотора на овој учестаности зависи искључиво од отпорности намотаја а не од снаге електромеханичког претварања и основних губитака у машини. Дакле, мерењем отпорности на учестаности комутовања заправо се одређује специфична отпорност материјала роторских штапова.



Слика 1. Заменска шема асинхронног мотора за високе учестаности

Мерење отпорности R_{vf} на слици 1 захтева довођење одговарајућег напона u_{vf} , који има улогу тест сигнала. Довођење тест сигнала у току рада мотора није прихватљиво, јер би такав сигнал створио осцилације струје и момента које утичу на рад мотора и могу пореметити радну машину. Уместо тест сигнала може се користити наизменична компонента статорског напона на учестаности комутација инвертора са ширинском модулацијом, из којих се АМ напајају. Комутациона учестаност трофазних транзисторских инвертора најчешће износи 10-20 kHz. Напајање мотора статорским напонима у облику импулса променљиве ширине за резултат има валовитост статорске струје на комутационој учестаности. Дакле, у стандардним фреквенцијски регулисаним АМ већ постоји високофреквентна напонска побуца и одзив у облику валовитости струје статора. На основу овога могуће је одредити високофреквентну импедансу а на основу њеног реалног дела могуће је оценити температуру материјала од ког су начињени роторски штапови (алуминијум). Коначно, из промене температуре могуће је добити и оцену о промени отпорности ротора на основној учестаности.

У овом раду прво су приказани теоријски аспекти промене роторске отпорности а након тога представљени су експериментални резултати мерења добијени применом предложене методе.

II. ПРОМЕНА ИМПЕДАНСЕ МОТОРА НА ПОВИШЕНИМ УЧЕСТАНОСТИМА

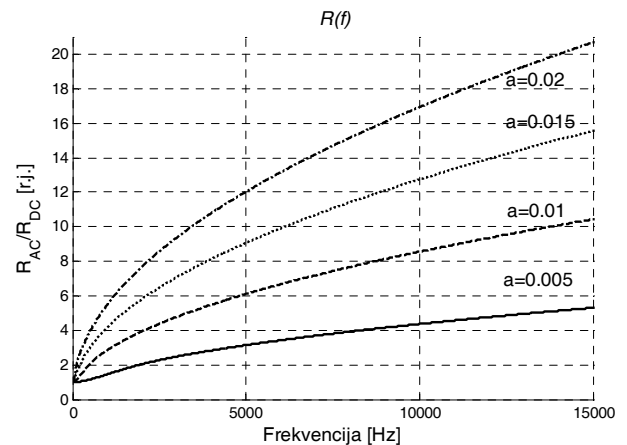
При раду на учестаностима које су блиске комутационој, грана магнетисања у заменској шеми мотора се може занемарити. Релативно клизање s је блиско 1. Зато се заменска шема за високе учестаности своди на редну везу индуктивности расипања и еквиваленте серијске отпорности мотора, што је приказано на слици 1. Серијска отпорност R_{vf} је једнака збиру отпорности статорског намотаја на датој учестаности и отпорности роторског намотаја која је сведена на страну статора. Отпорности статора и ротора на основној учестаности рада имају блиске вредности. Потребно је проценити однос отпорности статора и ротора на учестаности комутације и закључити која од њих је доминантна у збиру R_{vf} . Наиме, у случају одређивања температуре ротора на поменути начин, при значајној вредности статорског отпора не би се добила заправо температура ротора.

Познато је да су роторски штапови значајно већег попречног пресека од проводника у намотају статора стандардних асинхроних машина. Стога се отпорност ротора на вишим учестаностима вишеструко увећава због скин ефекта. Наиме, хармонијске компоненте струје на учестаностима реда 10 kHz потискују се ка делу роторског проводника ближе зазору. Будући да струја тада постоји на смањеном пресеку, отпорност се увећава. Аналитички изрази који одређују увећање отпорности роторских штапова услед скин ефекта дати су у књизи [4]. Табеле које дефинишу фреквенцијске промене отпорности ротора стандардних асинхроних мотора дате су у раду [1]. Израз (1) представља формулу којим се одређује импеданса

роторског штапа у зависности од фреквенције (a представља полупречник штапа).

$$R + j\omega L = R_{DC} \frac{\sqrt{-j\omega\mu\sigma a} J_0(\sqrt{-j\omega\mu\sigma a})}{2 J_1(\sqrt{-j\omega\mu\sigma a})} \quad (1)$$

Услед релативно великог пресека роторских штапова, отпорност ротора се увећава већ на мрежној учестаности, док при учестаностима реда kHz узимају вредности које су неколико десетина пута веће од отпорности за једносмерну струју. Фреквенцијска зависност количника роторске отпорности при наизменичној и једносмерној струји за стандардне асинхроне моторе је дата на слици 2.



Слика 2. Повећање отпорности у зависности од фреквенције при различитим пречницима штапова

На основу слике 2, може се закључити да је код стандардних асинхроних мотора отпорност R_{vf} преважно одређена специфичном отпорношћу роторских штапова и геометријом роторских жлебова. Проводници статора имају значајно мањи пресек па је скин ефекат у њима значајно мањи. Стога је утицај статорске отпорности на мерену величину R_{vf} занемарив. Дакле, одређивањем активног дела импедансе мотора на повишеним учестаностима добија се отпорност роторског кавеза на датим учестаностима.

Теоријски гледано, податак о роторској отпорности R_{vf} се може добити на основу напонског и струјног спектра сигнала. Тачније, количник компоненте напона и компоненте струје на 10 kHz представља импедансу мотора на 10 kHz. Издвајањем реалног дела и поређењем са отпорношћу при познатим условима може се добити податак о температури. Алгоритам који је потребно применити укључује анализу спектра напона и струје.

III. ОДРЕЂИВАЊЕ TEMPERATURE РОТОРА

У реалном погону, са сигнаlima добијеним мерењима, рад са Фуријеовом трансформацијом одудара од теоријске примене. Из тих разлога потребан је другачији приступ при одређивању импедансе мотора од стриктно теоријског приступа. Услед присуства шума и ограничене резолуције ADC, обраду података у реалном времену је потребно

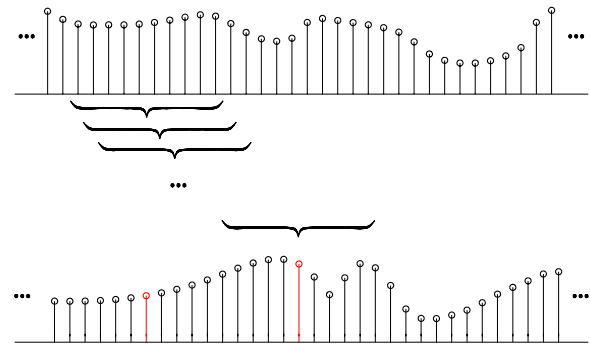
организовати тако da несavrшеност мерења не утиче на тачност у одређивању температуре.

Теоријски, уколико су доступни сигнали струја и напона на прикључним крајевима машине који нису оштећени процесом одабирања (немају грешку услед квантизације у времену ни услед квантизације по амплитуди), довољно би било одредити спектар напона и струје $U(j\omega)$ и $I(j\omega)$, а након тога и импедансе $Z(j\omega)$ и на основу реалног дела импедансе оценити мерену отпорност. У практичној имплементацији се то не може урадити на тако једноставан начин. Наиме, појаве у погону су периодичне али њихов период никад није унапред познат. У устаљеном стању величине се мењају са периодом од 50 Hz али чак и у том случају тешко је подесити систем за одабирање да он узима 2^n одбирака у трајању периода од 20 ms.

У тренуцима када не постоји екситација а приликом одабирања струја и напона се јави ипак нека вредност услед шума, потребно ју је уклонити или бар не узимати у обзир. Још један проблем који се јавља је и чињеница да је тешко подесити време одабирања на вредности мање од 1 μ s. Новији дигитални сигнал процесори (ДСП) би могли да достигну и боље перформансе у смислу времена одабирања где је за А/D конверзију потребно неколико десетина ns [5]. Међутим, алгоритам је тестиран тако што је вршено мерење сигнала четвороканалним осцилоскопом, којим је сигнал одабирани са периодом реда μ s. Напонске ивице су такве да су стрмине напона реда 100 ns, а напонске ивице је потребно одабирати тако да се има бар неколико одбирака током скока напона са $-E$ на $+E$. Када је PWM у засићењу узани, напонски импулси могу трајати чак 1 μ s, тако да одабирање са неколико μ s неминовно доводи до одређених грешака и до потешкоћа у интерпретацији сигнала. Те грешке нису велике али је потребно указати на њих. Са друге стране сигнали струје на високим фреквенцијама су релативно мале амплитуде и на њих дефинитивно могу лоше утицати грешке услед одабирања као и сам шум.

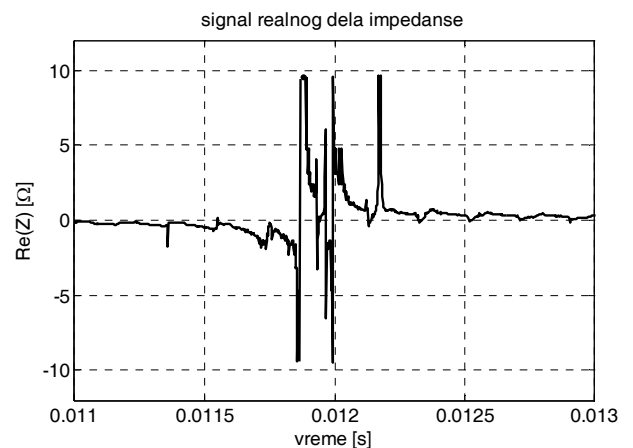
Због наведених проблема, мерени сигнали су коришћени тако што се свака тачка у добијеном спектру $Z(j\omega)$, који се добија дељењем спектра напона спектром струје, узима у обзир у оној мери у којој постоји и екситација на тој учестаности (уколико постоји значајна екситација на некој учестаности оправдано је сматрати да је податак из амплитудског спектра импедансе валидан) како би се извршила нека врста филтрирања. Другим речима, податак о спектру импедансе се заједно са спектром напона користи да би се добила нека оперативна информација о спектру импедансе. Начин обраде је следећи: свака тачка спектра импедансе се множи са одговарајућом вредношћу напона на истој учестаности, сабира се са суседним тачкама (у неком одређеном појасу фреквенције) које су третиране на исти начин пондерисањем са одговарајућом напонском вредношћу, а затим се добијени збир дели са збиром напонских одбирака којима су множене вредности импедансе. Тиме се постиже одређена врста усредњавања и на неки начин се елиминишу грешке услед интерпретације сигнала (елиминише се потреба за коришћењем прозорских функција), смањује

се утицај шума и добијени резултат има димензију Ω . При томе није коришћена уобичајена децимација сигнала која ће из оригиналног вектора (сигнала) са n тачака, коришћењем појаса од m тачака дати нов вектор са n/m тачака већ је примењен клизајућа средња вредност (*Moving Average Filter*), који у суштини даје нови вектор импедансе са готово истим бројем тачака што је приказано на слици 3. Тежински коефицијенти филтра су заправо вредности одговарајућих одбирака напона.



Слика 3. Резултат примењене децимације

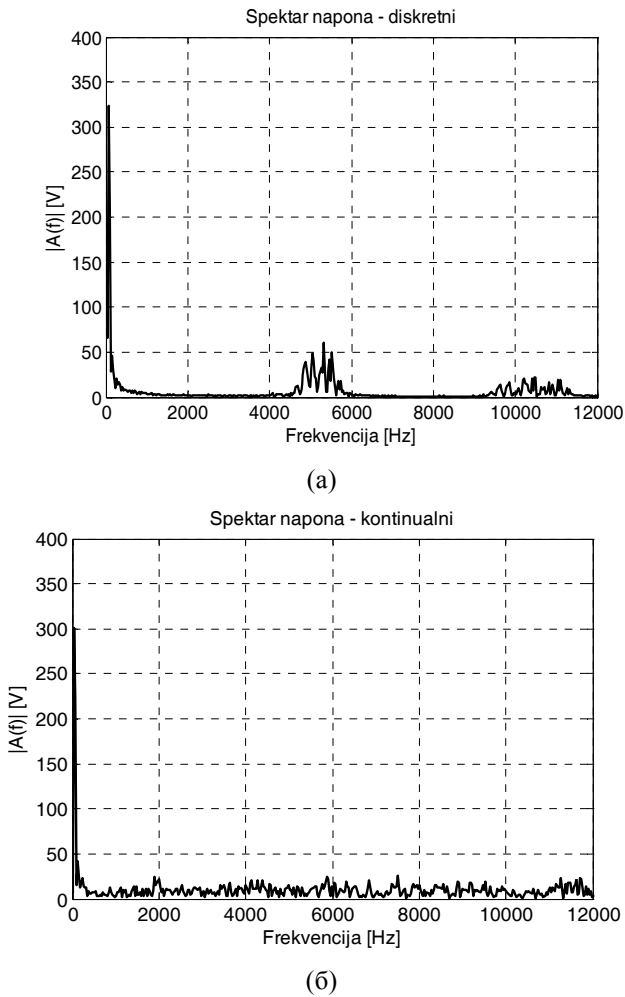
На слици 4 је приказан график који представља сигнал реалног дела импедансе добијен простим дељењем сигнала напона струјним, на коме се виде све аномалије тако добијеног сигнала и након чега је јасно да се решењу проблема не може приступити на једноставан начин, по принципу $Z(j\omega) = U(j\omega)/I(j\omega)$.



Слика 4. Сигнал реалног дела импедансе

Овако једноставан начин добијања импедансе би у случају реалних сигнала могао да пружи сасвим погрешне

информације, рецимо негативне вредности отпорности чак и у случајевима када је шум на ниском нивоу.



Слика 5. Спектар мереног напона у случају напајања мотора претварачем са (а) дискретним и (б) континуалним спектром

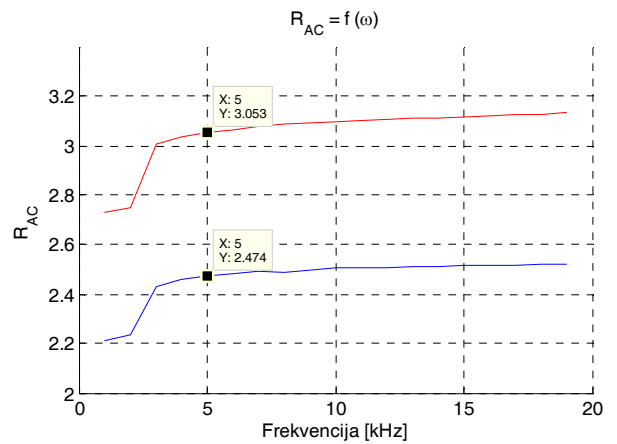
IV. РЕЗУЛТАТИ

Експериментална мерења вршена су у лабораторији Електротехничког факултета у Београду а поставка је приказана на слици 6.



Слика 6. Експериментална поставка.

Исти алгоритам примењен је на мерења добијена приликом напајања са два различита претварача, један са континуалним и један са дискретним спектром чији су спектри приказани на слици 5. За проверу валидности мерења коришћен је инфра-црвени температурни сензор.



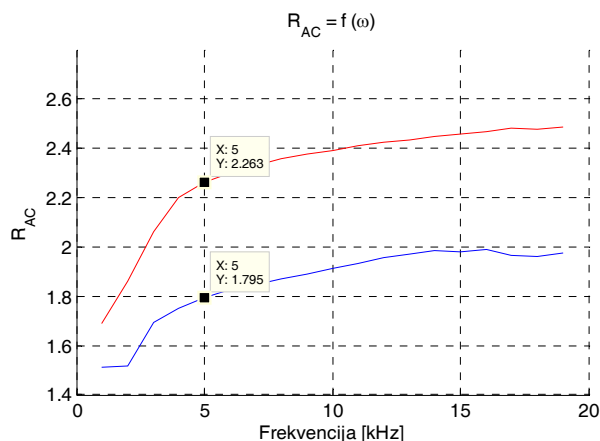
Слика 7. Зависност отпорности од фреквенције при хладном и при загрејаном ротору

На сликама 7 и 8 приказани су резултати примене алгоритма на добијена мерења сигнала напона и струја (односно на њихове спектре). На слици 7 приказане су отпорности у случају напајања претварачем који поседује дискретан спектар а на слици 8 континуалан спектар. У оба случаја мотор је загреван до температуре од 85 °С, што је потврђено инфра-црвеним сензором. Процес загревања је био веома спор, реда једног часа како би расподела температуре у машини била равномерна.

Уз познат однос отпорности коришћењем израза (2) могуће је израчунати прираштај температуре (за алуминијум $\alpha=0.0039 \text{ K}^{-1}$).

$$R(T) = R(20^\circ)[1 + \alpha \Delta T]. \quad (2)$$

На слици 7 види се пораст отпорности у области 5 kHz од око 26% а на слици 8 се такође види пораст отпорности 23,4%. Пошто су мерења вршена на собној температури од 20° добија се да су температуре ротора редом 86,85 ° и 80°.



Слика 8. Зависност отпорности од фреквенције при хладном и при загрејаном ротору

ЗАКЉУЧАК

У раду је дата метода за мерење температуре ротора асинхронног мотора без коришћења сензора температуре у савременим погонима са асинхроним мотором. Проблем одређивања температуре на основу импедансе на радној учестаности је отежан пошто на активни део импедансе утиче велики број фактора међу којима су губици у гвожђу као и снага електромеханичке конверзије. Уколико се импеданса одређује на учестаности комутација, за коју је релативно клизање блиско 1, поменути проблеми и утицаји нису од значаја. Управо, ова чињеница је искориштена за развој методе. Мерење отпорности је извршено тако што је искориштена већ постојећа високофреквентна напонска побуда, која се користи за напајање асинхронних мотора и одзив у облику валовитости струје статора. Због појаве скин ефекта отпорност ротора је неколико десетина пута већа од отпорности статора. То значи да се одређивањем активног дела импедансе добија отпорност ротора. Услед присуства шума и ограничене резолуције АД конвертора, обрада података у реалном времену је урађена тако да несавршеност мерења не утиче на тачност у одређивању температуре. Показано је да, са мерном опремом која није намењена овако захтевним апликацијама, је могуће температуру естимирати са грешком од 10 – 15 %. Нове генерације дигиталних сигналних процесора омогућавају већу брзину рада, више меморијског простора и отварају се

могућности и за практичну имплементацију предложене методе.

ЛИТЕРАТУРА

- [1] С. Н. Вукосавић, “Пројектовање адаптивног микропроцесорског управљања брзином и позицијом асинхронног мотора”, докторска дисертација, Електротехнички факултет у Београду, 1989.
- [2] L. Garces, “Parameter Adaption for the Speed Controlled, Static AC Drive with Squirell Cage Induction Motor operated, with Variable Frequency Power Supply”, *IEEE Trans .on Ind. Appl.*, vol. IA-16, No. 2, 1980., pp. 173-178
- [3] Peter Vas *Parameter Estimation, Condition Monitoring, and Diagnosis of Electrical Machines*, CLARENDON Press, Oxford, 1993.
- [4] Др Јован Сурутка *Електромагнетика*, Електротехнички факултет у Београду, 1975.
- [5] Reference Guide *TMS28355 DSP, System and peripherals*, Texas Instruments 2007, Literature number SPRU812a.

Abstract-The development of power electronics in recent decades has enabled the frequency control of rotation speed of induction motors and their wide application in industry. To manage the speed and torque of induction motors it is necessary to know the parameters of the machine during operation. Knowing the temperature of the rotor is important for many reasons. Increase in temperature can cause damage to the engine and changing the rotor resistance and rotor time constants. Parameters changes due to temperature variation leads to threat of drives performance. From the above mentioned it is clear that drive operation requires a method for assessing the temperature of the rotor and the rotor resistance. For economic and technical reasons is not acceptable to install temperature sensors on the rotor. In this paper is proposed method of estimation of rotor temperature based on voltage and current of the stator windings in the normal work, without stopping and without using test signals.

Keywords: temperature of rotor, asynchronous machine impedance, PWM, spectral analysis.

Impedance Measurement of the Asynchronous Machine on the Commutation Frequency and Indirect Determination of Temperature

Vibration Sensor Embedded in the Elastic Mountings of Machines

Kalman Babković^{*}, László Nagy[†], Mirjana Damjanović[‡], Damir Krklješ[§] and Miloš Živanov[¶]

All authors are with the Faculty of Technical Sciences, Novi Sad, Serbia

e-mail: ^{*}bkalman@uns.ac.rs, [†]lnadj@uns.ac.rs, [‡]mirad@uns.ac.rs, [§]krkljes@uns.ac.rs, [¶]zivanov@uns.ac.rs

Abstract—Heavy machine tools which include rotational parts must be mounted carefully in order to prevent damage to their environment. Elastic mountings or springs must be employed to tie them to the specially prepared foundation to prevent excessive vibrations from being transferred to the environment. In this paper, we suggest a sensor which can be embedded into the elastic mountings in order to measure vibrations the machine produces during operation. The intention is not to make accurate measurements to implement vibration compensation, but only to detect abnormal behavior or component failure. The vibrations are monitored by an optoelectronic component.

Keywords—vibration, sensor, machine tool, elastic mounting

I. INTRODUCTION

Heavy machines always produce a certain amount of vibration during their operation. This vibration is transferred to the environment in different ways. There, it affects buildings, humans etc. [1]

Since vibrations affect everything in their environment, their measurement and continuous monitoring can be of great importance. Changes in the vibration pattern can indicate serious malfunctions in the system and serve as an early warning to prevent disaster [2]. Not only large problems can be detected this way, but also normal component wear, which gives the possibility to plan maintenance depending on the condition of the machines [3]. Even the condition of cutting and drilling tools can be determined by vibration monitoring [4].

Vibrations of the machine tool not only affect its environment negatively, but also the machine's performance, i.e. the quality of the machined parts. For both of these reasons machines are mounted to their foundations via special isolation mounts. Passive isolation mounts are often specially designed elastic objects which improve the machine's performance and reduce the negative effects to the environment [5]. The use of passive dampers with controllable parameters has also been investigated [6], [7]. Another approach to enhancing the quality of the machined parts is to actively compensate the relative vibrations between the tool and machined parts using fully controllable actuators [8].

Piezoelectric sensors are often used for vibration measurement [9]. The measured data is usually further analyzed using various signal processing techniques. In this paper, we suggest the use of optoelectronic components – reflex-couplers – which are capable of measuring the deformation of existing passive elastic machine mountings, determining the amount of vibration at the same time. Such optoelectronic

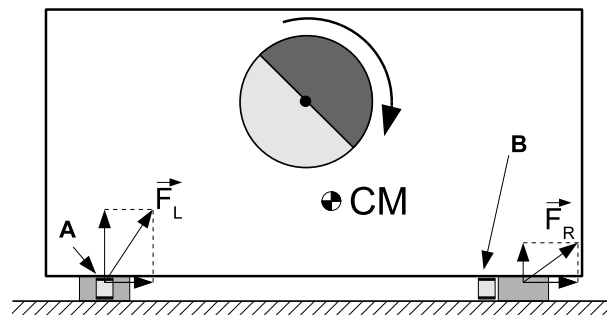


Fig. 1. Schematic representation of a machine with an unbalanced rotating mass. The mountings are shown at the base of the machine. (A) – sensor inside the elastic mounting, (B) – sensor near, but outside of the elastic mounting, (CM) – center of mass

sensors have already been successfully used in measuring contact forces in robotic applications [10]. Fig. 1 shows a schematic representation of a machine producing vibrations due to an unbalanced rotating mass. At its base, the mountings are shown. The sensor we suggest, can be installed inside the elastic mounting (sensor A to the left). Installing the sensor inside the mounting would require the removal and probably the replacement of the old mounting, therefore it is possible to install the optoelectronic sensor in the vicinity of the mounting, but ensuring it is isolated from ambient light in some way (sensor B to the right).

II. SENSOR STRUCTURE AND THE EXPERIMENT PLATFORM

In a manner explained above, multiple sensors can be placed at the contact of the machine and its foundation. Each one of them is capable of measuring the small displacement present due to vibration. If the properties (deformation vs. force) of the elastic mountings are precisely known, the exerted force towards the ground can be also measured [10].

A. The sensor elements

The structure of a single sensor element is shown in figure 2. The elastic element, shown as a rectangle, is a deformable body which serves as the elastic mounting. Its characteristics depend on the elastic material used, and its size and shape as well.

When force is applied to the sensor element, due to elastic deformation, the elastic element changes its shape causing a displacement between parts RS and RC. RS is a reflex-coupler

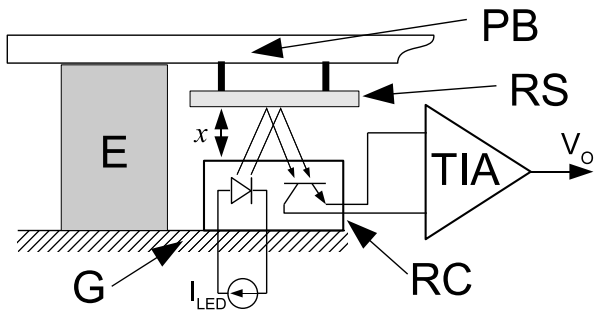


Fig. 2. Structure of one sensor element. Parts: E – elastic element, PB – bottom of the machine, or other bottom surface where the vibration is being measured, G – ground, RC – Reflex-Coupler Optical Element, RS – Reflexive surface (diffuse), TIA – Transimpedance amplifier

element, consisting of a LE diode and a phototransistor inside the same housing. The IR light emitted by the LED can be reflected from the surrounding objects to the phototransistor generating electrical current in this element. The purpose of the diffuse reflective surface (RS) is to reflect the light from the LED towards the phototransistor. The intensity of the reflected light depends on the distance between the reflex-coupler and this surface (x). The distance x is relatively small compared to the size of RS, so the light reflected from other objects can be neglected.

The output from the phototransistor is current which is converted to voltage V_o by a transimpedance amplifier – TIA. The voltage V_o is also the output from the sensor element. For easier and more accurate signal processing, it is convenient for the transimpedance amplifier to have selectable gain. The LED current (I_{LED}) is kept constant all the time.

Figure 3 shows the characteristics of the optical element used in the experimental measurements. The output voltage is taken from the output of the transimpedance amplifier. It is clear that the same output voltage may correspond to 2 distances. The figure shows two possible operating points depending on the distance x set up when the system is at rest (x_0). The information about the operating point must be known when displacement due to vibration is measured during machine operation.

B. Description of the Experiment Platform

In order to test this type of sensor element, an experiment platform has been built. It is much smaller and lighter than a typical machine tool, but it is able to produce considerable amount of vibration enabling the testing of vibration sensor elements. The structure of the platform (planar view) is shown in figure 4. The mechanical parameters of the system are given in table I.

The platform is powered by a small DC motor which drives a rotating eccentric mass. This mass is being rotated at a controlled angular velocity. Measurements were made for a selected set of angular velocities. Two elastic elements are shown in this schematic view. They also represent the sensor elements. The equivalent stiffness of a single elastic element

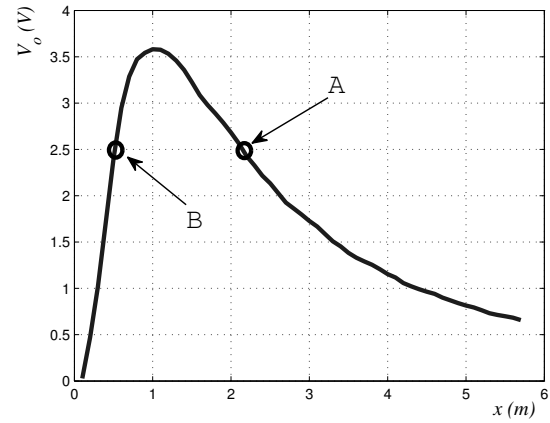


Fig. 3. Sensor output (V_o) depending on the reflecting surface distance (x) with $5k\Omega$ transimpedance setting of the amplifier. Two of many possible operating points (A) and (B) are shown which were set up for the experimental measurements

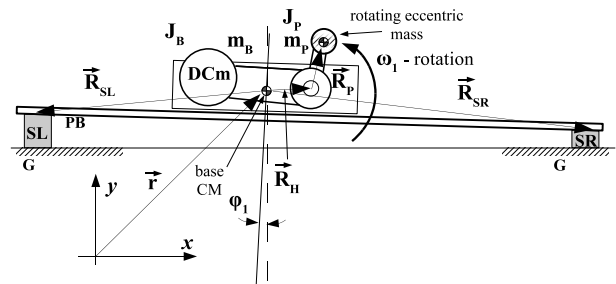


Fig. 4. Experiment platform used for testing the sensor elements. (SL and SR): the left-hand and right-hand side sensor elements respectively; (DCm): the DC motor which powers the system, (m_p and J_p): the rotating eccentric mass and its corresponding moment of inertia

along the horizontal (K_x) and vertical (K_y) axes is also given in table I.

III. SIMULATION RESULTS

A mathematical model of the system presented above has been developed and used to analyze the system in simulation.

TABLE I
PARAMETERS OF THE EXPERIMENT PLATFORM

Parameter	Value
J_B	$22 \times 10^{-3} \text{kgm}^2$
m_B	2.404kg
J_P	$7.53 \times 10^{-6} \text{kgm}^2$
m_P	0.114kg
$ \vec{R}_P $	14.5mm
\vec{R}_{SL}	$[-21.5 \text{cm} \quad -1 \text{cm}]^T$
\vec{R}_{SR}	$[28.5 \text{cm} \quad -1 \text{cm}]^T$
\vec{R}_H	$[3.5 \text{cm} \quad 1 \text{cm}]^T$
K_x	$22.1 \times 10^3 \text{N/m}$
B_x	100Ns/m
K_y	$68 \times 10^3 \text{N/m}$
B_y	100Ns/m

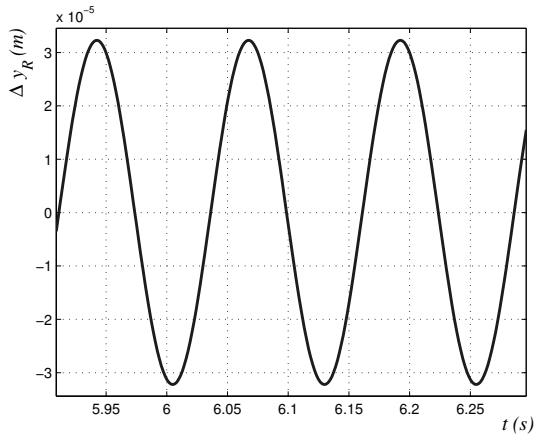


Fig. 5. Simulation result - the vertical displacement at the right-hand side sensor element in time at 8 revolutions per second (rps)

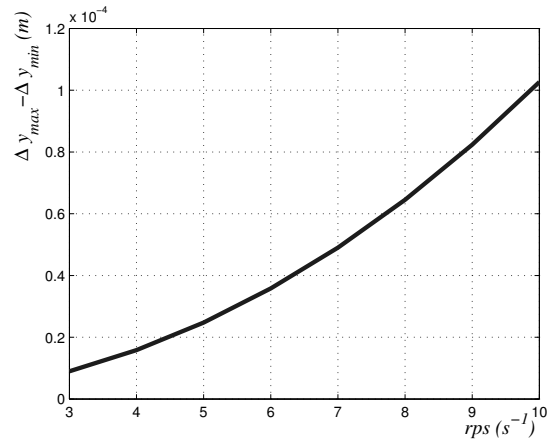


Fig. 7. Peak-to-peak amplitude of the vertical displacements at different eccentric mass rotation rates obtained by simulation

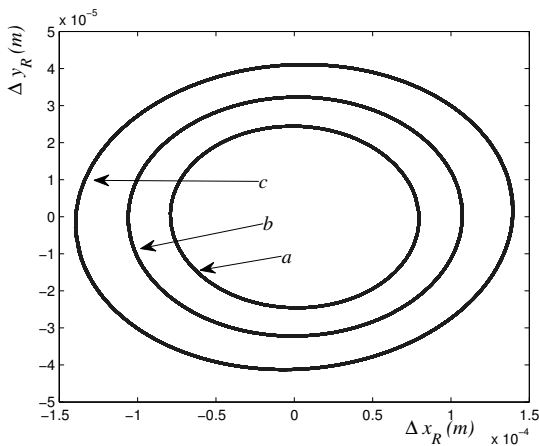


Fig. 6. Displacement at the right-hand side sensor displayed in the xOy plane in steady state for 3 different revolution rates of the eccentric mass: $7rps$ (a), $8rps$ (b) and $9rps$ (c)

The elastic elements are considered linear springs with constant stiffness coefficients (given in table I).

Figure 5 shows one result obtained by simulation. In this figure the displacement at the right-hand side sensor element is shown in time after the steady state (transient process finished) has been reached. The eccentric mass rotates at an angular velocity of 8 revolutions per second (rps). The position of the point where the sensor is mounted on the machine at rest is taken as zero displacement. It is easy to notice that the oscillation frequency corresponds to the angular frequency expressed in rps .

When the eccentric mass rotates, there is also considerable vibration present in the horizontal direction too. To illustrate this, figure 6 shows the horizontal versus the vertical displacement during the oscillation cycles. Line b shows the situation which corresponds to figure 5, i.e. $8rps$. With increasing angular velocity the amplitude of the oscillations increases (line c , at $9rps$), while it decreases when the angular velocity decreases (line a , at $7rps$)

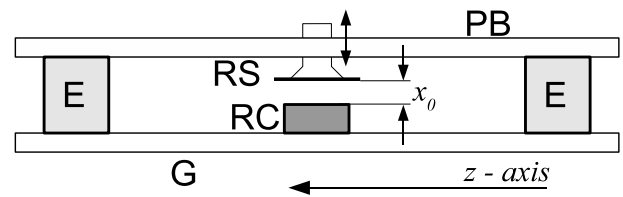


Fig. 8. Sensor configuration used for the experimental measurements. **E**: elastic element; **PB**: bottom of the vibrating system; **G**: ground; **RS**: diffuse reflecting surface; **RC**: optical sensor, reflex-coupler

Figure 7 shows the peak-to-peak amplitude of the vertical oscillations depending on the angular velocity of the eccentric mass. It is clear that the oscillation amplitude rapidly increases with angular velocity, i.e. frequency.

IV. MEASUREMENT RESULTS

A small regulated DC motor drive has been used to drive the eccentric mass at a constant angular velocity. Under these conditions, the output of the sensor elements has been monitored. Although the system is being analyzed in single plane only, physically the equilibrium of the system has to be ensured in 3-dimensional space. To ensure this, the design of one sensor element is like it is shown in figure 8. Two elastic elements are used instead of one, while the optical sensor is placed between them. The two elastic elements together have the characteristics given in table I. The vertical position of **RS** can be easily adjusted which permits easy setup of the operating point. Operating point A from figure 3 has been used for all experimental results given here.

The voltage signal captured from the right-hand side sensor at angular velocity of $8rps$ is shown in figure 9. The captured voltage signal is then used to obtain the exact vertical displacement using the known characteristic of the optical sensor and its operating point (shown in figure 3). The result is shown in figure 10. Apparently, the measurement results correspond well to the simulation results shown in figure 5. The higher

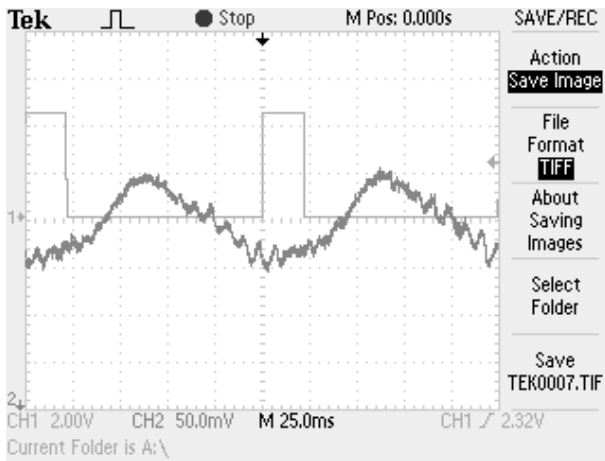


Fig. 9. Voltage signal taken at the output of the sensor element (CH2). The other channel (CH1) shows synchronisation pulses which correspond to the eccentric mass revolutions

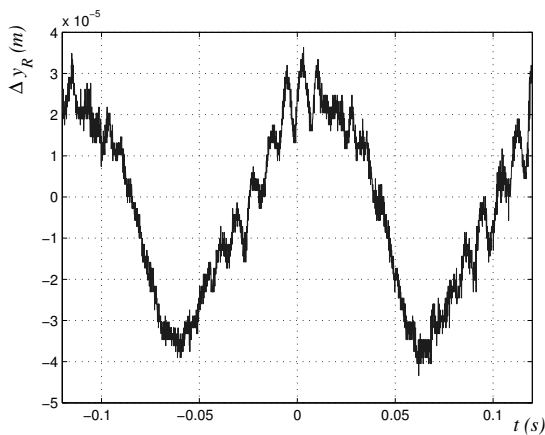


Fig. 10. Measured displacement at the right-hand side sensor obtained by using the optoelectronic sensor characteristic shown in figure 3 near operating point A

frequency component clearly visible in the measured signal is due to elasticity of the experiment platform itself.

In figure 11 the measurement results with different eccentric mass angular velocities and operating points are given. The peak-to-peak oscillation amplitudes are drawn on the vertical axis versus the angular velocity. The two lines show the results for the two different operating points shown in figure 3. The simulation result is also given for reference. The reason for the slight difference between the simulation results and experimentally obtained ones are probably the higher order oscillations which make the accurate amplitude reading difficult.

V. CONCLUSION

In this paper one possible solution is presented for monitoring the vibrations produced by heavy machine tools. Its possibilities have been demonstrated on a small model by both simulation and experiment. The system only monitors the

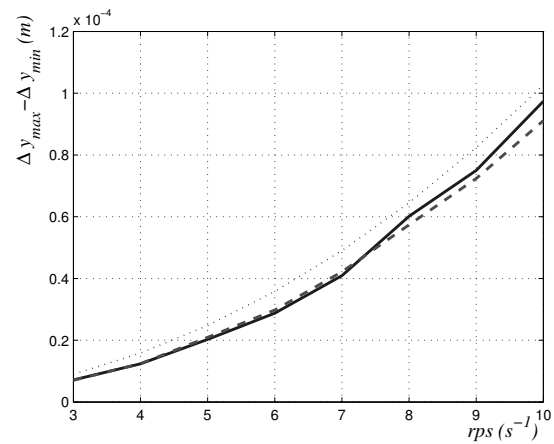


Fig. 11. Measured peak-to-peak amplitude of the vertical displacements at different eccentric mass angular velocities setting up the sensor in operating points A (thick solid line) and B (thick dashed line). The result obtained by simulation is also given for reference (thin dotted line)

vibrations and this way is capable of detecting malfunctioning parts. Future work may include testing on real machine tools.

ACKNOWLEDGMENT

This paper is one of the results of the research project TP 11006, financed by the Ministry of Science and Technological Development, Republic of Serbia.

REFERENCES

- [1] R. M. Thornely-Taylor, *Ground Vibration Prediction and Assessment* Rupert Taylor Ltd
- [2] T. Fortin, F. Duffeau, *Large Generator Vibration Monitoring* Electrical Machines and Drives, 1997 Eighth International Conference on (Conf. Publ. No. 444), pp.155-159, 1-3 Sep 1997
- [3] S. Mahalungkar, M. Ingram, *Online and Manual (offline) Vibration Monitoring of Equipment for Reliability Centered Maintenance* Cement Industry Technical Conference, 2004. IEEE-IAS/PCA, pp. 245- 261, 25-30 April 2004
- [4] I. Kandilli, M. Sonmez, H. Ertunc, B. Cakir, *Online Monitoring of Tool Wear in Drilling and Milling by Multi-Sensor Neural Network* Fusion Mechatronics and Automation, 2007. ICMA 2007. International Conference on, pp.1388-1394, 5-8 Aug. 2007
- [5] P. K. Subrahmanyam, D. L. Trumper, *Synthesis of Passive Vibration Isolation Mounts for Machine Tools a Control Systems Paradigm* American Control Conference, 2000. Proceedings of the 2000, vol.4, pp.2886-2891 vol.4, 2000
- [6] Y. Morimoto, Y. Ichida, R. Sato, T. Hoshi, *Vibration Control of an NC Lathe by Variable Frequency Damper* SICE 2003 Annual Conference, vol.3, pp. 2961- 2966 Vol.3, 4-6 Aug. 2003
- [7] L. Zhu, Chunxia Zhu, Cong Su, Gang Li, Jianyu Yang, Wanshan Wang, *Research on Controllable Damping Technology and Simulation of Hybrid Machine Tool* Automation and Logistics, 2009. ICAL '09. IEEE International Conference on, pp.1008-1012, 5-7 Aug. 2009
- [8] Guoping Li, Junhuan Lin, Xiaobing Pan, Yanding Wei, *Research on the Turning Vibration Control System Based on Giant Magnetostrictive Actuator* Mechatronics and Automation, 2007. ICMA 2007. International Conference on, pp.2559-2563, 5-8 Aug. 2007
- [9] Cui Xihe, Liu Shuxia, *Study on Virtual Instrument System of Vibration Diagnosis for Machine Gearbox Fault* Mechanic Automation and Control Engineering (MACE), 2010 International Conference on, pp.2370-2372, 26-28 June 2010
- [10] L. Nagy, K. Babkovic, D. Krklješ, B. Borovac, *Elastic Foot Contact Force Sensor System – Pendulum Application Example* EPE-PEMC 2 International Conference on, 6-8 Sep. 2010

Sensorless Speed Regulation of DC Motor by Direct Back EMF Measurement

Damir Krklješ, Dejan Križan, Kalman Babković, László Nagy and Miloš Živanov

Department for Power, Electronics and Telecommunications
Faculty of Technical Sciences
Novi Sad, Serbia
krkljes@uns.ac.rs

Abstract—This paper presents an implementation of sensorless speed control of permanent magnet direct current motor (PMDC). The PMDC motor is powered in switching manner by unipolar PWM (with discontinuous current) and its back electromotive force (back EMF) is directly measured at the motor terminals within the interval in which the motor current is zero. Low inductance motors are the primary targets for this method. The presented experimental results show sufficient accuracy of the implemented method.

Keywords—sensorless; DC motor; back EMF

I. INTRODUCTION

Permanent magnet direct current motors are among the oldest (by the time of invention) actuators. Although gradually replaced with other types of motors during last years and decades they are still involved in many devices and appliances. Their major advantage is simplicity of application as long as the speed regulation is not important. The regulated motor drives usually justify the higher price of electronics needed for other motor types. The usual replacement for PMDC motor is the brushless direct current motor (BLDC). The simple measurement of the back EMF in BLDC motors enables cheap sensorless speed control with satisfying quality. The same is true for permanent magnet synchronous machines (PMSM). Therefore PMDC motors lag behind in regulated drives. The sensorless PMDC motor drive will improve their competitiveness. The aim of this work is to propose one way of sensorless PMDC motor drive targeting applications with modest speed regulation and efficiency.

There are many papers (like [1]) that deal with the BLDC or PMDC sensorless motor drives. These motors provide convenient way of back EMF measurement. There are just a few (like [2]) that deal with the PMDC sensorless motor drives. The PMDC motor back EMF measurement, especially when driven in switching manner, is not simple. When the motor is actuated with an analog output stage ([2]) the measurement is simpler but the back EMF is indirectly measured.

The proposed method for sensorless speed regulation by direct back EMF measurement has restrictions concerning motor and motor-load properties. The low inductance motors are the primary targets for this method.

II. PROPOSED METHOD

Before introducing the proposed method, the properties of the back EMF measurement in continuous and switching drives will be investigated.

A. Back EMF measurement in continuous drives

Nowadays it is very unlikely to find an analog output stage in motor drives and if used it is usually within the range of few tens of watts. Although energy inefficient, those drives offer very convenient and easy way for back EMF measurement. The basic principle of measurement is shown on Figure 1.

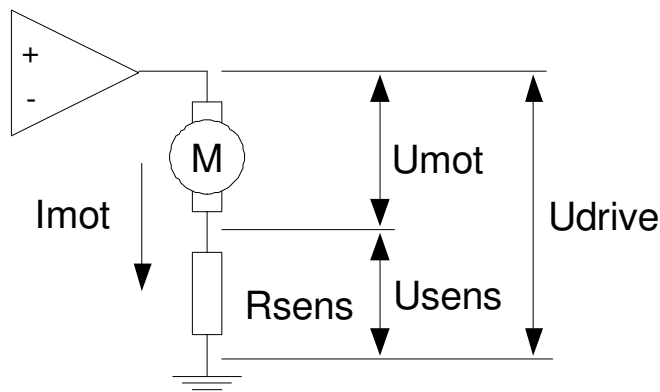


Figure 1. Back EMF measurement in continuously driven motor

A shunt resistor (R_{sens}) having adequate resistance and small inductance is used to measure the motor current by measuring the voltage across it. Knowing the value of the motor DC resistance and the voltage across the motor, back EMF can be calculated. The voltage across the motor is obtained from the difference between the known supplied voltage (U_{drive}) and the measured voltage U_{sens} . The influence of the motor winding inductance can be neglected if the U_{drive} is kept constant at least five electrical time constants (L/R) before measuring U_{sens} . This way the motor current will become constant and the voltage drop across the winding inductance will be zero. Abrupt changes in load will also influence the current change, but since it is a much slower process, the rate of current change and the corresponding

voltage across the winding inductance will be small and can be neglected.

This method lacks precision since the back EMF is obtained indirectly. To make things even worse, the motor winding DC resistance changes with temperature notably and influences measurements greatly.

B. Back EMF measurement in switching drives

In contrast to continuous drives, the current in any switching drive varies greatly (few tens of percents of nominal current), and this is the very nature of switching drives. Lower rates of motor current changes are often hard to achieve (especially in low power motor range) because of usually low winding inductance. Nevertheless, lower current ripples are desirable since they influence power losses and torque oscillations. Both are proportional to the ripple magnitude. These effects are very much propounded in bipolar PWM excitation schemes. Unipolar PWM excitation schemes significantly lower these effects.

Since the current cannot be kept constant in order to apply the same scheme as in continuous drives and is expensive to use very fast AD converters, one solution can be to shortly allow the current to fall to zero and then take direct back EMF measurement. Since the current ripples in such circumstances are great, unipolar PWM is desirable as excitation scheme.

C. Drive implementation

This type of sensing motor speed and speed regulation, as said before, is targeting low end applications. Therefore, expensive solutions cannot be taken into consideration. The drive has to be simple and cheap. Two criterions for controller selection were imposed. The first was two synchronized and separately adjustable PWM channels and the second was internal A/D converters of adequate speed and resolution ratings. Cheap and widely used ATmega8 microcontroller was our choice for controller. Full bridge or H-bridge topology (Figure 2) was selected for two reasons.

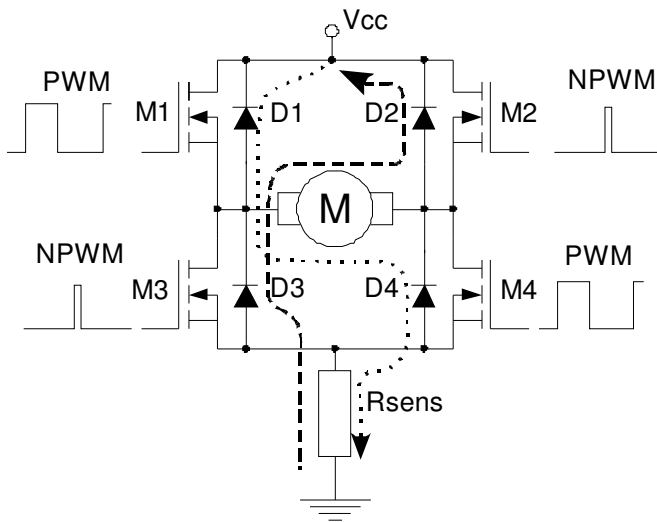


Figure 2. Output stage

The first and the main was the fact that when the active mosfets turns off, the current more rapidly tends toward zero (through the freewheeling diodes) then in one quadrant drive (single switch). The other reason is rotation in two directions.

For one direction of rotation the active mosfets (Figure 2) are M1 and M4 and corresponding diodes are D2 and D3. The dotted line represents the current flowing through mosfets while the dashed line represents the current flowing through freewheeling diodes. Basically, this is known as forward configuration. For the opposite direction, the complementary devices are engaged. All n-channel mosfets in H-bridge are commonly used due to their superior characteristics over p-channel types. This was the situation in this case too, although it introduces the problem of turning on the upper mosfets. In bipolar excitation and when the PWM duty cycle is limited below and above, bootstrap capacitors (usual way of forming upper drive supply) are easily charged during every PWM cycle. For unipolar excitation and forward topology the initial capacitor charging cannot be done. Once charged and having successfully turned on the upper mosfet, the capacitor will be recharged during the freewheeling diodes conduction interval in most cases (exception are low winding inductance motors). In order to reliably charge the capacitors, the complementary mosfets (M2 and M3) are also turned on periodically. This is represented as NPWM signal in Figure 2. The NPWM signal is short and positioned right in the middle of the off part of the PWM signal. This way no overlapping in conduction of one H-bridge side and consequently vertical current can occur. The duration of the NPWM signal is too short to significantly influence motor velocity. The drawback of such solution is the limit imposed on a maximum PWM duty cycle.

Figure 3 shows details of PWM and NPWM signals generation. The sixteen bit timer of the ATmega8 microcontroller configured as PWM generator is used to form both signals. The PWM generator is configured to work in Phase correct PWM mode. In that mode the timer sweeps from TOP to BOTOM value and vice versa. The BOTOM value is set to zero, while TOP is set to value which produces an output frequency of 20kHz (just above audio frequencies band). Two capture-compare registers were used. Their values are indicated as PWM and NPWM comparator on the figure. The content of the capture-compare register for PWM was updated according to PI regulator output every sample time period while the other register content (NPWM) was constant.

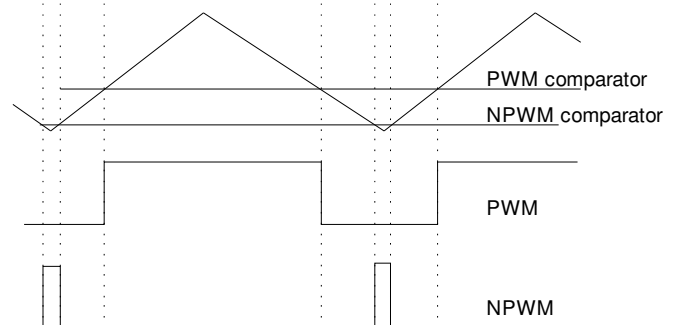


Figure 3. PWM and NPWM signal generation

Two lower signals (PWM and NPWM) are the results of comparison between the timer and the two capture-compare registers. The NPWM signal was further inverted. These signals are linked to two microcontroller's hardware ports. For opposite motor direction PWM and NPWM signals are interchanged.

The most challenging was the back EMF measurement. The measurement must occur only during the interval when the motor is not energized, taking into account the freewheeling diodes conduction also. In this case the measurement must also occur before NPWM signal activation. Since back EMF is proportional to motor speed, its rate of change is small (long time constant) compared to the PWM frequency and motor current rate of change. Therefore the speed of measurement (conversion speed) can be modest. In order to have as great as possible PWM duty cycle, the measurement must start as soon as the motor current becomes zero. That is the most challenging. It is hard to be absolutely sure that the current is zero by direct current measurement (Rsens in Figure 2 is used only for cycle-by-cycle current limiting). Furthermore, it will demand additional negative supply for A/D conversion. Any wrong conclusion will produce huge errors. The most certain way is to detect the moment when the freewheeling diodes stop conducting. The margin of at least two junction voltages is enough for precise detection. There are two ways to do this. The first one is comparison of A/D conversion results and the other is analogue comparison. The first one will demand high speed converters and this is not applicable to low cost drives. In cases when the motor parameters are known and the current limit is also known a simple delay between shutting down the mosfets and the moment when measurement starts will suffice. For better performance it is advisable to detect zero current. In our case delay was used. We have also switched off all mosfets during each measurement in order to minimize noise.

III. PRESENTATION OF MEASUREMENTS

A set of measurements that illustrates the most important issues are presented here.

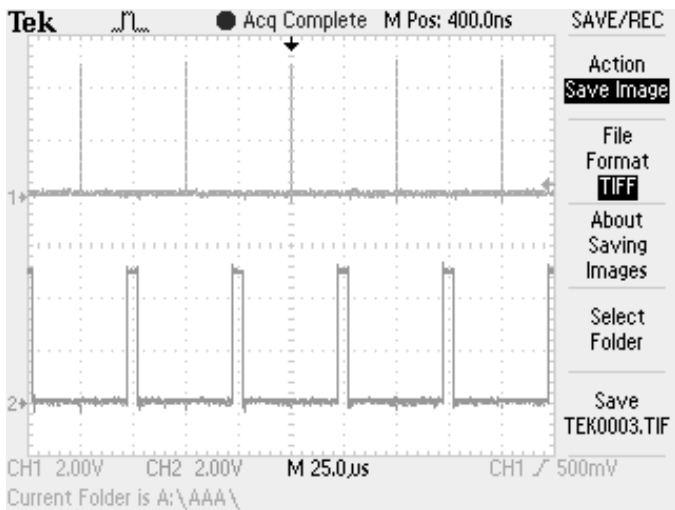


Figure 4. PWM and NPWM signals. **Top:** NPWM; **Bottom:** PWM.

The Tektronix digital storage oscilloscope TDS2002B is used to capture the results. The closed loop PI regulation of the motor speed was implemented during all measurements.

Figure 4 illustrates PWM (bottom) and NPWM (top) signals. The correlation with Figure 3 is obvious. The next two figures illustrate how the PWM signal is influenced during measurement. The PWM and NPWM signals are switched off during each measurement. The microcontroller's internal A/D converters are set up to modest 15kSPS. The achieved speed is even less. Two channels of A/D converters were used for each motor terminal and the difference of these conversions is the back EMF. The top signals on Figure 5 and Figure 6 are deliberately generated synchro signals and are not functional signals. They indicate the start and duration of two A/D conversions for the back EMF measurement. The consequence of long conversion time is omission of one complete PWM cycle. Since the ratio of PWM frequency to sample frequency in this case is 20 (Figure 6) (common situation in praxis) the influence of this omission is tolerable especially at light loads.

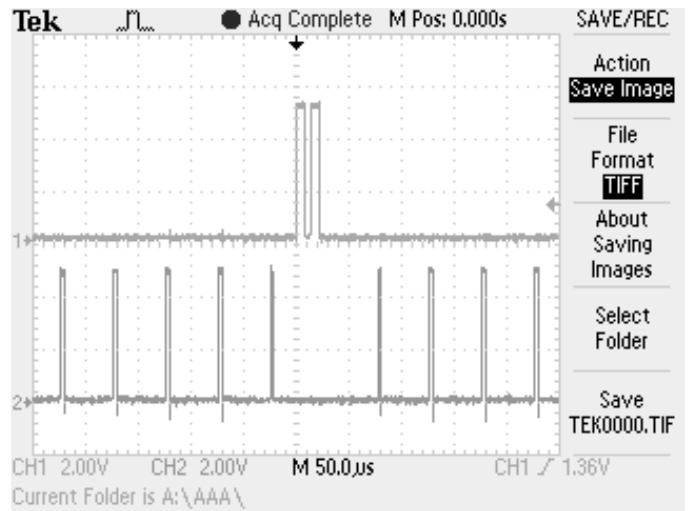


Figure 5. PWM signal during mesurement. **Top:** synchro; **Bottom:** PWM.

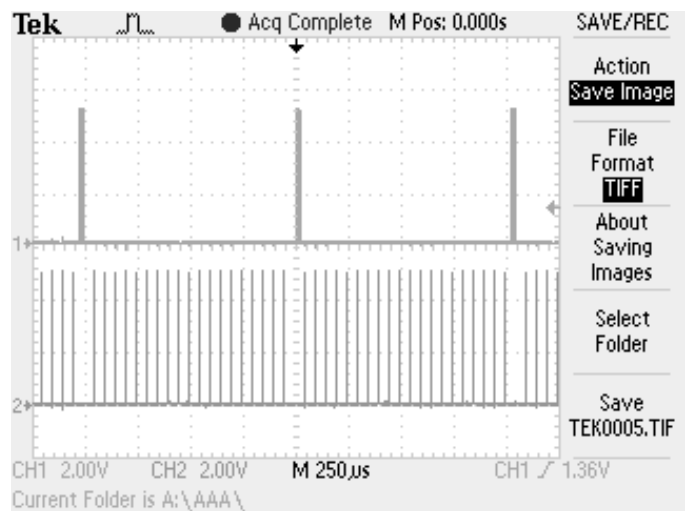


Figure 6. PWM signal measurement indication during longer period. **Top:** synchro; **Bottom:** PWM.

The sensed motor current during one PWM cycle is shown on Figure 7. It is actually the voltage across the current sensing resistor (R_{sens}). The motor was lightly loaded and the PWM duty cycle was short and is approximately like on the Figure 5. Certainly, in a closed loop this value fluctuates. The negative voltage on the R_{sens} indicates the freewheeling diode conduction and the negative spike at the start of the freewheeling diode conduction is due to the parasitic inductance in the path from the ground to the motor connector. One can see that the interval of freewheeling diode conduction is short, providing more time for measurement. That is the direct consequence of the chosen driver topology (H-bridge).

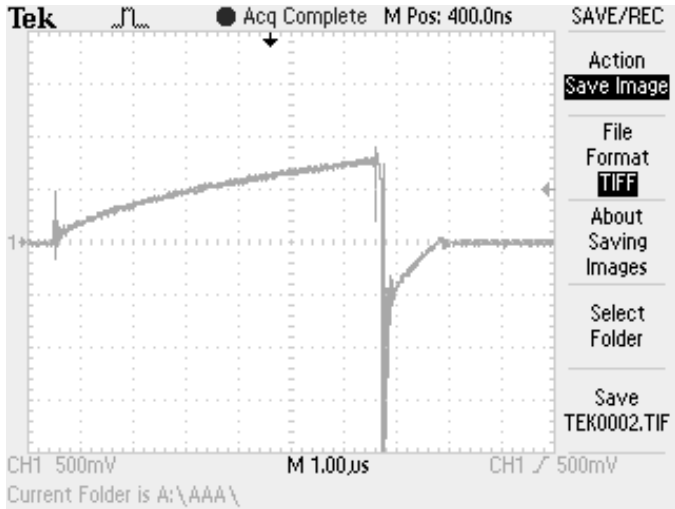


Figure 7. Sensed motor current with light load

Another view on the same signal is shown on Figure 8. Here, the same synchro signal as in Figure 5 and Figure 6 is present and one can see that during the measurement the motor current remains zero.

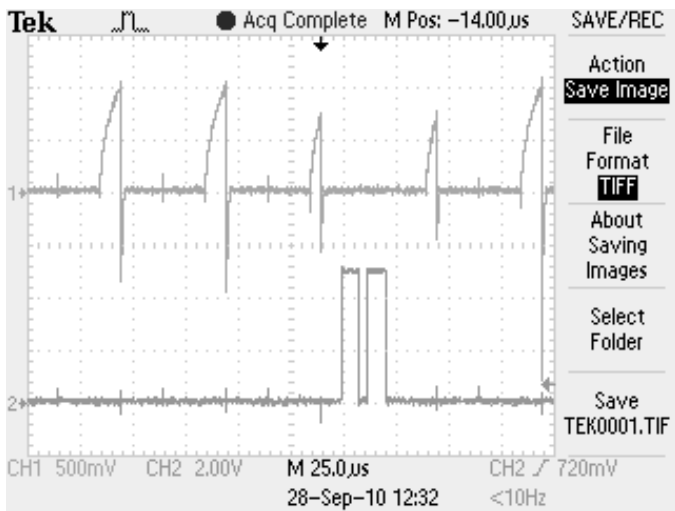


Figure 8. Motor current during measurement. **Top:** current; **Bottom:** synchro.

Figure 9 shows the back EMF measurement. The top and bottom signals are the voltage signals at both motor terminals. During the interval of zero motor current the difference of these signals is the back EMF. This difference is the signal in

the middle (math signal). The triggering signal was the same two pulse signal as in previous figures indicating the start of measurement. The trigger occurs in the middle of the oscilloscope screen. The back EMF change in this interval is neglectable. Nevertheless, a small measurement error is introduced here because of the time difference between sampling these two signals that change slightly between two measurements.

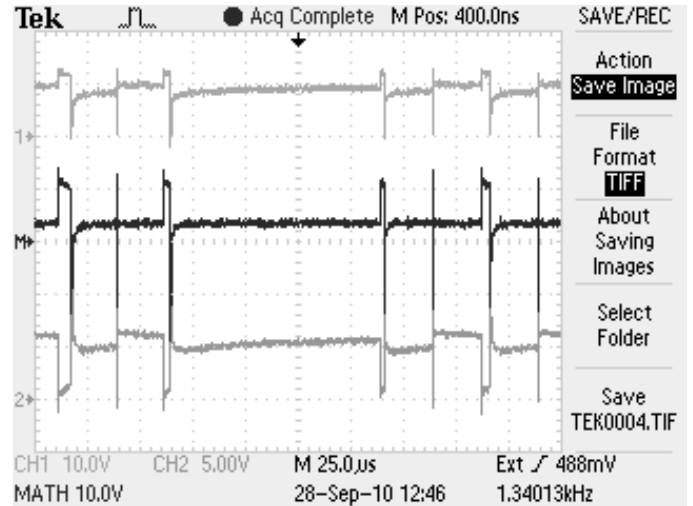


Figure 9. Back EMF measurement. **Top:** voltage on first motor terminal; **Middle:** difference of two channels; **Bottom:** voltage on second motor terminal

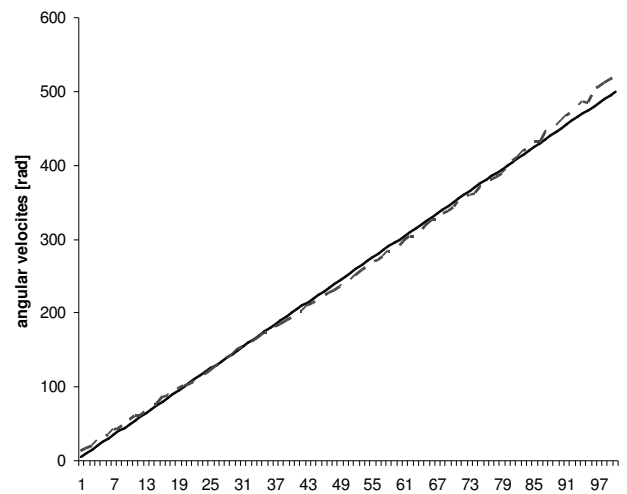


Figure 10. Comparison of measured speeds; dashed line – by encoder, full line – by back EMF

As a final result the quality of the proposed method is tested by comparison of two motor speed measurements. The referent measurement is done by an incremental encoder. The results are presented on Figure 10. The dashed line represents encoder measurement while the solid line represents the speed obtained by back EMF measurement. The comparison was done in 100 points over a speed range from almost zero to 500 radians per second. Except for high speeds, two sets of measurements match satisfactorily well. The reason of higher

error at high speeds may be the asynchronous sampling of the voltage at the motor ports. This can be overcome by introducing sample and hold circuits.

IV. CONCLUSION

In this paper a method of sensorless regulation of PMDC motor speed is presented. The information of motor speed is obtained by back EMF measurement during the interval in which the motor current is zero. The method demonstrated acceptable results of measurement and motor speed regulation. Further research and development may be in the direction of implementation refinement.

ACKNOWLEDGMENT

This paper is one of the results of the research project TP 11006, financed by the Ministry of Science and Technological Development, Republic of Serbia.

REFERENCES

- [1] Kuang-Yao Cheng, Ying-Yu Tzou, "Design of a sensorless commutation IC for BLDC motors", IEEE Transactions on Power Electronics, vol. 18, issue 6, pp. 1365-1375, November 2003.
- [2] S. Rajaram, S. Murugesan, "A new method for speed measurement/control of DC motors", IEEE Transactions on Instrumentation and Measurement, vol. 27, issue 1, pp. 99-102, March 1978.
- [3] Damir Krklješ, Laslo Nad, Kalman Babković, "Parametric DC motor drive", International Symposium on Power Electronics - Ee 2007, Novi Sad, November 2007.
- [4] Damir Krklješ, Kalman Babković, László Nagy, Branislav Borovac and Milan Nikolić, "DC motor drive for small autonomous robots with educational and research purpose", Eurobot 2009 Conference, La Ferté Bernard, France, May 2009.

system is determined directly, without calculating slip, from terminal currents and voltages, Fig. 1 (switches are in position 2).

First, there is employed simple voltage current (VI) estimator. Voltage (1) and flux (2) equations yield rotor flux in alpha and beta axis (3).

$$\vec{u}_s = R_s \vec{i}_s + \frac{d\vec{\psi}_s}{dt}, 0 = R_r \vec{i}_r + \frac{d\vec{\Psi}_r}{dt} - j\omega_r \vec{\Psi}_r \quad (1)$$

$$\vec{\Psi}_s = L_s \vec{i}_s + L_m \vec{i}_r, \vec{\Psi}_r = L_r \vec{i}_r + L_m \vec{i}_s \quad (2)$$

$$\vec{\Psi}_r = \frac{L_r}{L_m} [\vec{\psi}_s - \sigma L_s \vec{i}_s] = \frac{L_r}{L_m} \left[\frac{1}{s} (\vec{v}_s - R_s \vec{i}_s) - \sigma L_s \vec{i}_s \right] \quad (3)$$

where are:

R_s, R_r - stator and rotor resistance

L_s, L_r, L_m - stator, rotor and magnetizing inductance

σ - total leakage coefficient: $\sigma = 1 - \frac{L_m^2}{L_r L_s}$

ω_r - electrical rotor velocity

Because of DC offset problem, instead of pure integrator, there is used quasi integrator with low cut off frequency (1.5Hz). Increased flux phase lagging can be neglected at high speed. The influence of the most temperature dependant parameter R_s can be neglected also, because of large stator voltage value in high speed region.

One way to get angle θ_{dq} is directly from rotor fluxes ψ_α and ψ_β (3), but is extremely noise sensitive, and should be avoided because it influences significantly total drive performance.

The better way to extract θ_{dq} is usage of phase locked loop (PLL), Fig. 2. Rotor fluxes are involved at input of PLL. After dividing them with rotor flux amplitude, we have sin and cos values of rotor flux position. Having $\sin(x) \approx x$ and PI regulator, estimated position of dq coordinate system is produced at the output of PLL. In that way we have less noise sensitive drive, e.g. PLL will filter occasional glitches in that signals. Beside θ_{dq} , PLL also produces synchronous speed ω_{dq} , which is used to estimate rotor speed (4).

$$\omega_{rotor_est} = \omega_{dqPLL} - \omega_k \quad (4)$$

Slip speed ω_k can be calculated in several ways. Since synchronous speed is derivative of angle θ_{dq} which can be calculated as arctg function of rotor fluxes, from (1) and (2) we have (5). It is slip speed calculated in $\alpha\beta$ reference frame.

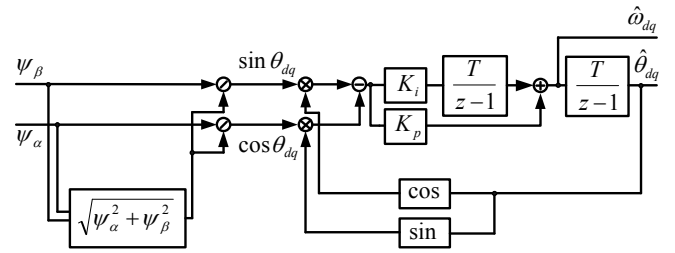


Figure 2. Phase locked loop producing ω_{dq} and θ_{dq}

$$\omega_k = \frac{L_m (\psi_{ar} i_{\beta s} - \psi_{\beta r} i_{as})}{T_r (\psi_{ar}^2 + \psi_{\beta r}^2)} \quad (5)$$

In dq reference frame speed slip is given in (6).

$$\omega_k = \omega_{k_IFOC} = \frac{L_m i_{sq}}{T_r \psi_{rd}} \quad (6)$$

III. HIGH SPEED SENSORLESS DRIVE, SOME DIGITAL CONTROL ASPECTS

Effects of quantization error in DFOC drive, realized in 16/32-bit fixed and floating point math (DSP) for low speed region are shown in [3]. This paper deals with high speed, field weakening region. Target speed of tested, four poles motor is: 10000rpm to 16300rpm, i.e. 333Hz to 543Hz. There is fixed computation period of DSP, which is commonly same as reciprocated value of PWM drive frequency. To have as close as it is possible system to continuous one, it is desirable that this time is very small. On the other hand, there is needed some time to do all demanding computation which at sensorless, low cost drive can be limited by chosen DSP. Switching losses also limit maximum PWM frequency, which finally yield that this value at low power drives is in range 10÷20KHz; in this test it is chosen 16kHz.

There can be defined ratio of the PWM frequency over the stator field frequency f_s given in (7).

$$F_{ratio} = \frac{f_{pwm}}{f_s} \quad (7)$$

This is a number of points where new duty cycle is calculated per one period T_s . Therefore, resolution of output angle step is $360^\circ/F_{ratio}$. In low speed case it is sufficient number that produces smooth sinus voltage change on motor. As regards high speed region, given small F_{ratio} significantly decrease resolution of output voltage and thus influences drive performance. It is especially emphasized in a sensorless, low cost drive, and can lead to significantly drive deterioration. For considered example (543Hz, 16kHz) $F_{ratio} = 29$, resulting in output angle step resolution of 12.4° .

Beside low F_{ratio} , current acquisition issues can greatly affect low cost drive. Different sampling techniques can be used to acquire drive currents information [4]. In a single or three shunt topology there is no isolated current reading, i.e. there is constrains where currents must be sampled. It is emphasized especially in a single shunt topology, at low and full duty cycle or space vector sector boundaries. Therefore, special care must be taken to reduce offset, noise, and current ripple influence.

Theta calculation yields discrete angle transformation θ_{dq} , Fig. 3.

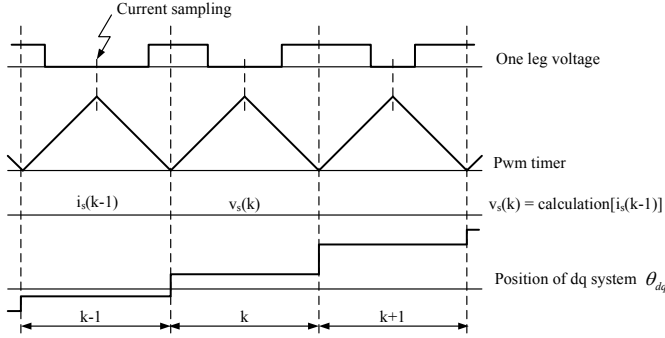


Figure 3. Discrete θ_{dq} coordinate system position

For low F_{ratio} special attention must be paid to the sequence of calculation steps, regardless is there IFOC or DFOC strategy, Fig. 4. It is obligated to do Park transformation for getting $i_{dq}(k-1)$ with angle $\theta_{dq}(k-1)$ and inverse Park with $\theta_{dq}(k)$ for producing $v_{\alpha\beta}(k)$.

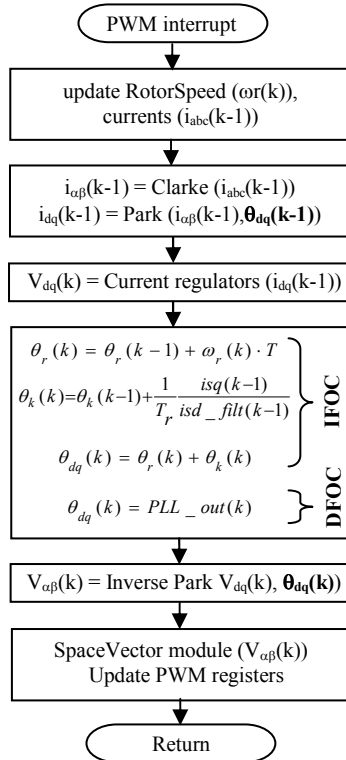


Figure 4. IFOC/DFOC PWM interrupt routine

If in PWM routine is used same θ_{dq} for both transformation, there will be introduced additional phase shift between phase voltages and currents. In low speed region it will not impact drive, unlike high speed region. It can be easily noticed from steady state stator voltage in d axis, under no load condition, equation (8). This voltage would not be constant with speed increasing in a case of described badly adjusted position of dq coordinate system.

$$U_{sd} = R_s i_{sd} - \omega_s L_\sigma i_{sq} \quad (8)$$

Essential issue for digital implementation of DFOC is how to estimate rotor flux in k instant, Fig. 3, which will be used for inverse Park transformation, and thus voltage generation. From (1) and (3), when s is replaced with left Euler approximation we have ($\hat{\cdot}$ denotes estimated value)

$$\begin{aligned} \hat{\Psi}_s(k) &= \hat{\Psi}_s(k-1) + T[v_s(k-1) - \hat{R}_s i_s(k-1)] \\ \hat{\Psi}_r(k) &= \frac{\hat{L}_r}{\hat{L}_m} [\hat{\Psi}_s(k) - \hat{\sigma} \hat{L}_s i_s(k)] \end{aligned} \quad (9)$$

Thus, to determine $\hat{\Psi}_r$ in instant k, we need current value i_s also in k. Therefore it can be calculated in k-1 instant only, i.e. it is one PWM period lagged (this problem will be referenced as z^{-1} problem). In high speed region, this introduces significant phase angle error. In above considered example (12.4°), vector drive is significantly impacted. This sort of error is similar as one in rotor leakage variation case, which will be later explained. Discretization and quantization of quasi integrator also introduce additional phase change in estimated rotor flux.

There is an additional factor that can seriously impact DFOC drive. It can be shown that drive is strongly sensitive to variation of leakage inductance at high speed which is obvious from equation (3) and will be explained in the following text.

Estimated rotor flux is given by (10).

$$\hat{\Psi}_r = \frac{\hat{L}_r}{\hat{L}_m} \left[\frac{1}{s} (v_s - \hat{R}_s i_s) - \hat{\sigma} \hat{L}_s i_s \right] \quad (10)$$

Frequency response function (FRF) related to the estimated and actual fluxes can be insightful and helpful. From machine model in alpha beta system, with substitution s with excitation frequency $\omega_{dq} = \omega_r + \omega_k$, FRF can be derived [5], [6]:

$$\begin{aligned} \frac{\hat{\Psi}_r}{\Psi_r} &= \frac{L_m \hat{L}_r}{\hat{L}_m L_r} \left[1 + \frac{L_r^2}{R_r L_m^2} \left(\frac{R_r}{L_r} + j\omega_k \right) \right. \\ &\left. \left(\left(\sigma L_s - \hat{\sigma} L_s \right) - j \frac{R_s - \hat{R}_s}{\omega_r + \omega_k} \right) \right] \end{aligned} \quad (11)$$

Influence of R_s can be neglected at high speed, hence equation (11) can be rewritten as (12).

$$\frac{\hat{\Psi}_r}{\Psi_r} = \frac{\hat{L}_r}{L_r} + \frac{\hat{L}_r}{L_m^2} (\sigma L_s - \hat{\sigma} L_s) + j\omega_k \frac{\hat{L}_r}{L_m^2} \frac{L_r}{R_r} (\sigma L_s - \hat{\sigma} L_s) \quad (12)$$

At high slip frequencies, common to field weakening region, the magnitude and especially phase errors are significant. Leakage inductance variation depends of motor construction, especially either slots are opened or not. In a case of low power motors it is common to have open stator slots and closed or semi closed rotor slots (this last one is case with tested motor). Thus can be considered that stator leakage inductance is constant and rotor leakage inductance can easily varies by factor 2 or more. According to (12) magnitude and phase diagram of FRF dependable of slip can be easily plotted, Fig. 5. It is taken that maximum slip is 16.6Hz, i.e. 1000rpm, what is maximum for tested motor in the field weakening region. One can notice that there is neglected amplitude and significant phase error which can influence DFOC drive a lot. In the given Fig. 5 slip is assumed to be positive, thus motor mode is shown. In a case of generator mode where slip is negative, from equation (10) is obvious that there is opposite phase error. If estimated flux is lagged for the real one in motor mode, it will be advanced in a generator mode. Generally, in lagged (phase) DFOC, in motor mode there is ω_{dq} less that it should be, hence less ω_k , and thus there are less i_s current, but phase voltages are bigger than in correctly adjusted drive, what is limiting factor in field weakening region. On the other hand, in the drive with advanced phase we have ω_{dq} bigger that it should be, there is bigger ω_k , and drive currents and power than in correctly adjusted drive.

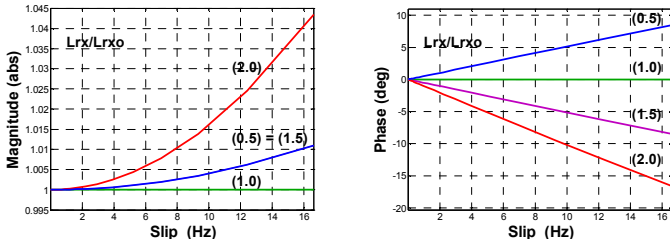


Figure 5. Magnitude and phase error of estimated rotor flux ($\frac{\hat{\Psi}_r}{\Psi_r}$)

IV. EXPERIMENTAL RESULTS

In order to test above mentioned influences on drive, comparison is made between sensed IFOC drive as a reference, DFOC phasely advanced, and lagged for z^{-1} (one PWM period) for rotor flux position. In the next tables are given experimental results. Some details of tested motor are given in [7]. A number of excessive tests on drive were performed in high speed region. Target speed range was from 1000rpm - 16300rpm. Inverter with three shunts for current sensing is controlled by low cost DSP ST32F103; power limit is 800W. Dynamometer with control unit Magtrol DSP5600 and power meter Yokogawa WT500 were used for all tests. In order to easy compare loaded sensed and sensorless strategies, results are given in the table pairs.

TABLE I. IFOC, SENSED, 10000RPM

Te [Nm]	Pm [W]	Vline [V]	I [A]	f [Hz]	Pel [W]	Q [Var]	Pm/Pel
0,1	107	141	0,79	336	166	141	0,64
0,2	211	149	1,20	338	284	180	0,74
0,3	315	157	1,64	340	405	234	0,78
0,4	420	164	2,10	342	538	274	0,78
0,5	521	174	2,51	344	677	344	0,77

TABLE II. DFOC, ADVANCED, SENSORLESS, 10000RPM

Te [Nm]	Pm [W]	Vline [V]	I [A]	f [Hz]	Pel [W]	Q [Var]	Pm/Pel
0,1	103	121	0,89	337	155	110	0,66
0,2	206	114	1,64	343	287	162	0,72
0,3	308	122	2,56	351	461	288	0,67
0,4	408	136	3,18	355	625	427	0,65
0,5	515	153	3,75	358	815	581	0,63

TABLE III. DFOC, SENSORLESS, LAGGED FOR ONE PWM (z^{-1}), 10000RPM

Te [Nm]	Pm [W]	Vline [V]	I [A]	f [Hz]	Pel [W]	Q [Var]	Pm/Pel
0,1	107	149	0,86	336	165	150	0,65
0,2	209	159	1,22	338	282	189	0,74
0,3	311	170	1,57	339	401	240	0,78
0,4	416	181	1,92	340	530	304	0,78
0,5	517	189	2,27	341	658	372	0,79

TABLE IV. IFOC, SENSED, 16300RPM

Te [Nm]	Pm [W]	Vline [V]	I [A]	f [Hz]	Pel [W]	Q [Var]	Pm/Pel
0,15	264	158	1,81	556	422	242	0,63
0,2	343	168	2,19	559	522	313	0,66
0,23	392	175	2,43	560	592	372	0,66
0,25	432	181	2,60	562	640	311	0,68
0,27	462	186	2,69	562	692	455	0,67
0,3	510	193	2,89	564	770	524	0,66

TABLE V. DFOC, ADVANCED, SENSORLESS, 16300RPM

Te [Nm]	Pm [W]	Vline [V]	I [A]	f [Hz]	Pel [W]	Q [Var]	Pm/Pel
0,156	270	147	2,88	580	531	531	0,51
0,2	343	163	3,18	581	644	644	0,53
0,23	393	175	3,45	584	755	755	0,52
0,25	430	184	3,72	589	831	858	0,52
0,27	-	-	-	-	-	-	-
0,3	-	-	-	-	-	-	-

TABLE VI. DFOC, SENSORLESS, LAGGED FOR ONE PWM (z^{-1}), 16300RPM

Te [Nm]	Pm [W]	Vline [V]	I [A]	f [Hz]	Pel [W]	Q [Var]	Pm/Pel
0,156	265	201	1,31	549	398	231	0,67
0,2	343	216	1,51	548	489	289	0,70

0,23	373	213	1,59	526	513	303	0,73
0,25	-	-	-	-	-	-	-
0,27	-	-	-	-	-	-	-
0,3	-	-	-	-	-	-	-

From table pairs I-II and IV-V it can be seen that in a case of advanced sensorless DFOC there are higher current and larger power drawn from drive, compared to sensed IFOC. Speed slip is larger than in a sensed drive, resulting in motor flux less than nominal one. On the other hand, from the table pairs I-III and IV-VI it can be seen that in a case of lagged DFOC drive motor voltage is larger than in sensed IFOC. Therefore, due to the discretization error only, the drive at high speeds approaches or current or voltage limit, and it is not capable of running nominal loads. This issue is especially emphasized in a case of low DC bus voltage due to voltage grid drop.

V. CONCLUSION

In this paper are shown some aspects of sensorless induction motor drive used in high speed applications. DFOC with VI estimator is proposed as a control scheme. Such system is then analyzed and experimentally tested according to some aspects of digital control and sensitivity of motor variation parameters. It has been shown that time-discretization limitation by itself can influence the drive performance, especially at high speeds. The influence on output power, voltage and current is very significant and for the drives working at high speeds close to the current/voltage

margin some additional mechanism for PWM discretization phase error compensation is needed.

APPENDIX

Motor:

$$R_s = 3.26\Omega, R_r = 1.05\Omega, L_{sr} = L_{sr} = 0.003H, L_m = 0.074H, U_n = 195V, I_n = 1.93A, n_{pole_pairs} = 2, n_{max} = 16300rpm$$

REFERENCES

- [1] Holtz J., "Sensorless control of induction motor drives", Proceeding of IEEE, vol. 90, No. 8, Aug., pp. 1359-1394
- [2] Jiang J., Holtz J., "High dynamic speed sensorless AC drive with on-line parameter tuning and steady state accuracy", IEEE Transaction on Industrial Electronics, vol. 44., issue 2., 1997, pp. 240-246.
- [3] Konghirun M., Xu L., Skinner-Gray J., "Quantization errors in digital motor control systems", Power electronics and motion control conference IPERC, volume 3., 2004., pp. 1421-1426.
- [4] Marcetic D., Adzic E., "Improved three-phase current reconstruction for induction motor drives with DC-link shunt", IEEE Transaction on Industrial Electronics, vol. 57, number 7, 2010, pp. 2454-2463
- [5] Jansen P., Lorenz D., "A physically insightful approach to the design and accuracy assessment of flux observers for field oriented induction machine drives", IEEE Transaction on Industry applications, volume 30, number 1, 1994, pp. 101-110
- [6] Jansen P., Lorenz D., Novotny D., "Observer-based direct field orientation: analysis and comparison of alternative methods", IEEE Transaction on Industry applications, volume 30, number 4, 1994, pp. 945-953
- [7] Zhang Z., Xu H., Xu L., Heilman H., "Sensorless direct field-oriented control of three-phase induction motors based on "sliding mode" for washing-machine drive applications", IEEE Transaction on Industry applications, volume 42, number 3, 2006, pp. 694-701



Sekcija TO-5 MJERNE METODE I SISTEMI

D. Stevanović, B. Jovanović, P. Petković IDENTIFIKACIJA IZVORA HARMONIJSKOG ZAGAĐENJA MERENJEM SNAGE DISTORZIJE	174
V. Vujičić, I. Župunski, B. Vujičić, Z. Mitrović ANALIZA PRIMENE STOHAŠTIČKE DIGITALNE MERNE METODE	179
V. Šinik, Ž. Despotović, V. Milićević DEFINICIJE, STANDARDI, MERNI POSTUPCI I OPREMA RADI PROVERE USKLAĐENOSTI ELEKTRIČNIH UREĐAJA S NORMAMA ZRAČENJA	184
M. A. Dimitrijević, V. B. Litovski VIRTUAL INSTRUMENT FOR THREE-PHASE POWER QUALITY ANALYSIS	189
Z. Kokolanski, J. Kosev, C. Gavrovski, V. Dimcev COMPARING THE CLASSICAL AND ALTERNATIVE RESISTIVE BRIDGE SIGNAL CONDITIONING	195
Z. Kokolanski, C. Gavrovski, V. Dimcev CONTINUAL ONE POINT AUTO CALLIBRATION TECHNIQUE IN DIRECT SENSOR TO MICROCONTROLLER INTERFACE	199
M. M. Simić, D. S. Kovačević, B. R. Dimitrijević VERIFICATION OF MEASURING TRANSFORMER ACCURACY SUPPORTED BY LABVIEW SOFTWARE	203
N. Vukoje, V. Dogan, M. Brkić, G. Mančić, M. Živanov NEW REALISATION OF DIGITAL SPECTRAL GAMMA RAY TOOL	207
Z. Varga, M. Brkić, M. Živanov, N. Cvijić, V. Dogan, N. Vukoje ONE SOLUTION FOR THE REALIZATION OF SPR/SP PROBE IN GEOPHYSICAL MEASUREMENTS	211
P. Sovilj, I. Župunski, Z. Mitrović, V. Vujičić UREĐAJ I POSTUPCI ZA ISPITIVANJE METROLOŠKIH KARAKTERISTIKA ANALOGNOG ELEKTROKARDIOGRAFA	215
Ль. Р. Голубовић, М. К. Стојчев МЕРЕЊЕ ИНДУКТИВНЕ ИМПЕДАНСЕ МОДИФИКОВАНОМ МЕТОДОМ ТРИ ВОЛТМЕТРА	220
А. Пајкановић ПРОРАЧУН ПОУЗДАНОСТИ СИСТЕМА ЕЛЕКТРИЧНОГ НАПАЈАЊА ХЕЛИКОПТЕРА АÉРОСПАТИАЛЕ GAZELLE SA-341/342	226

Identifikacija izvora harmonijskog zagađenja merenjem snage distorzije

Stevanović D., Jovanović B., Petković P.

LEDA laboratorija, Elektronski fakultet, Univerzitet u Nišu, Srbija

desha@venus.elfak.ni.ac.rs, borisav.jovanovic@elfak.ni.ac.rs, predrag.petkovic@elfak.ni.ac.rs

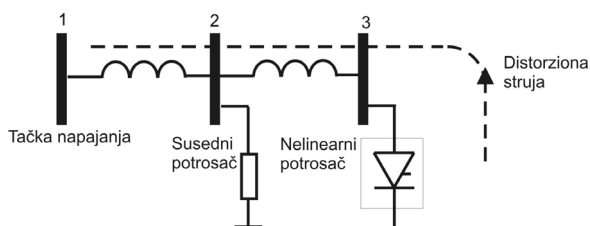
Sadržaj – U ovom radu biće urađena kratka analiza uticaja nelinearnih potrošača na elektroenergetski sistem, kao i mogućnost njihove identifikacije. Prikazano je i hardversko rešenje kola za identifikaciju nelinearnog potrošača na mreži, koje je sastavni deo Integrisanog Merača Potrošnje Električne Energije. Kolo je realizovano u CMOS 0.35 μ m tehnologiji korišćenjem alata iz Cadence paketa za projektovanje integrisanih kola.

Ključne reči - snaga distorzije; nelinearni potrošač

I. UVOD

U zavisnosti od talasnog oblika struje koju potrošači vuku iz elektroenergetskog sistema, svi potrošači mogu da se svrstaju u dve grupe: u linearne i nelinearne. Linearne potrošači su oni koji povlače struju prostoperiodičnog talasnog oblika frekvencije 50Hz, odnosno 60Hz, tj. kod njih je talasni oblik struje isti kao talasni oblik napona. Istorijski gledano, do skora su se uglavnom proizvodili linearni potrošači: električni motori, sijalice sa užarenim vlaknom, razna grejna tela i većina drugih uređaja koji su se koristili u domaćinstvu. Nelinearne potrošače električne energije karakteriše talasni oblik struje koji se se razlikuje od prostoperiodične funkcije napona [1]. Oni se mogu svrstati u dve grupe. U prvoj grupi mogu biti uređaji koji se koriste u kancelarijama kao što su računari, faks mašine i većina uređaja iz domaćinstva kod kojih je primenjena savremena elektronika za kontrolu rada tog uređaja, kao što su napredne veš mašine i dr. U drugoj grupi mogu se naći razne vrste DC motora kod kojih se može podešavati brzina rada. Ovi motori se uglavnom koriste u industriji, u procesu proizvodnje, kao i u liftovima.

Distorzione komponente protiču kroz energetski sistem i izazivaju dodatni visokofrekvencijski pad napona [1]. To dovodi do promene u talasnom obliku napona kod svih potrošača koji se nalaze u blizini. Na Sl. 1 je prikazano kako nelinearno opterećenje utiče na potrošače u blizini. U tački 1 izobličenje je najmanje, dok je u tački 3 najveće, zato što impedansa sistema raste sa povećanjem rastojanja između potrošača i trafo stanice a samim tim se povećava i pad napona.



Slika 1. Uticaj nelinearnog opterećenja

Nelinearno opterećenje osim što prouzrokuje pad napona, dovodi i do izobličenja talasnog oblika napona napajanja. Kao što se vidi sa Sl. 1 harmonijsko izobličenje je fenomen kod koga potrošači međusobno utiču jedan na drugi pošto su povezani na istu električnu mrežu. Sa porastom broja nelinearnih potrošača raste i veličina harmonijskog izobličenja celog sistema. Postojanje harmonijskih izobličenja utiče na rad pojedinih komponenata distributivne mreže i drugih potrošača. Ukoliko harmonijska izobličenja na mreži ne mogu da se spreče, važno ih je održavati u prihvatljivim granicama. Da bi to bilo moguće, neophodno je meriti ova izobličenja a zatim primeniti odgovarajuće mere za njihovo smanjenje. Uobičajeni način za detektovanje ovih potrošača zasnovan je na merenju RMS vrednosti struja i napona a zatim se njihovom analizom i daljom obradom dolazi do informacije o prisustvu nelinearnih potrošača u mreži. To znači da su potrebni instrumenti (ampermetri i voltmetri) koji mere pravu RMS vrednost a ne samo RMS vrednost osnovnog harmonika. Pored toga, potreban je i neki hardver za obradu i memorisanje dobijenih podataka. Takav način je veoma skup i komplikovan za sprovođenje u praksi. Ovaj rad ima za cilj da predloži novo rešenje za identifikaciju i lociranje svih nelinearnih potrošača na mreži.

Rad je organizovan u osam poglavlja. Naredno poglavlje opisuje uticaj harmonijskih izobličenja na električnu opremu. Zatim je objašnjeno kako je moguće identifikovati izvor zagađenja na mreži. U četvrtom poglavlju date su formule koje se mogu primeniti za izračunavanje osnovnih parametara mreže kada su prisutni harmonici. Peto poglavlje posvećeno je DSP bloku koji predstavlja deo sistema na čipu za merenje parametara signala elektroenergetske mreže. U šestom poglavlju prikazana je hardverska implementacija kola za računanje snage distorzije, koji predstavlja nadogradnju DSP bloka u postojećem integrisanom meraču potrošnje električne energije IMPEG [2, 3]. Dok su u sedmom poglavlju prikazani rezultati simulacija koji verifikuju rad kola za računanje distorzije. Zaključak je dat u osmom poglavlju.

II. UTICAJ HARMONIJSKIH IZOBLIČENJA NA ELEKTRIČNU OPREMU

Električna oprema različito reaguje na postojanje harmonijskih izobličenja. Na primer, harmonijski izobličen napon uopšte ne utiče na rad sijalice sa užarenim vlaknom. Sa druge strane, kod induktorskog motora, izobličen napon izaziva grejanje namotaja čime se smanjuje životni vek motora [1]. Pojedini uređaji zahtevaju veoma precizan napon napajanja. Primer za takvu opremu predstavljaju svi uređaji

koji sadrže tiristore (prigušivači svetla ili aparati za zavarivanje).

Harmonijska izobločenja prouzrokovana nelinearnim potrošačima negativno utiču i na trofazni sistem. To za posledicu može imati da neutralna struja premaši vrednost aktivne linijske struje. Kada ne postoji harmonijsko izobličenje, struja kroz nulti provodnik je veoma mala. Ukoliko je zastupljenost harmonijskog izobličenja duž monofaznog sistema visoka, postoji opasnost od preopterećenja neutralnog provodnika što može prouzrokovati:

- Pregrevanje neutralnog provodnika, samim tim se smanjuje životni vek tog provodnika a može doći i do pojave požara
- Poznato je da visoki napon između nule i zemlje može uticati na rad digitalne opreme i lokalne računarske mreže (LAN), ukoliko je uzemljenje loše odrađeno [4]

Osim što postojanje harmonijskih izobličenja može prouzrokovati probleme kod rada potrošača, ono takođe izaziva problem i u sistemu napajanja. Distorziona struja izaziva dodatno grejanje transformatora i samim tim smanjuje njihov životni vek. S druge strane, kod kondenzatorskih baterija distorzioni napon dovodi do pregrevanja dielektrika, i samim tim postoji mogućnost pojave eksplozija.

III. IDENTIFIKACIJA IZVORA ZAGAĐENJA NA ELEKTRO ENERGETSKOJ MREŽI

Uticao nelinearnih potrošača u elektroenergetskim sistemima ogleda se u generisanju struje koja osim osnovne komponente sadrži i harmonike. Ova struja izaziva distorziju napona, zbog čega se moraju preduzeti mere za prevenciju i smanjenje negativnih efekata na opremu sistema i ostale potrošače. Standardi IEEE 519-1995 i IEC 1000-3 predlažu ograničenja za svaki harmonik struje ili napona bez obzira da li je izobličenje prouzrokovano od strane potrošača ili elektroenergetskog sistema, kako bi se ograničilo značajno prisustvo harmonika u mreži [5]. Ovi standardi su prihvaćeni u industriji i elektroenergetski sistemi se projektuju da rade sa ograničenjima koja ispunjavaju ove standarde [5]. Da bi se ostalo u granicama standarda, potrošači moraju da smanje vrednost harmonika struje koji premašuju ograničenje. Takođe mora se voditi računa o preventivnoj zaštiti sistema od uticaja harmonika bliskih rezonantnoj frekvenciji.

Standardi definišu dozvoljenu granicu zagađenosti sistema, ali šta se dešava ako se ograničenja naruše od strane potrošača? Postoje zagovornici dve ideje. Jedni predlažu da se takav potrošač isključi sa mreže što predstavlja oblik nasilja. Zbog toga je prihvatljivije rešenje koje se zasniva na plaćanju penala ukoliko dođe do zagađenja sistema harmonicima čija vrednost premašuje limit koji je predviđen standardima. Ovde se pojavljuju dva značajna problema:

- kako identifikovati izvor zagađenja elektroenergetskog sistema i
- kako izolovati efekat varijacije impedanse mreže.

Oba problema rešavaju se nadgledanjem zagađenosti elektroenergetskog sistema. Uspešno nadgledanje

podrazumeva merenje zagađenosti sistema i identifikovanje uzročnika tog zagađenja. Ovo nije lak posao i predstavlja veliki izazov za inženjera. Tačnost merenja podataka je jedan od osnovnih uslova za dobru analizu i korektnu identifikaciju [5]. Da bi se zagađenje sistema harmonicima uspešno nadgledalo potrebna je oprema za merenje prave RMS vrednosti struje i napona a ne samo RMS osnovnog harmonika. Nakon što se efekat harmonika uzme u obzir, potrebno je odrediti mesto gde će merači biti postavljeni. Do izobličenja napona dolazi usled interakcije između harmonika struje i impedanse sistema. Vrednost impedanse je veoma važna jer ona utiče na izobličenje napona. Jedan od nedavno objavljenih radova apostrofira da je teško definisati ili meriti impedansu sistema [5]. U radu se predlaže procedura merenja koja je bazirana na uticaju impedanse na vrednosti napona i struja u različitim tačkama mreže. Da bi se povećala preciznost potrebno je da razlika između mernih tačaka bude što manja, što pak dovodi do povećanja cene celog sistema nadgledanja.

IV. RAČUNANJE OSNOVNIH PARAMETRA MREŽA U PRISUSTVU HARMONIKA

Kao što je u prethodnom poglavlju naglašeno, da bi se mogli identifikovati izvori harmonijskog izobličenja, tj. locirati nelinearni potrošači na mreži, potrebna je oprema koja meri osnovne parametre mreže uzimajući u obzir i harmonike. Trenutne vrednosti izobličenog napona napajanja i izobličene struje mogu se predstaviti pomoću sledeće dve formule

$$u(t) = \sum_{h=1}^N V_h \sin(\omega_h t + \alpha_h^o) \quad (1)$$

$$i(t) = \sum_{h=1}^N I_h \sin(\omega_h t + \beta_h^o) \quad (2)$$

gde V_h , I_h označavaju maksimalne vrednosti napona i struje za h -ti harmonik.

Efektivne vrednosti napona i struje čije su trenutne vrednosti date formulama (1), (2) računaju se kao:

$$V_{RMS} = \sqrt{\sum_{i=1}^m V_{RMSi}^2} \quad (3)$$

$$I_{RMS} = \sqrt{\sum_{i=1}^m I_{RMSi}^2} \quad (4)$$

gde su V_{RMSi} , i I_{RMSi} efektivne vrednosti i -tog harmonika napona i struje, respektivno.

Proizvod napona i struje na istoj frekvenciji predstavlja snagu tog harmonika. Za monofazne sisteme ukupna aktivna snaga, P i reaktivna snaga Q , definišu se kao:

$$P = \sum_{h=1}^H V_h I_h \cos(\alpha_h - \beta_h) \quad (5)$$

$$Q = \sum_{h=1}^H V_h I_h \sin(\alpha_h - \beta_h) \quad (6)$$

gde je h red harmonika a H najveći harmonik.

Doprinos harmonijskih komponenti napona i struja na ukupnu aktivnu i reaktivnu snagu manji je od 3% celokupne aktivne ili reaktivne snage [6]. Glavni doprinos harmonijskih komponenti napona i struje odnosi se na snagu distorzije. Vektorski zbir aktivne i reaktivne snage predstavlja *faznu snagu* [6] S . Njen intenzitet računa se kao:

$$S = \sqrt{P^2 + Q^2}, \quad (7)$$

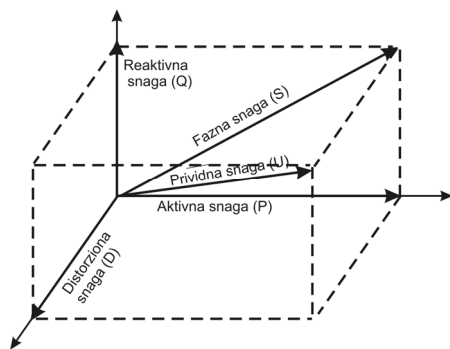
gde aktivna snaga P predstavlja algebarsku sumu aktivne snage osnovnog harmonika i aktivnih snaga svih viših harmonika (5), a Q predstavlja algebarsku sumu reaktivne snage osnovnog i svih viših harmonika (6).

S druge strane, *prividna snaga* U predstavlja vektorski zbir fazne i snage distorzije [6], tako da se njen intenzitet računa kao:

$$U = \sqrt{S^2 + D^2} = V_{RMS} * I_{RMS} \quad (8)$$

Pojam distorzionne snage D , koja je sastavni deo prividne snage U , prvi je uveo C. Budeon 1927 godine [7].

Na Sl. 2 prikazan je fazni dijagram monofaznog sistema kada struja i napon sadrže više harmonike. Na faznom dijagramu dat je geometrijski odnos između aktivne P , reaktivne Q , fazne S , distorzionne D , i prividne snage U .



Slika 2. Fazni dijagram snaga nelinearnog potrošača

Na osnovu Sl. 2 može se zaključiti da će, ukoliko se nelinearni potrošač zameni linearnim, distorziona snaga biti jednaka nuli, a samim tim će prividna snaga U biti jednaka faznoj snazi S .

V. FUNKCIJA DSP BLOKA U IMPEG ČIPU

Blok DSP predstavlja deo integrisanog merača potrošnje električne energije - IMPEG. Na osnovu trenutnih vrednosti struje i napona koje dobija iz digitalnih filtara, DSP svake sekunde računa efektivnu vrednost struje I_{RMS} , efektivnu vrednost napona V_{RMS} , aktivnu snagu P , reaktivnu snagu Q , prividnu snagu U , faktor snage $\cos(\varphi)$ i vrednost trenutne

frekvencije signala energetske mreže [2, 3]. Na osnovu vrednosti aktivne i reaktivne snage, kolo generiše impulse za svaki Wh izmerene energije. Impulsi inkrementiraju stanje u registrima DSP-a u kojima se beleži aktivna i reaktivna (potrošena ili generisana) energija.

Najpre će biti dat kratak pregled relevantnih jednačina koje opisuju funkciju DSP-a.

Trenutna vrednost struje može se predstaviti sa:

$$i(t) = \sqrt{2} I_{RMS} \cdot \cos(2\pi ft + \varphi) \quad (9)$$

Posle diskretizacije po vremenu dobija se

$$i(nT) = \sqrt{2} I_{RMS} \cdot \cos(2\pi \frac{f}{f_{semp}} n + \varphi) \quad (10)$$

gde je $f = 50\text{Hz}$, $f_{semp} = 4096\text{Hz}$, frekvencija semplovanja signala struje i napona na izlazu digitalnih filtara. Kolo računa efektivnu vrednost struje po formuli:

$$I_{RMS} = \sqrt{\frac{\sum_{n=1}^N i(nT)^2}{N}} \quad (11)$$

gde je $N=4096$. Relativna greška računanja I_{RMS} po formuli (11) zavisi od trenutne frekvencije signala. Sličan se izraz koristi prilikom izračunavanja efektivne vrednosti napona V_{RMS} . Trenutna vrednost snage dobija se množenjem trenutnih vrednosti struje i napona a srednja snaga računa se kao:

$$P = \frac{\sum_{n=1}^N p(nT)}{N} \quad (12)$$

Izvor grešaka pri računanju snage leži u mogućoj faznoj razlici signala struje i napona i činjenici da frekvencija mrežnog signala nije tačno 50Hz, pa vremenski period od $1s$ nije jednak celom broju polu-perioda mrežnog signala. Radi eliminacije grešaka, trenutne vrednosti $i^2(t)$, $u^2(t)$, $p(t)$ i $q(t)$ se filtriraju, pa tek onda akumuliraju. Prividna snaga se računa po obrascu (8).

DSP blok radi na 4.194MHz i sa relativnom greškom manjom od 0.1% računa pomenute parametre signala elektroenergetske mreže. Dinamički opseg efektivne struje je od 10mA to 100A, a napona do 300V. Arhitektura DSP-a zasnovana je *controller/datapath* podeli [2].

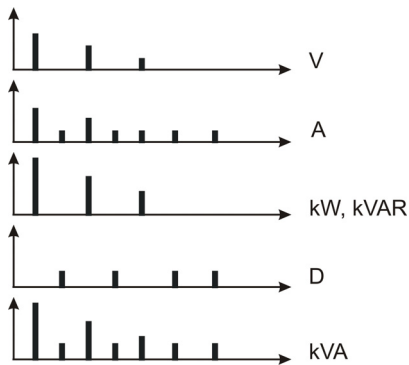
VI. REALIZACIJA KOLA ZA IDENTIFIKACIJU NELINEARNOG POTROŠAČA NA MREŽI

Na osnovu svega rečenog u poglavljima II i III možemo zaključiti da je potrebno imati informaciju o mestu gde se nalazi nelinearni potrošač. Postoje mnogobrojna rešenja od kojih se neka već koriste a neka se ispituju. Jedan od načina da se identifikuje izvor nelinearnog potrošača je korišćenje znaka aktivne harmonijske snage Ph [7]:

- ako je $Ph > 0$ onda je izvor izobličenja sam elektroenergetski sistem
- u slučaju da je $Ph < 0$ onda je izvor izobličenja sam potrošač

Ovaj način i još mnogi drugi mogu se naći u [5], [8].

U ovom radu biće predložen sasvim nov način za identifikaciju nelinearnog potrošača. Kao što se može zaključiti na osnovu trenutnih vrednosti napona (1) i struje, (2) osim osnovne komponente postoje i harmonici. Oni utiču na vrednost aktivne, reaktivne i prividne snage. Sve ovo slikovito je predstavljeno na Sl. 3.



Slika 3. Spektralne komponente napona, struje i snaga

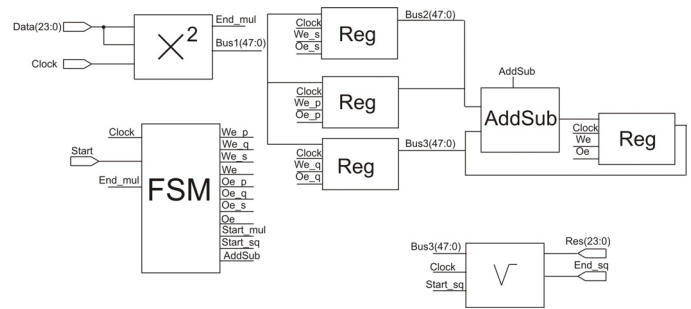
Analizirajmo sada Sl. 3. Ukoliko je na mreži priključen nelinearni potrošač onda će struja sadržati veći broj harmonika. Kao što je rečeno u poglavlju 4, harmonici napona i struje istog reda utiču na vrednost aktivne i reaktivne snage, dok ostali harmonici utiču na vrednost distorzionu snagu D. Zaključujemo da je u slučaju linearnog potrošača snaga distorzije $D=0$ u suprotnom $D > 0$.

Realizovani modul računa distorzionu snagu periodično, jednom nakon svake sekunde, koristeći obrazac (13).

$$D = \sqrt{U^2 - P^2 - Q^2} \quad (13)$$

Unutrašnja struktura modula za računanje distorzionu snage prikazana je na Sl. 4. Modul se sastoji od kola za množenje, kola za korenovanje, kola za oduzimanje, bloka kontrolne logike i četiri registra.

Modul radi na sledeći način. Setovanjem signala *Start*, kolo za množenje uzima 24-bitni broj P koji se nalazi na ulaznom portu *Data_In*. Nakon 24 taktna ciklusa na izlazu kola za množenje dobija se 48-bitni rezultat P^2 koji se smešta u pomoćni registar. Postupak se ponavlja za veličine Q i U. Nakon dobijanja P^2 , Q^2 , U^2 , pomoću kola za oduzimanje, dobija se broj koji se dalje šalje na ulaz kola za korenovanje.



Slika 4. Blok šema kola za računanje snage distorzije

Broj koji se korenuje je 48-bitni broj. Rezultat je 24-bitni broj, predstavljen u potpunom komplementu.

VII. REZULTATI SINTEZE I SIMULACIJE

RTL simulacija urađena je alatom Active HDL. Modul je zatim sintetizovan programom RTL Compiler iz Cadence paketa za projektovanje integrisanih kola, dok je implementacija do izrade lejauta urađena u SoC Encounter-u, takođe iz Cadence paketa. Prilikom sinteze i izrade lejauta korišćena je biblioteka standardnih ćelija MTC45000. Za realizaciju kola korišćena je AMIS CMOS 0.35 μ m tehnologija. Površina svakog dela modula prikazana je u tabeli 1.

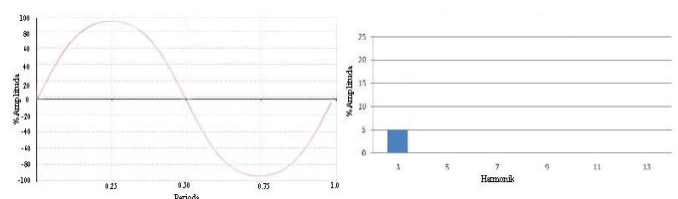
TABELA I. POVRŠINA MODULA KOJA SE DOBIJA NAKON SINTEZE

Naziv bloka	Ceo Modul	Kolo za množenje	Kolo za korenovanje	FSM	Registar	Kolo za sabiranje i oduzimanje
Površina	4164	822	788	78	416	382

Na osnovu Tabele 1 vidimo da površina modula za računanje snage distorzije iznosi 4164 gejtā. Površina kola za množenje je 822, kola za korenovanje 788. Dimenzije dobijenog lejauta su 569 μ m x 564 μ m.

Nakon implementacije lejauta, urađena je logička verifikacija rada, pri čemu su korišćene informacije o kašnjenju signala na metalnim vezama lejauta.

Pošto smo se uverili da projektovano kolo ispravno radi, pristupili smo postupku logičke verifikacije zajedničkog rada kola i DSP-a. Da bi se izračunala snaga distorzije D na osnovu formule (13), potrebno je da budu poznate brojne vrednosti za aktivnu, reaktivnu i prividnu snagu (P, Q, U respektivno). One se računaju u okviru DSP bloka koji je opisan u petom poglavlju.



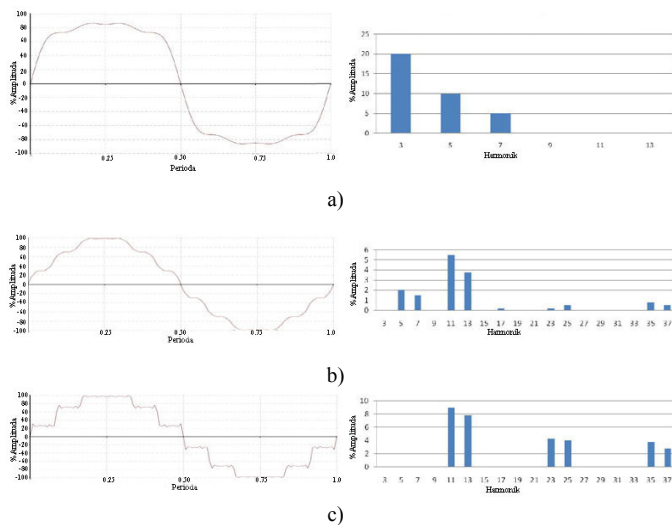
Slika 5. Talasni oblik napona napajanja i njegovi harmonici

Da bismo proverili ideju da se na osnovu snage distorzije mogu identifikovati nelinearni potrošači, simulirali smo nekoliko različitih potrošača. Pri tome su svi pobuđivani

naponom čiji je talasni oblik prikazan na Sl. 5. Da bi se što bolje simulirao realni slučaj, uvedeno je maksimalno standardom dozvoljeno izobličenje od THD=5%. (U konkretnom slučaju 5% treći harmonik). Simulirano je 5 različitih potrošača:

- Nelinearni potrošač, fluorescentna lampa
- Nelinearni potrošač, motori promenljive brzine
- Nelinearni potrošač, 12 pulsni konvertor
- Linearni potrošač, struja i napon su u fazi $\varphi=0^\circ$
- Linearni potrošač, struja kasni za naponom, $\varphi=33^\circ$

Taladni oblici struja nelinearnih potrošača kao i njihove spektralne komponente prikazani su na Sl. 6. Za linearne potrošače talasni oblik struje isti je kao na Sl. 5, samo što u slučaju pod e) struja kasni za naponom za $\varphi=33^\circ$. Dobijeni rezultati prikazani su u Tabeli 2.



Slika 6. Talasni oblici struja i njeni harmonici a) Nelinearni potrošač, fluorescentna lampa b) Nelinearni potrošač, motori promenljive brzine c) Nelinearni potrošač, 12 pulsni konvertor

TABELA II. REZULTATI SIMULACIJE POTROŠAČA ELEKTRIČNE ENERGIJE

	a)	b)	c)	d)	e)
$I_{RMS}(A)$	42.8	41.84	42.13	41.78	41.78
$U_{RMS}(V)$	125.33	125.33	125.33	125.33	125.33
P(W)	5275.16	5223.2	5223.2	5236.19	4533.62
Q(VAR)	0	0	0	0	2619.9
U(VA)	5364.32	5243.44	5279.88	5236.19	5236.19
D(VAR)	973.96	460.26	771	0	0

Kao što se vidi iz Tabele 2, u slučajevima pod d) i e) analizirani su linearni potrošači. Iako napon napajanja nije bio idealan snaga distorzije jednaka je nuli. Na prvi pogled bismo rekli da je greška ali naprotiv nije. Pošto je u pitanju linearni potrošač onda je i talasni oblik struje isti kao kod napona samo je amplituda umanjena za vrednost impedanse. Znači napon i struja imaju iste harmonike a samim tim ti harmonici učestvuju u računanju aktivne i reaktivne snage date izrazima (5), (6) respektivno.

U slučajevima pod a), b), c) radi se o izrazito nelinearnim potrošačima. Kao što se vidi sa Sl. 6, struje ovih potrošača

sadrže harmonike koji ne postoje u naponu napajanja, a rezultat toga je postojanje snage distorzije. Vrednost snage distorzije je veća ukoliko struja sadrži veći broj harmonika. Ukoliko je talasni oblik struje u obliku pravougaonog impulsa, onda vrednost snage distorzije dostiže 46% aktivne snage [9]

VIII. ZAKLJUČAK

Na osnovu dobijenih rešenja vidi se da se merenjem snage distorzije veoma lako mogu identifikovati izvori zagađenja elektroenergetske mreže. Prednost ovog rešenja u odnosu na druga predložena rešenja ogleda se u tome što je potreban minimalan hardver za nadgradnju DSP bloka koji je ugrađen u kolo integrisanog merača potrošnje električne energije, koji omogućuje identifikaciju svih izvora zagađenja na mreži. Takođe, osim što se vrednost snage distorzije može koristiti za identifikaciju izvora zagađenja, ona se može koristiti i za određivanje iznosa koji nesavesni potrošači treba da plate distribuciji za pričinjene gubitke, kako bismo svi težili da smanjimo vrednost harmonika.

LITERATURA

- [1] Integral Energy Power Quality Centre, Harmonic distortion in the electric supply system, Technical note, No. 3, University of Wollongong, March 2000
- [2] B. Jovanovic, M. Damjanović, P. Petković, "Digital signal processing for an integrated power meter", Proceedings of 49. Internationales Wissenschaftliches Kolloquium, Technische Universität Ilmenau, Ilmenau, Germany, vol. 2, pp. 190-195, September 2004
- [3] B. Jovanović, M. Damjanović, "Digital signal processing in three-phase integrated power meter", Proc. of the 52th ETRAN Conference, Palić, June 2008, EL2.3-1-4.
- [4] T. Shaughnessy, Clearing up neutral-to-ground voltage confusion, Electrical Construction & Maintenance, February 1, 2007.
- [5] Y. Alhazmi, Allocating power quality monitors in electrical distribution systems to measure and detect harmonics pollution, Electronic Theses and Dissertations, University of Waterloo, Ontario, Canada, 2010
- [6] J. G. Webster, The measurement, instrumentation, and sensors handbook, IEEE Press, 1999
- [7] A. E. Emanuel, "Summary of IEEE standard 1459: definitions for the measurement of electric power quantities under sinusoidal, nonsinusoidal, balanced, or unbalanced conditions", IEEE Tran. On Industrial Applications, Vol. 40, No3, May 2004.
- [8] A. Cataliotti, V. Cosentino, "A single-point approach based on IEEE 1459-2000 for the identification of detection of prevailing harmonic sources in distorted three phase power systems", Proc. of the Metrology and Measurement Systems, ISSN 0860-8229
- [9] D. Stevanović, B. Jovanovic, "Izračunavanje snage distorzije u integrisanom meraču potrošnje električne energije" Proc. of the 54th ETRAN Conference, Donji Milanovac, Jun 2010, EL3.5

Abstract – In this paper, the brief analysis of the nonlinear load influence on the power system is given. The hardware circuit for identification of nonlinear loads is described. The circuit is embedded into Integrated Power-Meter and implemented in CMOS 0.35 μ m technology, using Cadence design tools.

Keywords - distorsion power; nonlinear load

The identification of harmonic pollution sources by measuring the distortion factor

Analiza primene stohastičke digitalne merne metode

Vladimir Vujičić, Ivan Župunski, Bojan Vujičić, Zoran Mitrović

Departman za energetiku, elektroniku i telekomunikacije

Fakultet tehničkih nauka

Novi Sad, Srbija

vujiciv@uns.ac.rs

Sadržaj—U radu je prikazana realizacija strateškog pravca u digitalnim merenjima – merenje na intervalu. On je formulisan u obliku merne metode nazvane Stohastička digitalna merna metoda. Detaljnom analizom je pokazano da je ključni element metode fleš A/D konvertor niske rezolucije i da se njime može postići, primenom ove metode, velika brzina, preciznost i tačnost. U navedenoj literaturi su dati najnoviji rezultati primene metode u merenju električne snage i energije.

Ključne reči – stohastika; merna metoda; fleš A/D konvertor; rezolucija A/D konvertora; nivo tehnologije; ekvivalentna brzina merenja

I. UVOD

Pod merenjem danas se podrazumeva diskretno digitalno merenje, odnosno merenje u tački. U metrološkom žargonu to se zove merenje sampling metodom. Sampling metoda ima dva uzroka sistematske greške: diskretizaciju po vremenu i diskretizaciju po vrednosti. Ako su zadovoljeni uslovi teoreme o odmeravanju (uzorkovanju, smplovanju, samplingu), diskretizacija po vremenu se eliminiše kao uzrok sistematske greške. Diskretizacija po vrednosti uvek prouzrokuje sistematsku grešku i nju nije moguće eliminisati, ali ju je moguće, pod određenim uslovima, svesti na prihvatljivu meru.

Sušтина sampling metode je sledeća: u teorijski beskrajno kratkom vremenskom intervalu, praktično u trenutku, se uzme uzorak analogne merene veličine i u intervalu vremena se uređajem koji se zove A/D konvertor pretvori u broj.

Jasno je da je:

$$\frac{1}{\Delta t} = f_s = 2f_g$$

gde je f_g najviša učestanost koja se javlja u merenom signalu, odnosno, gornja granica frekventijskog opsega merenog signala. Stoga je važno da Δt bude što je moguće manje. Najbrži su fleš A/D konvertori kod kojih je $\Delta t \approx 1$ ns.

Problem koji se javlja je mala rezolucija fleš A/D konvertora. Rezolucija od desetak bita je maksimalna, a u skladu sa njom je i merna nesigurnost. Poznato je, još, da se sa svakim novim bitom rezolucije duplira hardver fleš A/D konvertora, pa samim tim i izvori sistematskih grešaka, tako da je sa te tačke gledišta bolje da fleš A/D konvertor bude manje rezolucije. Problem A/D konvertora male rezolucije (ispod deset bita) je što tada ne važi Benetov model greške kvantizacije, pa se greška kvantizacije ne može tretirati kao uniformni beli šum i to postaje ozbiljan i teorijski i praktični problem. Rezime u jednoj

rečenici glasi: precizni i tačni A/D konvertori su spori, a brzi A/D konvertori su neprecizni i netačni. To je centralni problem merenja u tački - izrazita slabost (netačnost) na visokim frekvencijama.

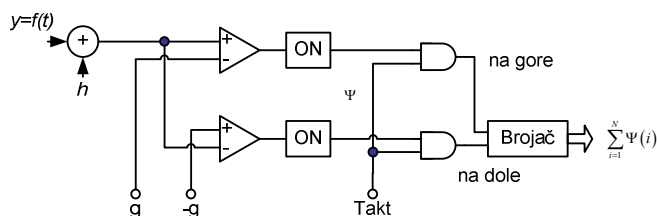
Drugi problem merenja u tački je merenje zašumljenih signala. U teoriji diskretnih signala to je poznato kao estimacija (procena) signala u šumu i teorijski pristup uopšte ne uzima u obzir grešku kvantizacije (diskretizacije po vrednosti). Pokazuje se da se signal bolje procenjuje u šumu ukoliko je učestanost smplovanja viša, pa i u ovom slučaju brzi A/D konvertori postaju ključni.

Teći problem je to što kod fleš A/D konvertora (ako se želi širok frekventijski opseg) velika rezolucija znači komplikovan hardver i velik broj izvora sistematske greške, pa je stoga dobro da fleš A/D konvertor ima što manju rezoluciju. Ako je njegova rezolucija mala, onda je moguće izvore sistematske greške držati pod kontrolom i postići, ne samo veliku brzinu, nego i veliku linearnost i tačnost [1].

Pokazuje se da nedostaci, odnosno slabosti, sampling metode mogu, u navedene tri oblasti, da budu prevaziđeni ako merenu veličinu posmatramo ne samo u diskretnim trenucima nego i na nekom konačnom intervalu vremena. Ovaj strateški pristup je nazvan merenjem na intervalu [2], a on je realizovan u tri generacije mernih instrumenata u proteklih petnaest godina. Merna metoda je, za razliku od sampling metode, nazvana stohastičkom digitalnom mernom metodom (SDMM). Treba napomenuti da je SDMM takođe jedna varijanta sampling metode.

II. PRIMENA DVOBITNIH FLEŠ A/D KONVERTORA U SDMM

U primeni stohastičke digitalne merne metode (SDMM) najjednostavniji je hardver kad se primenjuju 2-bitni fleš A/D konvertori. Na slici 1 i slici 2 su prikazane osnovne varijante primene.



Slika 1. Blok šema uređaja za merenje srednje vrednosti signala na intervalu

Važi skup uslova (1)

$$\left. \begin{aligned} |y+h| &\leq 3g \\ |y| &\leq 2g \\ |h| &\leq g \\ p(h) &= \frac{1}{2g} \end{aligned} \right\} \quad (1)$$

a ako se meri $\bar{\Psi} = \frac{1}{N} \sum_{i=1}^N \Psi(i)$ tj. srednja vrednost izlaza dvobitnog fleš A/D konvertora, onda je

$$\bar{\Psi} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f(t) dt = \bar{y} \quad (2)$$

Relacija (2) važi kad imamo beskonačnu učestanost semplovanja u konačnom intervalu $[t_1, t_2]$, odnosno kad je $N \rightarrow \infty$. Naravno to je nemoguće, pa ako uvedemo veličinu e , grešku merenja odmerka, onda važi

$$\Psi = y + e \quad (3)$$

Kako je Ψ slučajna veličina a y deterministička, sledi da je e slučajna veličina i stoga nekorelisana sa y . Zato važi

$$\bar{\Psi} = \bar{y} + \bar{e} \quad (4)$$

i na osnovu (2) sledi:

$$\bar{e} = 0 \quad (5)$$

Ako merimo \bar{y} na intervalu $[t_1, t_2]$, sa konačnom učestanošću semplovanja, tada je N konačan broj, pa se postavlja pitanje koja je merna nesigurnost greške merenja

$\bar{y} \approx \frac{1}{N} \sum_{i=1}^N \Psi(i)$, odnosno koja je merna nesigurnost rezultata

$\bar{e} \approx 0$. To je, naravno, definisano varijansom veličine \bar{e} , σ_e^2 .

U [3] je pokazano da je dovoljan uslov za važenje Centralne granične teoreme i Statističke teorije uzoraka da bilo koji treći

moment veličine e , pa i treći centralni moment bude ograničen. U našem slučaju je:

$$M_3(e) = \overline{(e - \bar{e})^3} = \int_{-2g}^{2g} e^3 p(e) de \leq \int_{-2g}^{2g} |e|^3 p(e) de < (2g)^3 \quad (6)$$

jer se iz geometrije problema vidi da je $|e| < 2g$.

Pošto važi (6), sledi

$$\sigma_e^2 = \frac{\sigma_e^2}{N} \quad (7)$$

što daje Centralna granična teorema i Statistička teorija uzoraka.

Pokazuje se [4] da je

$$\sigma_e^2 = \frac{2g}{t_2 - t_1} \int_{t_1}^{t_2} |f(t)| dt - \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f^2(t) dt \quad (8)$$

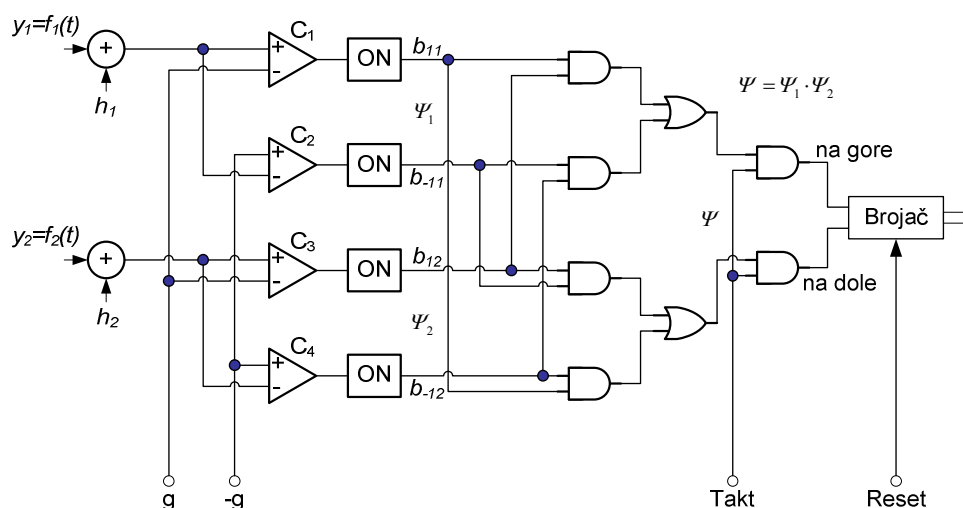
odnosno,

$$\sigma_e^2 = \bar{e}^2 \approx \left(\frac{2g}{N} \sum_{i=1}^N |\Psi(i)| - \frac{(2g)^2}{N-1} \sum_{i=1}^{N-1} \Psi(i) \Psi(i+1) \right) \quad (9)$$

U slučaju sa slike 2 je, potpuno analogno,

$$\bar{\Psi} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f_1(t) f_2(t) dt \quad (10)$$

$$\sigma_e^2 = \frac{\sigma_e^2}{N} \quad (11)$$



Slika 2. Blok šema uređaja za merenje srednje vrednosti proizvoda dva signala

$$\sigma_e^2 = \frac{(2g)^2}{t_2 - t_1} \int_{t_1}^{t_2} |f_1(t) f_2(t)| dt - \quad (12)$$

$$\frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f_1^2(t) f_2^2(t) dt$$

$$\sigma_e^2 = \bar{e}^2 \approx \frac{(2g)^4}{N} \sum_{i=1}^N |\Psi_1(i) \Psi_2(i)| - \quad (13)$$

$$\frac{(2g)^4}{N-1} \sum_{i=1}^{N-1} \Psi_1(i) \Psi_2(i) \Psi_1(i+1) \Psi_2(i+1)$$

U radu [1] je pokazano kako se za tri do četiri reda veličine može smanjiti ključna sistematska greška u slučaju merenja uređajem sa slike 2 (etalonsko brojlilo), a to je greška čiji su uzroci ofseti komparatora u dva primenjena dvobitna fleš A/D konvertora. Realizovani elektronski blok etalonskog brojila ima svedenu relativnu grešku manju od 100 ppm, a koliku tačno, nije moglo biti utvrđeno jer je najbolja oprema u državi ranga 100 ppm. Da bi etalonsko brojlilo ranga 100 ppm moglo biti overeno, kalibracioni uređaj bi morao da ima svedenu relativnu grešku ispod 30 ppm.

Što se tiče preciznosti, ona, kako se vidi iz relacije (12), zavisi od talasnih oblika funkcija $y_1 = f_1(t)$ i $y_2 = f_2(t)$, učestanosti semplovanja i dužine intervala $[t_1, t_2]$. Za učestanost semplovanja od 100 MHz, $t_2 - t_1 = 0,5$ s, i sinusne talasne oblike y_1 i y_2 , u opsegu ± 5 V, je:

$$\sigma_e^2 = \frac{1}{8} \frac{(2g)^4}{N} \quad (14)$$

odnosno,

$$\sigma_e = \sqrt{\frac{2}{N}} g^2 \quad (15)$$

Iz jednačina (14) i (15) se vidi da se meri srednja kvadratna vrednost sinusnog signala čija je amplituda upravo jednaka opsegu primenjenih fleš A/D konvertora. Za interval poverenja od 95 % za grešku se uzima:

$$|G| = 2\sigma_e = 2\sqrt{\frac{2}{N}} g^2 = 25\sqrt{\frac{1}{2N}} V^2 \quad (16)$$

Greška merenja efektivne vrednosti (kvadratnog korena iz srednje kvadratne vrednosti) je duplo manja pa sledi:

$$\left| \Gamma_{\frac{1}{y^2}} \right| = \frac{|G|}{25} = \sqrt{\frac{2}{N}} \quad (17)$$

odnosno,

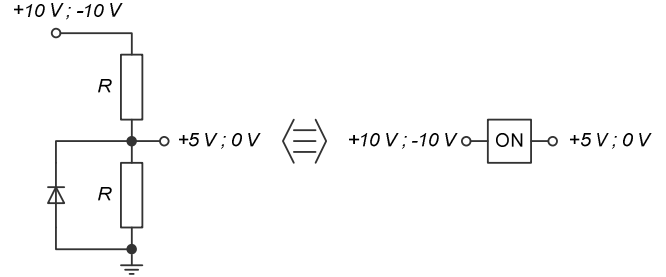
$$\left| \Gamma_{\sqrt{y^2}} \right| = \frac{1}{2} \sqrt{\frac{2}{N}} = \frac{1}{\sqrt{2N}} \quad (18)$$

Za učestanost semplovanja od 100 MHz je, kako se vidi iz jednačine (18), relativna greška merenja efektivne vrednosti

upravo 100 ppm. Učestanost semplovanja od 100 MHz je oko pet puta manja od tehnološkog maksimuma a vidi se da je i tada moguće postići veliku preciznost.

III. PRIMENA VIŠEBITNIH FLEŠ A/D KONVERTORA

Na slici 3 je prikazan ograničavač napona ON koji je inače primenjen i u uređajima na slikama 1 i 2.



Slika 3. Šema ograničavača napona ON

Na slici 4 je prikazan trobitni fleš A/D konvertor kao primer višebitnog fleš A/D konvertora.

Jednostavnim uopštavanjem trobitnog fleš A/D konvertora može se dobiti struktura proizvoljnog fleš A/D konvertora.

Ako se u uređajima na slikama 1 i 2, dvobitni fleš A/D konvertori zamene višebitnim fleš A/D konvertorima kao što je konvertor sa slike 4, brojači na gore i na dole zamene akumulatorima a dvobitni množać sa slike 2 zameni višebitnim celobrojnim množaćem, dobijamo funkcionalno iste uređaje ali sa većom rezolucijom.

Neka imamo na raspolaganju m -bitni fleš A/D konvertor analogan onom sa slike 4 Tada je njegov kvant:

$$\Delta = \frac{R}{2^{m-1} - 1} \quad (19)$$

gde je $\pm R$ opseg ulazne merene veličine. Ako je Ψ izlaz fleš A/D konvertora tada važi u slučaju uređaja analogno onom na slici 1 potpuno analogna relacija

$$\bar{\Psi} = \frac{1}{N} \sum_{i=1}^N \Psi(i) \approx \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f(t) dt \quad (20)$$

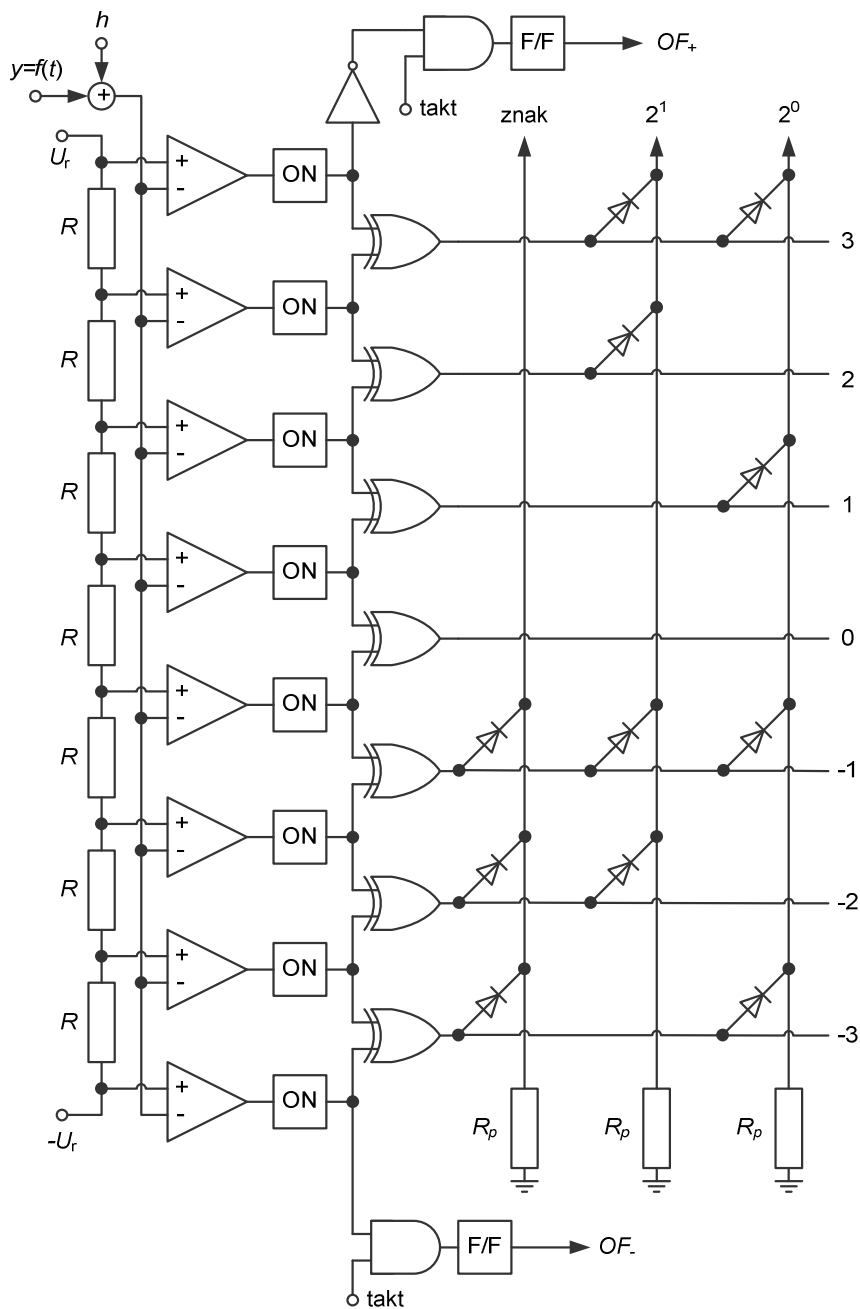
Neka je i sad $\Psi = y + e$, pa je očigledno $\bar{e} = 0$ a važi i relacija (7), s tim što je

$$\sigma_e^2 \leq \frac{\Delta^2}{4} \quad (21)$$

Kao što se iz relacije (21) vidi, situacija je sad, kada se uporedi sa relacijom (8), bitno drugačija.

Za višebitni instrument, analogan onom sa slike 2, je $\Psi = y_1 y_2 + e$ i važe sledeće relacije:

$$\bar{\Psi} = \frac{1}{N} \sum_{i=1}^N \Psi_1(i) \Psi_2(i) \approx \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f_1(t) f_2(t) dt \quad (22)$$



Slika 4. Šema trobitnog fleš A/D konvertora

$$\sigma_e^2 = \frac{\sigma_e^2}{N} \quad (23)$$

$$\sigma_e^2 \leq \sigma_s^2 = \frac{\Delta^2}{4} \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} [f_1^2(t) + f_2^2(t)] dt + \frac{\Delta^4}{16} \quad (24)$$

Sa malim brojem bita ($m = 3$, $m = 4$ ili $m = 5$) moguće je držati sistematske greške pod kontrolom i postići vrlo visoku tačnost.

Pogledajmo šta se u slučaju višebitnih A/D konvertora male rezolucije dešava sa preciznošću. Uzmimo isti slučaj za analizu kao i u slučaju dvobitnog A/D konvertora, imajući u vidu da je $2g = R$.

a) $m = 3$.

$$\sigma_e^2 \leq \frac{R^2}{4} 2 \frac{R^2}{2} = \frac{R^4}{9 \cdot 4} = \sigma_s^2$$

$$\left| \Gamma_{\frac{1}{y^2}} \right| \leq \frac{2\sigma_s}{\frac{R^2}{2}\sqrt{N}} = \frac{2}{3\sqrt{N}}$$

$$\left| \Gamma_{\sqrt{y^2}} \right| = \frac{1}{2} \left| \Gamma_{\frac{1}{y^2}} \right| \leq \frac{1}{3\sqrt{N}}$$

b) $m = 4$.

$$\left| \Gamma_{\sqrt{y^2}} \right| \leq \frac{1}{7\sqrt{N}}$$

c) $m = 5$.

$$\left| \Gamma_{\sqrt{y^2}} \right| \leq \frac{1}{15\sqrt{N}}$$

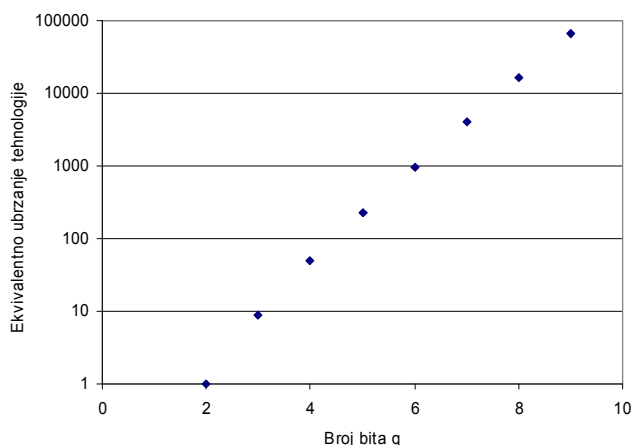
i, ako generališemo:

d) $m = q$.

$$\left| \Gamma_{\sqrt{y^2}} \right| \leq \frac{1}{(2^{q-1} - 1)\sqrt{N}}$$

IV. DISKUSIJA

Kako N karakteriše za isti vremenski interval brzinu semplovanja, odnosno, tehnološki nivo primenjenih komponenti, to je primena trobitnog fleš A/D konvertora ekvivalentna ubrzanju tehnologije od devet puta u odnosu na dvobitni, primena četvorobitnog fleš A/D konvertora ubrzanju tehnologije od 49 puta u odnosu na dvobitni, petobitnog od 225 puta u odnosu na dvobitni, itd. U opštem slučaju, primena q -bitnog fleš A/D konvertora ubrza tehnologiju $(2^{q-1} - 1)^2$ puta, u odnosu na dvobitni. Na dijagramu na slici 5 je prikazana ta zavisnost.



Slika 5. Zavisnost efektivnog ubrzanja tehnologije od rezolucije A/D konvertora q (bit)

V. ZAKLJUČAK

U radu je pokazano da se primenom Stohastičke digitalne merne metode može precizno i tačno meriti u širokom frekvencijskom opsegu korišćenjem fleš A/D konvertora male rezolucije. Na primeru merenja efektivne vrednosti proizvoljnog složenoperiodičnog signala je pokazano kako rezolucija (izražena brojem bita fleš A/D konvertora) utiče na ekvivalentnu efektivnu brzinu primenjene tehnologije u Stohastičkoj digitalnoj mernoj metodi. Pokazuje se da je primena trobitnog fleš A/D konvertora ekvivalentna devet puta većoj brzini iste tehnologije primenjene na dvobitnom A/D konvertoru; primena četvorobitnog je ekvivalentna 49 puta većoj brzini, petobitnog 225 puta, itd. Tehnološka granica primene stohastičke merne metode je oko 500 MHz, što je maksimalna brzina digitalnog generisanja dodatog uniformnog šuma.

LITERATURA

- [1] D. Pejić, M. Urekar, V. Vujičić, S. Avramov-Zamurović: "Comparator Offset Error Suppression in Stochastic Converters used in a Watt-Hour Meter", CPEM 2010, Daejeon, Korea, June 2010.
- [2] V. Vujičić, I. Župunski, Z. Mitrović, M. Sokola: "Measurement in a Point versus Measurement over an Interval", Proc. of the IMEKO XIX World Congress, Paper No. 480, Lisbon, Portugal, September 2009.
- [3] V. Vranić: *Vjerojatnost i statistika*, Tehnička knjiga, Zagreb, 1965.
- [4] I. Župunski, V. Vujičić, Z. Mitrović, S. Milovančev, M. Pešaljević: "Online Determination of the Measurement Uncertainty of Stochastic Measurement Method", Proc. of the IMEKO XIX World Congress, Paper No. 278, Lisbon, Portugal, September 2009.

Abstract—The realization of a strategic approach to digital measurements, measurement over an interval, is presented in the paper. It is given as a measurement method named Stochastic digital measurement method. Detailed analysis of the application shows that the key element of the method is low resolution flash AD converter, consequently, its application in the method ensures high speed, high precision and high accuracy of measurements. The most recent application results in measurements of electrical power and energy are presented in given references.

Keywords – stochastics; measurement method; flash A/D convertor; A/D convertor's resolution; level of technology; equivalent speed of measurement

Application Analysis of Stochastic Digital Measurement Method

Definicije, standardi, merni postupci i oprema radi provere usklađenosti električnih uređaja s normama zračenja

Vladimir Šinik, industrijsko inženjerstvo
Tehnički fakultet „Mihajlo Pupin“,
Zrenjanin, Srbija
e-mail: sinik.vladimir@gmail.com

Željko Despotović
Institut „Mihajlo Pupin“,
Beograd, Srbija

Vladimir Milićević, informacione tehnologije
Tehnički fakultet „Mihajlo Pupin“,
Zrenjanin, Srbija
e-mail: vladimir@milicevic.rs

Sadržaj - Na početku rada date su osnovne definicije, standardi i norme u vezi **Elektromagnetna kompatibilnost - EMC**. Predstavljena su najčešća kontrolisana okruženja merenja jačine polja. Da bi se neko elektromagnetsko zračenje proverilo u skladu sa normom potrebno je propisati merni postupak, definisati merni sistem, organizovati merno mesto i izvršiti merenje karakterističnih veličina.

Ključne reči - EMC; zračenje; merenje polja

I. UVOD

Jedan od elemenata kvaliteta proizvoda između ostalih je uzajamni odnos uređaja sa okruženjem, koji pored opšte prilagođenosti, bezbednosti korisnika, otpornosti na klimatsko okruženje, otpornosti na mehanički uticaj okoline, otpornost na hemijske uticaje predstavlja i elektromagnetsku emisiju u okruženju i elektromagnetsku imunost na okruženje. Narušavanje EMC, može imati negativne posledice po zdravlje ljudi, može biti uzrok materijalnih gubitaka, izgubljene dobiti usled požara prouzrokovane narušavanjem EMC, mogu biti uništena umetnička dela ili istorijski predmeti itd. Rizik od gubitka ima tendenciju rasta sa razvojem tehnologije i zato postoji potreba da se drži pod kontrolom. To se postiže kontrolom nivoa kvaliteta i ispravnim definisanjem nivoa EMC. Pošto se emisija i imunost vremenski menjaju, to je potrebna periodična provera nivoa kvaliteta ovih činioca. Kako u svetu postoji opšta tendencija u globalizaciji mreža (energetskih, telekomunikacijskih, informacionih i dr.) i tržišta postoji potreba za unifikacijom standarda. U oblasti elektrotehnike to realizuje Međunarodna elektrotehnička komisija IEC (International Electrotechnical Commission), zajedno sa Međunarodnom organizacijom za standarde ISO (International Standard Organization). Provera usklađenosti s normama zračenja se u stvari svodi na poznavanje jačine električnog polja, magnetskog polja i gustine snage u određenoj tački prostora, što se svodi na merenje navedenih karakterističnih veličina. Pomoću odgovarajućih mernih instrumenata se mere jačina električnog ili magnetskog polja, a gustoća snage se dobiva računski iz izmerenih jačina polja.

Sam merni postupak i odabir instrumenata zavisi od svrhe merenja, koji može biti: merenje radi usklađenja uređaja s normom i merenje radi usklađenja situacije s normom ili nekim drugim zahtevom [1]. Usklađenje uređaja s normom karakteriše se klasičnim normama za EMC uređaja što podrazumeva: merni postupci detaljno propisani normom, kontrolisano okruženje merenja (najčešće EMC laboratorija), uskopojasna merenja, najčešće se koriste rezonantne antene i robusna (laboratorijska) oprema. Ova merenja se izvode najčešće tokom ili nakon proizvodnje uređaja, a pre puštanja u promet na neko tržište. Realizuju se prema normi zahtevanoj na tom tržištu i u ovlaštenoj EMC laboratoriji. Usklađenje situacije s normom izvodi se najčešće nakon instalacije uređaja na mestu korišćenja, što znači u gotovoj situaciji koja je najčešće definisana specifičnim uslovima lokacije merenja. Zato je najčešće nemoguće predvideti sve parametre i zato se karakteriše: nekontrolisano okruženje merenja, češće korišćenje instrumenata manje tačnosti od laboratorijskih, merni postupak propisan ali je podložan izmenama na terenu, veća merna nesigurnost.

II. DEFINICIJE, KVALITET, NORME

Elektromagnetska okolina - Ukupnost elektromagnetskih pojava koje postoje na određenom prostoru.

Elektromagnetska smetnja - Bilo koja elektromagnetska pojava koja može umanjiti karakteristiku uređaja, opreme ili sistema, odnosno štetno djelovati na živu ili neživu materiju.

Elektromagnetska interferencija (EMI) - Degradacija karakteristike uređaja, opreme ili sistema, uzrokovana elektromagnet. smetnjom.

Elektromagnetska kompatibilnost (EMC) - Sposobnost sistema ili uređaja da funkcioniše na zadovoljavajući način u elektromagnetskom okruženju, bez stvaranja nedozvoljenih elektromagnetskih smetnji u svojoj okolini.

Elektromagnetska emisija - Fenomen koji označava širenje elektromagnetske energije iz određenog izvora.

Degradacija karakteristike - Neželjeno smanjenje rada uređaja prema njenom radu u normalnim uslovima.

Imunitet -Sposobnost uređaja, opreme ili sistema da radi bez smanjenja radne karakteristike (degradacije) u prisustvu elektromagnetske smetnje.

Elektromagnetska osjetljivost - Nesposobnost uređaja, opreme ili sistema da radi bez smanjenja njenih karakteristika (degradacija) u prisutnosti elektromagnetskih smetnji.

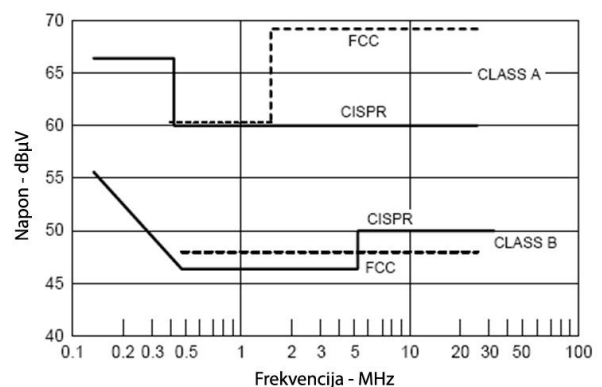
Nivo emisije -Nivo elektromagnetske smetnje emitovane iz određenog uređaja, opreme ili sistema, izmjerena na specijalni način.

Provera nivoa kvaliteta određena je standardizacijom koja je u oblasti EMC postala preduslov za distribuciju tehničkih proizvoda. EMC se nalazi u samom vrhu zahteva sa stanovišta bezbednosti, ekologije i kvaliteta koje mora zadovoljiti svaki uređaj ili sistem koji koristi elektromagnetnu energiju. Pri donošenju bitnih odluka iz oblasti EMC se traži mišljenje velikog broja tehničkih komiteta, brojnih instituta kako bi se uskladili osnovni i opšti standardi za velik broj uređaja koji koriste elektromagnetnu energiju. Na osnovu velikog broja istraživačkih radova, a posebno po preporukama radnih grupa odgovarajućih organizacija merodavnih za EMC, međunarodni i nacionalni standardi se stalno dopunjuju, usklađuju i usavršavaju. Proizvođači elektronskih i ostalih električnih uređaja, i svih koji koriste elektromagnetsku energiju, dužni su da podvrgnu svoje uređaje ispitivanjima koja su vezana za EMC, bilo da se uređaj ili sistem tretira kao izvor smetnji ili kao uređaj ili sistem osetljiv na smetnje. Unificirani međunarodno prihvaćeni standardi i norme omogućuju da se uređaji ili sistemi ispituju samo jednom, a prodaju u više država. Evropska unija je 1989. donela tzv. „EMC smernice“ koje sadrže samo osnovne i zakonske zahteve, a tehnički detalji (postupci ispitivanja, granice emisija i nivoi osjetljivosti i dr.) propisani su Evropskim normama (EN), čije tekstove pripremaju najčešće CENELEC (European Committee for Electrotechnical standardisation) i ETSI (European Telecommunication Standards Institute). Evropske EMC norme (EN) bazirane su na IEC dokumentima i dele se na: osnovne EMC norme, izvedene EMC norme, EMC norme za proizvod i EMC norme za grupu proizvoda. Svaka norma propisuje granice smetnji i postupak merenja. Propisivanje postupka je potrebno zbog ponovljivosti merenja i uporedivosti rezultata iz različitih laboratorija [1]. Bez obzira na velik broj normi u oblasti EMC i njihovu komplikovanost može se u osnovi istaći:

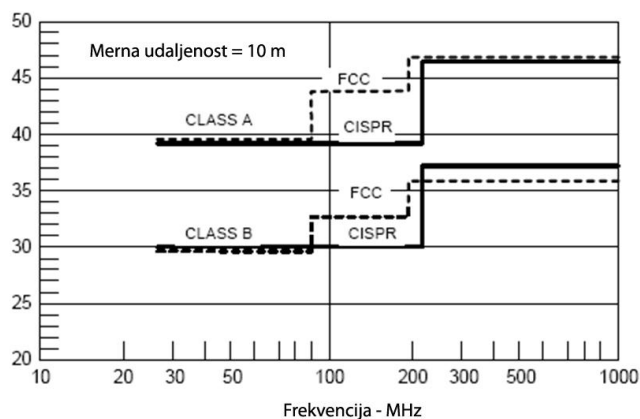
Uređaji se dele u grupe prema sličnosti karakteristika i nameni. Za svaku grupu propisuju se norme za EMI i EMS. Norma se najčešće sastoji od zadatih, frekvencijski zavisnih granica električnog, odnosno magnetskog polja i propisanog postupka merenja u propisanom frekvencijskom opsegu. Postupak merenja propisuje geometriju merenja i merne uređaje i opremu. Merenje jačine polja se izvodi u definisanoj tački u tačno zadatoj geometriji prostora, pa se često naziva kontrolisano okruženje merenja. Usklađivanje s normama za EMC ne mogu se rešiti svi problemi EMC, jer uvek postoji mali deo problema koji se ne mogu svesti na ograničenje zračenja, pogotovu kad se radi o slučaju komplikovanog elektromagnetskog okruženja. Dva tehnička komiteta IEC stalno rade na problematici EMC, TC77 (Electromagnetic compatibility between equipment including networks) i CISPR (International Special Committee on Radio Interference

[1],[2],[3]. Koordinaciju između raznih IEC komiteta obavlja ACEC (Advisory Committee on EMC). IEC standardi nemaju zakonsku snagu i Nacionalni komiteti nisu obavezni da ih primenjuju. Njihov stvarni značaj je u tome što mogu biti direktno prevedeni u harmonizovane EN standarde, ili se na njih mogu pozvati standardi specifični za proizvod ili generični standardi.

TC77 obično nazivaju „Ujedinjene Nacije za EMC“. Glavni proizvod TC77 su različiti delovi IEC61000, Electromagnetic Compatibility. Prethodni standardi (IEC555, IEC801) su u sastavu standarda IEC61000 [1],[3]. CISPR publikacija se bavi ograničenjima i merenjima karakteristika potencijalnih uzročnika radiofrekventne interferencije. CENELEC (European Committee for Electrotechnical Standardization) je evropsko telo za izradu standarda koje proizvodi EMC standarde u skladu sa evropskom EMC direktivom. Za telekomunikacione uređaje to je ETSI (European Telecommunications Standards Institute). CENELEC i ETSI koriste rezultate IEC/CISPR kao osnovu za pripremu standarda, a komitet čija je dužnost priprema EMC standarda je TC210. Kada CENELEC proizvede i uskladi evropski EMC standard sve CENELEC države su obavezne da implementiraju identične nacionalne standarde[2],[3]. U SAD zahteve za radiofrekventnu interferenciju kontroliše FCC (Federal Communications Commission), nezavisna vladina agencija odgovorna za regulativu radio, televizijske, satelitske i kablovske komunikacije. Postoje osnovni, standardi specifični za proizvod (familiju proizvoda) i generički standardi. Osnovni standardi – referentni dokumenti na koje se pozivaju generički standardi i standardi za proizvod. Propisuju osnovne ispitne metode. Na slikama 1 i 2 su dati grafici najčešće primenjivanih internacionalnih standarada koji se koriste za konduktivne i emisione smetnje. Za standrade CISPR 11 i CISPR 22 metodi merenja i granice maksimalno dozvoljenog nivoa konduktivnih smetnji su iste. Pri tome postoje dva klase merenja, klasa A i klasa B, pri čemu je klasa A nešto blaži kriterijum merenja. Slično je kod polja smetnji. Za standrade CISPR 11 i CISPR 22 metodi merenja i granice maksimalno dozvoljenog nivoa polja smetnji su iste. Pri tome postoje dva klase merenja, klasa A i klasa B. Klasa A je nešto blaži kriterijum merenja.



Slika 1. Granice dozvoljenih konduktivnih smetnji prema pojedinim standardima



Slika 2. Granice dozvoljenih smetnji zračenjem prema pojedinim standardima

Koji će se standard primeniti zavisi od namene uređaja koji se proverava. U svakom od standarda pored granica za konduktivne i polje smetnji dati su i metodi merenja i spisak uređaja za koje se standard primenjuje. Na primer: CISPR 11/EN 55011 – primenjuje se na uređaje koji se koriste u industriji, nauci i medicini. CISPR 14/EN 55014 – primenjuje se na uređaje koji koriste elektromotore, termičke kućne aparate, električne uređaje i jednostavne elektronske aparate. CISPR 22/EN 55022 – primenjuje se na uređaje informacione tehnologije koji se povezuju sa drugim uređajima telekomunikacionim signalom (žično ili bežično). Standard definiše metode merenja i granice dozvoljenih vrednosti.

III. KONTROLISANO OKRUŽENJE MERENJA JAČINE POLJA

Vrlo je često potrebno meriti jačinu polja u različitim laboratorijama, zbog iste namene (usklađenost uređaja s nekom normom) gde je potrebno propisati merni postupak i ukloniti što više izvora smetnji i merne nesigurnosti, gde bi se obezbedilo merenje u poznatoj, definisanoj elektromagnetskoj okolini da bi se osigurala ponovljivost merenja[1],[4]. Najčešće kontrolisana merna okruženja su: merno mesto na otvorenom prostoru (Open Area Test Site – OATS), oklopljene komore (Shielded Room – Chamber) i TEM strukture (TEM line – cell). Merno mesto na otvorenom prostoru (OATS) je ravna površina bez prepreka, na otvorenom prostoru, na koju se postavlja uzemljena ravan propisane provodnosti (pri merenju se uzima postojanje refleksije) i dimenzija. Na toj ravni se nalazi ispitivani uređaj (Equipment Under Test – EUT) zajedno sa ostalom opremom za merenje polja.

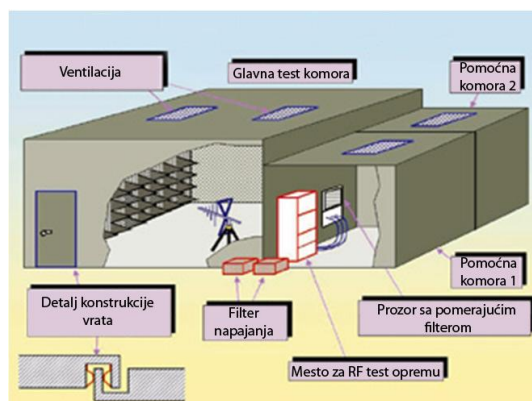
OATS se najčešće postavlja daleko od naseljenog okruženja, na mestu sa što manje pozadinskog elektromagnetskog zračenja kako bi se talas širio u slobodnom prostoru bez prepreka. Ako se želi ukloniti refleksija od ravne površine za dobijanje mernog mesta na otvorenom prostoru s apsorberom (Absorber – Lined OATS – ALOATS), na ravnu površinu se postavlja apsorpcijski materijal za dobijanje okruženja merenja polja bez refleksije[1],[4]. Oklopljene komore su prostor zatvoren provodnim površinama koji funkcioniše na principu Faradejevog kaveza čije oklapanje ima ulogu sprečavanja zagađenja spektra i spolja i unutra kako bi se obezbedila elektromagnetska izolacija unutrašnje zapremine. Tipična instalacija i infrastruktura takve jedne konfiguracije

prikazana je na slici 3. Kvalitet oklapanja određen je samim projektovanjem i izvedbom komore, kao i svojstvima njenih najkritičnijih tačaka: osobinama metala (ili metalnih legura) od kojih su napravljeni zidovi komore i njihovom debljinom, kontinuiranošću spojeva strukturnih elemenata, kvalitetne izvedbe vrata, vratnog okvira i vratnog mehanizma koji moraju biti posebno izvedeni kao deo konstrukcije za oklapanje, za ulaz kablova i ventilaciju moraju biti izvedeni posebni talasovodni otvori, rasveta mora biti izvedena žarećim sijalicama ili posebnim fluorescentnim sijalicama koje ne zrače RF smetnje, sve linije za napajanje i komunikaciju moraju biti filtrirane[1],[4].

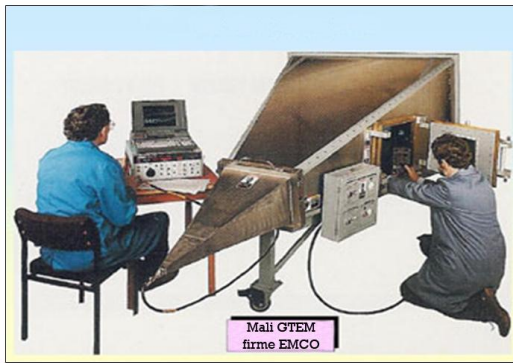
Ako oklopljena komora ima gole zidove (bez ikakvog oblaganja) koji stvara refleksiju, onda je to refleksijska oklopljena komora. Za slučaj da se refleksijska komora pobudi elektromagnetskim poljem, a zatim mehanički ili električki pobudi širenja različitih modova, dobija se jednoliko raspodeljeno polje koje u tački merenja formiraju planarni talasi koji dolaze iz svih smerova. Na ovaj način se dobija ječna (reverberacijska) komora (reverberation chamber) ili komora s mešanjem modova (mode – stirred chamber).

Apsorpcijske komore su vrsta oklopljenih komora čiji su zidovi obloženi apsorpcijskim materijalom. Za slučaj da su svi zidovi i plafon i pod obloženi apsorpcijskim materijalom, dobija se nejekna komora (anechoic chamber). Za slučaj da su sve strane osim poda oklopljene komore obložene apsorpcijskim materijalom, dobiva se polunejeka komora (semianechoic chamber).

Jedna od karakteristika navedenih komora su velike dimenzije, za razliku od transversalnih elektromagnetskih (TEM) prenosnih linija (Transverse Electromagnetic Line – TEM line), koje su manjih dimenzija i mogu biti otvorene i zatvorene. Najčešće se koriste zatvorene TEM strukture od kojih su najpoznatije TEM komore i GTEM (Gigahertz TEM) komore (slika 4). Od nabrojanih elektromagnetskih merenja za EMC najkvalitetnija, najtačnija, a ujedno najskuplja su u apsorpcijskoj komori bez odjeka. Najjeftinija merenja za EMC su u TEM komorama.



Slika 3. Tipična instalacija i infrastruktura jedne komore [2]



Slika 4. Tipičan izgled i infrastruktura GTEM komore [2]

Transverzalne elektromagnetske (TEM) prenosne komore su uređaji koji se koriste za uspostavljanje normiranih elektromagnetskih polja za testiranje elektromagnetske kompatibilnosti kod kojih ispitni sistem ima područje koje nema spoljašnjih smetnji, a istovremeno ima jednoliko polje unutar strukture. Najbitnija karakteristika TEM komore je to što je polje u središnjem delu komore uniformno, odnosno da su vektori električnog i magnetskog polja međusobno normalni i transverzalni na smer širenja talasa. GTEM komora je TEM komora modifikovana za prošireni frekventni opseg. Geometrija prenosne strukture je nešto drugačija.

IV. MERNI SISTEM ZA MERENJE JAČINE POLJA

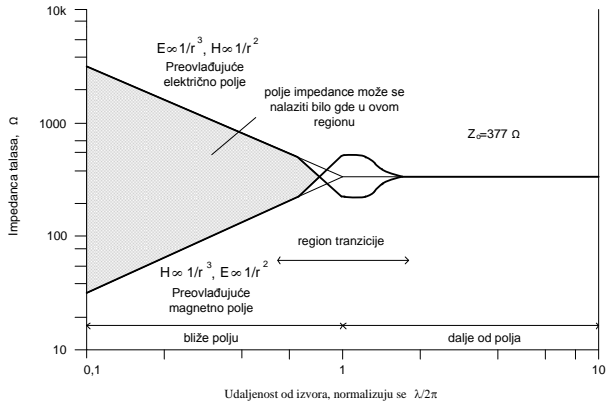
Delovi mernog sistema za merenje jačine polja su: merna antena (sonda), provodnik i prijemnik odnosno pokazivač. Merna antena (sonda) je deo mernog sistema koja je osetljiva na merenu veličinu prenoseći elektromagnetnu energiju iz slobodnog prostora u prenosnu liniju i obratno, i ujedno služi kao prilagodni element između ta dva medija. Parametri antene određuju i prostornu raspodelu elektromagnetske energije koja je spregnuta između slobodnog prostora i antene. Najznačajnije karakteristike antene koje imaju posebnu ulogu u merenjima za EMC su: frekventni opseg (pojas), dijagram zračenja, antenski faktor, impedancija antene, dobitak, usmerenost i izotropnost antene [3],[4]. Frekventni opseg antene je opseg u kojem se antena može koristiti za merenje, a da se ne pokvare njene očekivane karakteristike, tako da se u specifikaciji antene obavezno navodi taj podatak. Postoji i slučaj proširenog frekventnog opsega (extended calibration report) koji proizvođač daje, i on se posebno naručuje i plaća. Antenski faktor (korekcijski faktor antene eng. antena factor – AF) je veličina koja povezuje napon izmeren na stezaljkama antene tj. na ulazu u prijemnik, s upadnim električnim ili magnetnim poljem na mestu antene, i najčešće predstavlja uticaj gubitaka u prilagodnoj mreži antene. Ponekad se u antenski faktor uključuje i gubitak u kablju od antene do prijemnika. Antena završava prenosnu liniju svojom impedancijom, koja se sastoji od otpora i reaktancije. Poželjno je da reaktancija antene bude jednaka nuli, to jest da je impedancija antene realna, pošto samo realni dio impedancije doprinosi zračenju. Poželjno je da impedancija antene bude jednaka impedanciji prenosne linije zbog uslova prilagođenja i maksimalnog prenosa snage. Pošto svaka antena upotrebom i starenjem menja svoje parametre, zato ju je potrebno periodički kalibrisati u ovlašćenim

laboratorijama da bi se eliminisala netačnost pri merenju. Vodovi za prenos mernog signala od antene do prijemnika treba da imaju: poznatu karakterističnu impedanciju normiranu na 50Ω , poznatu frekventnijsku karakteristiku gušenja voda, minimalno gušenje u frekventnijskom pojasu merenja. Ovi zahtevi se odnose na klasične postupke merenja i mernog uređaja, pošto posebne izvedbe mogu imati posebne zahteve. Prijemnik je uređaj koji prima merni signal s antene, obrađuje ga na odgovarajući način i na svom izlazu daje veličinu iz koje se može očitati rezultat merenja. Vrsta korišćenog prijemnika zavisi od vrste merenja, frekventnijskog pojasa merenja i merne procedure. U novije vreme prijemnici za EMC merenja su se znatno razvili, jer predstavljaju kombinaciju analizatora spektra i ispitnog prijemnika, spojene s štampačem ili PC računarom i odgovarajućim softverom koji automatizuje merenje, prebrisava frekvencije definisane normom, unosi potrebne korekcije antenskog faktora, priprema rezultate i prikazuje ih u željenom grafičkom i tabličnom obliku na štampaču ili računaru.

V. BLISKO I DALEKO POLJE

Karakteristike polja su određene izvorom, sredinom koja okružuje izvor, i rastojanjem između izvora i tačke u kojoj se vrši posmatranje. U tački blizu izvora osobine polja su određene prvenstveno karakteristikama izvora. Daleko od izvora, osobine polja uglavnom zavise od sredine kroz koju se polje prostire. Prema tome, prostor koji okružuje izvor zračenja može da se podeli na dva regiona, kao što je prikazano na Sl.5. U blizini izvora je blisko, ili indukovano, polje. Na rastojanju većem od talasne dužine (λ) podeljene sa 2π (približno jedna šestina od talasne dužine) je daleko, ili izračeno, polje. Region oko $\lambda/2\pi$ je prelazni region između bliskog i dalekog polja. Odnos između električnog polja (E) i magnetnog polja (H) je talasna impedansa. U regionu dalekog polja ovaj odnos E/H jednak je karakterističnoj impedansi medijuma (napr. $E/H=Z_0=377\Omega$ za vazduh ili vakuum). Kod bliskog polja ovaj odnos je određen karakteristikama izvora i rastojanjem između izvora i tačke u kojoj se polje posmatra. Ako izvor ima veliku struju i mali napon, ($E/H<377$) blisko polje je uglavnom magnetno. Obrnuto, ako izvor ima malu struju i veliki napon, ($E/H>377$) blisko polje je uglavnom električno. Za štap antenu ili antenu od prave žice, impedansa izvora je velika. Talasna impedansa u blizini antene – dominira električno polje – je takodje visoka. Sa povećanjem rastojanja, električno polje gubi nešto od svog intenziteta jer generiše komplementarno magnetno polje. U regionu bliskog polja električno polje opada sa $(1/r)^3$, dok magnetno polje opada sa $(1/r)^2$. Dakle, talasna impedansa antene od prave žice smanjuje se sa rastojanjem i asimptotski se približava impedansi vakuuma. Za predominantno magnetno polje – kao što je ono proizvedeno petlja-antenom – talasna impedansa blizu antene je niska. Kako se rastojanje od izvora povećava, magnetno polje opada sa $(1/r)^3$ dok električno polje opada sa $(1/r)^2$. Talasna impedansa se, dakle, povećava i približava impedansi slobodnog prostora na rastojanju $\lambda/2\pi$. U regionu dalekog polja i električno i magnetno polje opadaju sa $1/r$. Na frekvencijama manjim od 1MHz, sprega unutar elektronske opreme je uglavnom usled bliskog polja, jer se blisko polje na

tim frekvencijama prostire do rastojanja od 50m ili više. Na 30kHz blisko polje se prostire do rastojanja od 1600m.



Slika 5. Karakter polja zavisi od rastojanja od izvora. Prelaz od bliskog na daleko polje se dešava na $\lambda/2\pi$

Prema tome, problemi sprege unutar neke opreme treba da budu shvaćeni kao problemi bliskog polja osim ako je očigledno da su to problemi dalekog polja. U regionu bliskog polja, električno i magnetno polje se moraju razmatrati odvojeno, jer odnos ovih polja nije konstantan. U regionu dalekog polja, međutim, oni se kombinuju u ravanski talas impedanse 377Ω . Prema tome, kada se diskutuje ravanski talas, pretpostavka je da se radi o dalekom polju. Kada se električno i magnetno polje diskutuju odvojeno, pretpostavka je da se radi o bliskom polju.

VI. ORGANIZACIJA MERNOG MESTA

Normama za EMC uređaja propisana je pozicija antene pri merenju. Potrebno je definisati merne tačke i organizovati merno mesto. Merni rezultat se treba prikazati zajedno sa podacima o mernoj tački, odnosno njenim koordinatama u odnosu na izvor zračenja i ostale okolne objekte, što znači da je potrebno kontrolisati poziciju antene i održavati je stabilnom za vreme prikupljanja mernih podataka za jednu tačku. Za tu svrhu koriste se različiti stalci za antene koji treba da osiguravaju: stabilnu poziciju antene u koordinatnom sistemu, pravilnu polarizaciju antene i pravilnu usmerenost antene. Bitno je spomenuti perturbaciju mernog polja kao propratnu pojavu pri merenju, pošto izmerena jačina polja treba da se odnosi na neperturbisano polje. Antena koja se nalazi na stalku, priključeni kablovi na antenu, prijemnik, lice koje vrši merenje i drugi elementi perturbiraju polje tako da je potrebno sve uticaje redukovati. Zbog izbegavanja perturbacije polja postoje izvedbe mernih uređaja sa elektrooptičkim pretvaračem na anteni, jer tada se merni signal prenosi optičkim kablom do prijemnika i takav kabal ne utiče na perturbaciju polja.

Prijemnik i osoba koja meri bi se trebali nalaziti što dalje od merne tačke, najbolje u odvojenoj prostoriji.

VII. METODE PRORAČUNA JAČINE ELEKTRIČNOG I MAGNETSKOG POLJA

Proračun elektromagnetskog polja sastoji se od nekoliko faza: sagledavanje problema i kritičnih tačaka, izbor optimalnog postupka, primena odabranog postupka. Nedostaci proračuna su: nužno je znati parametre izvora zračenja, mogućnost greške posebno kod kompleksnijeg problema, veća zahtevnost prema hardveru i softveru za kompleksnije probleme. Proračun polja može biti analitički i numerički. Analitički proračuni se u osnovi baziraju na pojednostavljenju problema pogotovu kad je u pitanju geometrija i uslovi prostiranja talasa. Numeričke metode proračuna se baziraju da direktno riješe osnovne jednačine polja, poštujući granične uslove zadate geometrijom problema. Postoji znatan broj numeričkih postupaka za rešavanje problema elektromagnetizma odnosno EMC. Svaki od tih postupaka je adekvatan za određenu vrstu problema, tako da se za konkretan problem ne može koristiti bilo koji postupak. Najčešće korišteni numerički postupci su: metod konačnih elemenata, metod momenata, metod konačnih razlika u vremenskom domenu, metod konačnih razlika u frekventnom domenu [3]. I analitičke i numeričke metode imaju svoje nedostatke tako da se razvijaju i sve više koriste hibridne metode.

ZAKLJUČAK

Problemi elektromagnetne usklađenosti su sve više izražajni i kompleksni i zato podrazumijavaju koordinisanu saradnju projekatara elektronike, energetike, mehanike, električnih i mehaničkih komponenti, ispitnih metoda i mjerenja. Zračene izlazne elektromagnetske smetnje i elektromagnetska osjetljivost na zračenje ispituje se mjerenjem jačine električnog i magnetskog polja opisanim mjernim metodama jer one daju najobjektivniju predstavu o jačini polja na nekom mjestu.

REFERENCE

- [1] V. Šinik, "Jedan pristup rešavanja problema visokofrekventnih smetnji u statičkim prekidačkim napojnim uređajima" Ee novembar 2003, Novi Sad
- [2] T. Williams, EMC for Product Designers/meeting the European directive, Newnes, 2001.
- [3] Haznadar, Z., Štih, Ž., Elektromagnetizam-svezak II, Školska knjiga, Zagreb, 1997
- [4] A. Šarolić., Procjena štetnosti i problemi pri mjerenju elektromagnetskog polja, 2. seminar o elektromagnetskoj kompatibilnosti i telekomunikacijama-zbornik radova, ELMACO, Split, 1998

Virtual Instrument for Three-Phase Power Quality Analysis

Marko A. Dimitrijević, Vančo B. Litovski

Laboratory for Electronic Design Automation

Faculty of Electronic Engineering

Niš, Serbia

marko.dimitrijevic@elfak.ni.ac.rs, vanco.litovski@elfak.ni.ac.rs

Abstract—In this paper we will present virtual instrument for three-phase power quality analysis. The solution is based on National Instruments NI cDAQ-9174 chassis, NI9225 and NI9227 acquisition modules. Virtual instrument is implemented using LabVIEW software platform. It is capable for measuring full spectrum of electrical, power and power quality parameters. The practical implementation is highly portable and can be used with any PC with USB port.

Keywords—virtual instrument; power quality; power factor; total harmonic distortion

I. INTRODUCTION

Power quality analysis is related to measurement of power factor and total harmonic distortion. In linear circuits, consisting of linear loads, the currents and voltages are sinusoidal and the power factor effect arises only from the difference in phase between the current and voltage. In single phase system it is referred as the displacement power factor or $\cos(\varphi)$ [1]. The power concepts developed for single-phase circuits with sinusoidal voltages and currents can be extended to polyphase circuits. Such circuits can be considered to be divided into a group of two-wire sets, with the neutral conductor (or a resistively derived neutral for the case of a delta-connected, three wire circuit) paired with each other conductor [2].

When nonlinear loads are present one should introduce new quantities in the calculations emanated by the harmonics and related power components [3]. Now the power factor can be generalized to a total or true power factor where the apparent power, involved in its calculations, includes all harmonic components. This is of importance in characterization and design of practical power systems which contain non-linear loads such as rectifiers, and especially, switched-mode power supplies [4].

In this paper we will present virtual instrument for three-phase power quality analysis. The solution is based on National Instruments NI cDAQ-9174 chassis, NI9225 and NI9227 acquisition modules. Virtual instrument is implemented using LabVIEW software platform. It is capable for measuring full spectrum of electrical, power and power quality parameters. The practical implementation is highly portable and can be used with any PC with USB port.

In the next we will first introduce the basic definitions that are expressing how the measured quantities are calculated

from the current and voltage waveforms [5,6]. Then, the hardware and software components of the system will be described.

II. THE DEFINITIONS OF THE FUNDAMENTAL QUANTITIES

A. Sinusoidal Voltage and Current in Single-Phase Circuits

Sinusoidal voltage source

$$v(t) = \sqrt{2}V_{\text{RMS}}\sin(\omega t) \quad (1)$$

supplying a linear load, will produce a sinusoidal current of

$$i(t) = \sqrt{2}I_{\text{RMS}}\sin(\omega t - \varphi) \quad (2)$$

where V_{RMS} is the RMS value of the voltage, I_{RMS} is the rms value of the current, ω is the angular frequency, φ is the phase angle and t is the time. The instantaneous power is

$$p(t) = v(t) \cdot i(t) \quad (3)$$

and it can be represented as

$$p(t) = 2V_{\text{RMS}} I_{\text{RMS}} \sin \omega t \cdot \sin(\omega t - \varphi) = p_p + p_q. \quad (4)$$

Using transformations we can write:

$$p_p = V_{\text{RMS}} \cdot I_{\text{RMS}} \cdot \cos \varphi \cdot (1 - \cos(2\omega t)) = P \cdot (1 - \cos(2\omega t)) \quad (5)$$

and

$$p_q = -V_{\text{RMS}} \cdot I_{\text{RMS}} \cdot \sin \varphi \cdot \sin(2\omega t) = -Q \cdot \sin(2\omega t) \quad (6)$$

where

$$P = V_{\text{RMS}} \cdot I_{\text{RMS}} \cdot \cos \varphi, \quad Q = V_{\text{RMS}} \cdot I_{\text{RMS}} \cdot \sin \varphi \quad (7)$$

represent real (P) and reactive (Q) power.

It can be easily shown that the real power presents the average of the instantaneous power over a cycle:

$$P = \frac{1}{T} \int_{t_0}^{t_0+T} v(t) \cdot i(t) \cdot dt \quad (8)$$

where t_0 is arbitrary time (constant) after equilibrium, and T is the period (20ms in European and 1/60s in American system, respectively).

The reactive power Q is the amplitude of the oscillating instantaneous power p_q . The apparent power is the product of the root mean square value of current times the root mean square value of voltage:

$$S = V_{\text{RMS}} I_{\text{RMS}} \quad (9)$$

or:

$$S = \sqrt{P^2 + Q^2}. \quad (10)$$

Power factor is simply defined as the ratio of real power to apparent power:

$$PF = P/S. \quad (11)$$

For pure sinusoidal case, using equations (7), (10) and (11) we can calculate:

$$PF = \cos \varphi. \quad (12)$$

B. Sinusoidal Voltage and Current in Polyphase Circuits

The power concepts developed for single-phase circuits with sinusoidal voltages and currents can be extended to poly-phase circuits. Equations (7) can be rewritten to define power terms equivalent to the single-phase terms. In these equations, n represents a phase number, N is the total number of phases, and φ_n phase difference:

$$P = \sum_{n=1}^N I_{n,\text{RMS}} V_{n,\text{RMS}} \cos \varphi_n, \quad Q = \sum_{n=1}^N I_{n,\text{RMS}} V_{n,\text{RMS}} \sin \varphi_n \quad (13)$$

The apparent power is defined by equation (10).

Power factor is defined by equation (11). Note that the power factor is not always equal to the cosine of the phase angle. In many three-phase balanced systems, the phase angles of all three phases are equal and the cosine relationship holds. In unbalanced systems, each phase has a different phase angle, the phase voltages and currents are not equal, and the cosine relationship is no longer valid.

C. Nonlinear Loads in Single-Phase Circuits

In the presence of nonlinear loads the system no longer operates in sinusoidal condition and use of fundamental frequency analysis does not apply any more. Traditional power system quantities such as effective value, power (active, reactive, apparent), and power factor need to be numerically calculated from sampled voltage and current sequences by performing DFT or FFT algorithm.

The RMS value of some periodic physical entity X (voltage or current) is calculated according to the well-known formula:

$$X_{\text{RMS}} = \sqrt{\frac{1}{T} \int_{t_0}^{t_0+T} (x(t))^2 dt} \quad (14)$$

where $x(t)$ represents time evolution, T is the period and t_0 is arbitrary time. For any periodic physical entity $x(t)$, we can give Fourier representation:

$$x(t) = a_0 + \sum_{k=1}^{+\infty} (a_k \cdot \cos(k\omega t) + b_k \cdot \sin(k\omega t)) \quad (15)$$

or

$$x(t) = c_0 + \sum_{k=1}^{+\infty} c_k \cdot \cos(k\omega t + \psi_k) \quad (16)$$

where $c_0 = a_0$ represents DC component, $c_k = \sqrt{a_k^2 + b_k^2}$ magnitude of k^{th} harmonic, $\psi_k = \arctan \frac{b_k}{a_k}$ phase of k^{th} harmonic

and $\omega = \frac{2\pi}{T}$, angular frequency.

Fourier coefficients a_k, b_k are:

$$a_0 = \frac{1}{T} \int_{-T/2}^{+T/2} x(t) dt, \quad a_k = \frac{2}{T} \int_{-T/2}^{+T/2} x(t) \cdot \cos\left(\frac{2k\pi t}{T}\right) dt \quad (17)$$

and

$$b_k = \frac{2}{T} \int_{-T/2}^{+T/2} x(t) \cdot \sin\left(\frac{2k\pi t}{T}\right) dt. \quad (18)$$

The RMS value of k^{th} harmonic is

$$X_{k,\text{RMS}} = \frac{c_k}{\sqrt{2}}. \quad (19)$$

We can calculate total RMS value

$$X_{\text{RMS}} = \sqrt{\sum_{k=1}^M X_{k,\text{RMS}}^2} = \sqrt{X_{1,\text{RMS}}^2 + X_{\text{H},\text{RMS}}^2} \quad (20)$$

where M is highest order harmonic taken into calculation. Index "1" denotes first or fundamental harmonic, and index "H" denotes contributions of higher harmonics.

Equations (14) – (20) need to be rewritten for voltage and current. Practically, we operate with sampled values and integrals (17) and (18) are transformed into finite sums.

For a single-phase system where k is the harmonic number, φ_k phase difference between voltage and current of k^{th} harmonic and M is the highest harmonic, the total active power is given by:

$$P = \sum_{k=1}^M I_{k,\text{RMS}} \cdot V_{k,\text{RMS}} \cdot \cos \varphi_k = P_1 + P_{\text{H}}. \quad (21)$$

The first addend in the sum (21), denoted with P_1 , is fundamental active power. The rest of the sum, denoted with P_{H} , is harmonic active power.

Total reactive power is given by:

$$Q = \sum_{k=1}^M I_{k,\text{RMS}} \cdot V_{k,\text{RMS}} \cdot \sin \varphi_k = Q_1 + Q_{\text{H}}. \quad (22)$$

It should be noted that the actual contribution of harmonic frequencies to active and reactive power is small (usually less

than 3% of the total active or reactive power). The major contribution of higher harmonic to the power comes as distortion power D :

$$D^2 = \sum_{\substack{j \neq k \\ j=1, k=1}}^M I_{j, \text{RMS}}^2 \cdot V_{k, \text{RMS}}^2 \quad (23)$$

The apparent power is given by formula (9) and it can be written:

$$S^2 = \underbrace{I_{1, \text{RMS}}^2 \cdot V_{1, \text{RMS}}^2}_{S_1^2} + \underbrace{I_{1, \text{RMS}}^2 \cdot V_{\text{H, RMS}}^2}_{D_V^2} + \underbrace{V_{1, \text{RMS}}^2 \cdot I_{\text{H, RMS}}^2}_{D_I^2} + \underbrace{V_{\text{H, RMS}}^2 \cdot I_{\text{H, RMS}}^2}_{S_{\text{H}}^2} \quad (24)$$

where S_1 represents fundamental apparent power, D_V voltage distortion power, D_I current distortion power and S_{H} harmonic apparent power. S_1 and S_{H} are

$$S_1 = \sqrt{P_1^2 + Q_1^2}, \quad S_{\text{H}} = \sqrt{P_{\text{H}}^2 + Q_{\text{H}}^2 + D_{\text{H}}^2} \quad (25)$$

where D_{H} represents harmonic distortion power. The total apparent power is

$$S = \sqrt{P^2 + Q^2 + D^2}. \quad (26)$$

It is obvious that for sinusoidal voltages and currents, (26) reduces to (10).

The total harmonic distortions, THD , are calculated from the following formula:

$$THD_I = \frac{I_{\text{H, RMS}}}{I_{1, \text{RMS}}} = \frac{1}{I_{1, \text{RMS}}} \sqrt{\sum_{j=2}^M I_{j, \text{RMS}}^2} = \sqrt{\frac{I_{\text{RMS}}^2 - I_{1, \text{RMS}}^2}{I_{1, \text{RMS}}^2}} \quad (27)$$

and

$$THD_V = \frac{V_{\text{H, RMS}}}{V_{1, \text{RMS}}} = \frac{1}{V_{1, \text{RMS}}} \sqrt{\sum_{k=2}^M V_{k, \text{RMS}}^2} = \sqrt{\frac{V_{\text{RMS}}^2 - V_{1, \text{RMS}}^2}{V_{1, \text{RMS}}^2}} \quad (28)$$

where I_j, V_k $j, k=1, 2, \dots, M$ stands for the harmonic of the current or voltage. It can be shown that:

$$\begin{aligned} D_I &= V_{1, \text{RMS}} \cdot I_{\text{H, RMS}} = S_1 \cdot THD_I \\ D_V &= V_{\text{H, RMS}} \cdot I_{1, \text{RMS}} = S_1 \cdot THD_V \\ S_{\text{H}} &= S_1 \cdot THD_I \cdot THD_V. \end{aligned} \quad (29)$$

Fundamental power factor or displacement power factor is given by the following formula:

$$PF_1 = \frac{P_1}{S_1} = \cos \varphi_1. \quad (30)$$

Total power factor DPF , defined by equation (11), taking into calculation (21) and (24), is

$$TPF = \frac{P}{S} = \frac{P_1 + P_{\text{H}}}{\sqrt{S_1^2 + D_I^2 + D_V^2 + S_{\text{H}}^2}} \quad (31)$$

and substituting (29) and (30):

$$TPF = \frac{\left(1 + \frac{P_{\text{H}}}{P_1}\right) \cos \varphi_1}{\sqrt{1 + THD_I^2 + THD_V^2 + (THD_I THD_V)^2}} \quad (32)$$

In real circuits, $P_{\text{H}} \ll P_1$ and voltage is almost sinusoidal ($THD_V < 5\%$), leading to simpler equation for TPF :

$$TPF = \frac{\cos \varphi_1}{\sqrt{1 + THD_I^2}}. \quad (33)$$

D. Nonlinear Loads in Polyphase Circuits

For polyphase systems, active, reactive and distortion powers are defined for each phase and total powers are sum of all phase powers:

$$\begin{aligned} P &= \sum_{n=1}^N \sum_{k=1}^M I_{n, k, \text{RMS}} \cdot V_{n, k, \text{RMS}} \cdot \cos \varphi_k \\ Q &= \sum_{n=1}^N \sum_{k=1}^M I_{n, k, \text{RMS}} \cdot V_{n, k, \text{RMS}} \cdot \sin \varphi_k \\ D^2 &= \sum_{n=1}^N \sum_{\substack{j \neq k \\ j=1, k=1}}^M I_{n, j, \text{RMS}}^2 \cdot V_{n, k, \text{RMS}}^2 \end{aligned} \quad (34)$$

Voltages $V_{n, k, \text{RMS}}$ are phase-to-neutral voltages. Indexes n and k denotes phase number and harmonic order, respectively. N is number of phases and M is number of harmonics taken into calculation.

The apparent power can be defined as sum of apparent powers per phase – arithmetic apparent power (S_{A}) or as vector apparent power (S):

$$\begin{aligned} S_{\text{A}} &= \sum_{n=1}^N V_{n, \text{RMS}} \cdot I_{n, \text{RMS}} \\ S &= \sqrt{P^2 + Q^2 + D^2} \end{aligned} \quad (35)$$

Note that $V_{n, \text{RMS}}$ and $I_{n, \text{RMS}}$ are total RMS values per phase, and n is a phase index.

S_{A} uses arithmetic addition of vector magnitudes and is equal to apparent power S only if the polyphase voltages and currents have equal magnitudes and equal phase difference; a situation that often exists in balanced three-phase systems. The two alternative definitions of apparent power, S and S_{A} , give rise to two possible values for power factor, calculated using equation (11).

III. IMPLEMENTATION

A. Hardware implementation

The measurement of the electrical quantities mentioned in previous section is performed by the acquisition module Fig. 1. The module is connected to the grid from one side, and transfers the power to the device under test (load) while sampling the values of the current and voltage waveforms of the load. The sampled values are appropriately conditioned and

coded, and then directly delivered to the computer via USB terminal. All computations of power and power quality quantities are performed by the software implemented in the computer. In the same time the computer is used as an oscilloscope enabling display of the measured and derived waveforms; as an interactive monitor allowing different quantities to be displayed; as a data storage device creating measurement logs and databases; and as a communication means enabling remote control of the measurement and on-line delivery of the results.

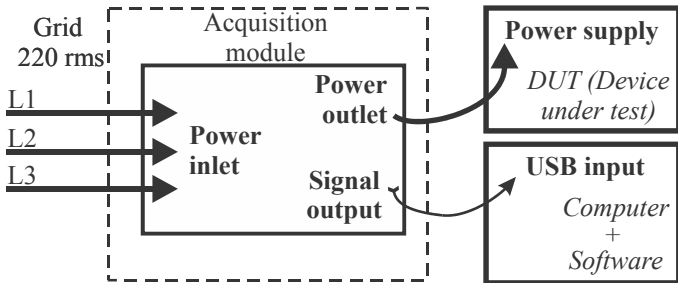


Figure 1. Hardware implementation

Acquisition system is based on National Instruments NI cDAQ-9174 chassis, providing portability and hot-plug connectivity using USB2.0 computer interface [7]. The chassis is equipped with two data acquisition modules: NI9225 and NI9227.

NI9225 has three channels of simultaneously sampled voltage inputs with 24-bit accuracy, 50kSa/s per channel sampling rate and 600V_{RMS} channel-to-earth isolation, suitable for voltage measurements up to 40th harmonic (2kHz). The 300V_{RMS} range enables line-to-neutral measurements of 240V power grids [8].

NI9227 is four channels input module with 24-bit accuracy, 50kSa/s per channel sampling rate, designed to measure 5A_{RMS} nominal and up to 14A peak on each channel with 250V_{RMS} channel-to-channel isolation [9].

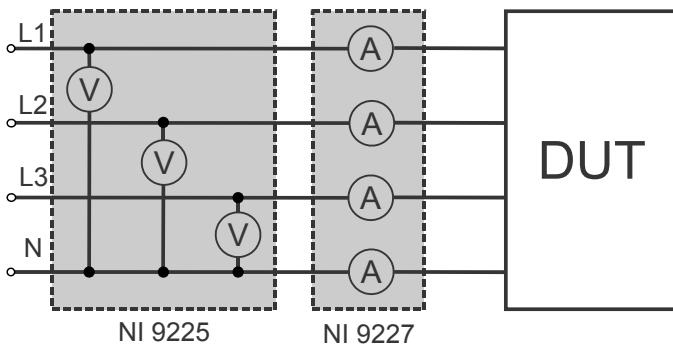


Figure 2. Connection diagram

B. Software implementation

The Software part of the power factor and distortion measuring system is implemented in *National Instruments LabVIEW* developing package (Fig. 3), which provides simple creation of virtual instruments [10]. Virtual instruments consist of interface to acquisition module and application with graphic user interface.

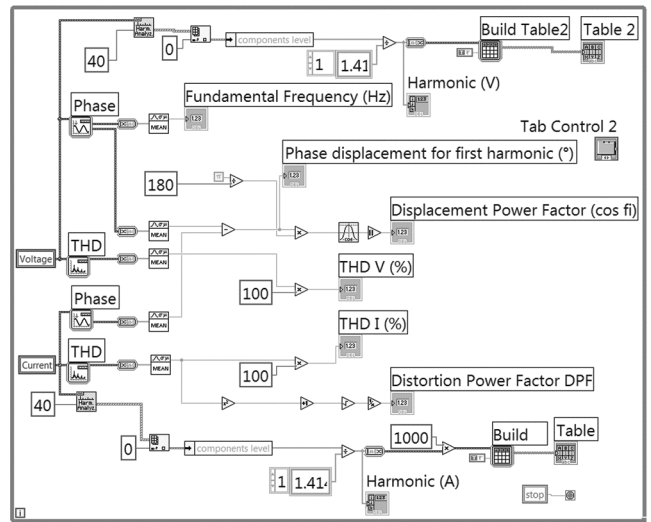


Figure 3. Main thread of application.

Interface to acquisition module is implemented as device driver. cDAQ-9174 is supported by NIDAQmx drivers [11]. All the measurements are performed using virtual channels. A virtual channel is collection of property settings that can include name, a physical channel, input terminal connections, the type of measurement or generation, and scaling information.

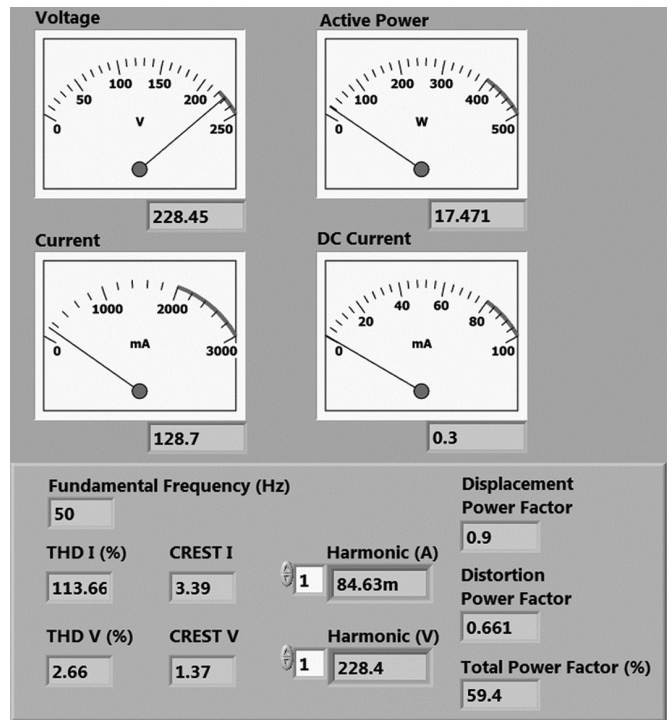


Figure 4. Virtual instrument in one phase operation mode shows characteristics of CFL with poor distortion correction, with nominal real power of 18 W. $\cos(\phi)$ is 90%, current THD is 113.66%, voltage THD is 2.66% and PF 59.4%.

A physical channel is a terminal or pin at which an analogue signal can be measured or generated. Virtual channels can be configured globally at the operating system level, or using application interface in the program. Every physical

channel on a device has a unique name. For better performance, the main application has been separated into threads. The main thread has functions for file manipulation and saving measured values.

The user interface of the virtual instrument consists of visual indicators. It provides basic functions for measurement. The indicators – gauges and graphs – show measured values. All measured values are placed in a table, and after the measurement process in appropriate file. User interface also provides controls for data manipulation and saving measured values (Fig. 4).

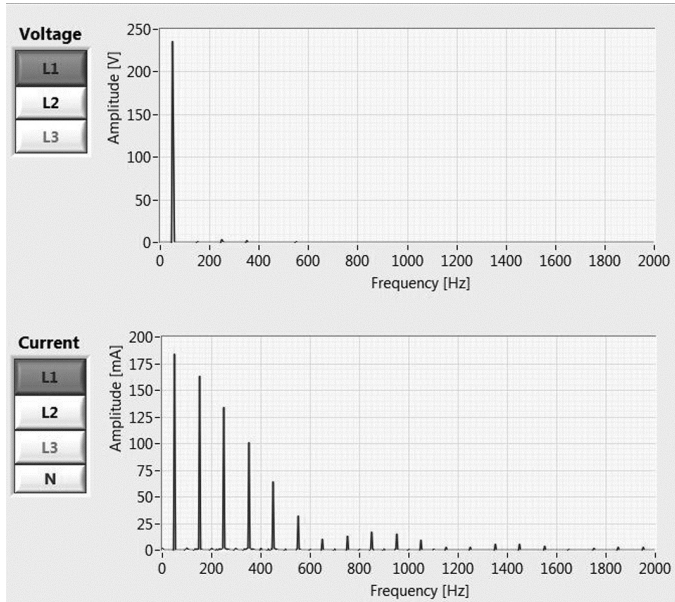


Figure 5. Virtual instrument shows voltage and current spectra for L1 phase

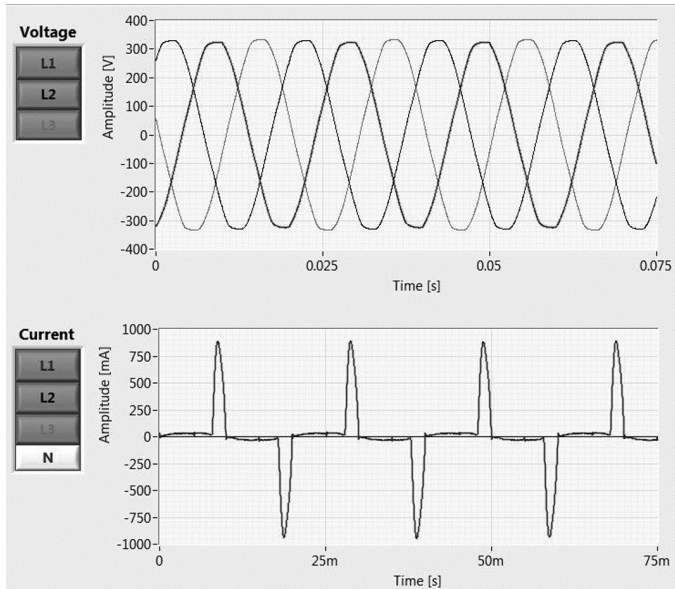


Figure 6. Voltage and current waveforms for all phases

Virtual instrument shows waveforms and spectra of measured voltages and currents (Fig. 5 and 6). Measured electrical quantities such as RMS and DC values, as well as calculated power quantities are shown in the front panel using virtual

gauges and numeric indicators. Power factor and other power quality parameters are shown numerically. Virtual instrument can operate in one phase or three phase mode.

Harmonic magnitudes are shown in table and each magnitude can be represented separately.

In three phase operation mode, virtual instrument shows phasor diagram for all harmonic components (Fig 7).

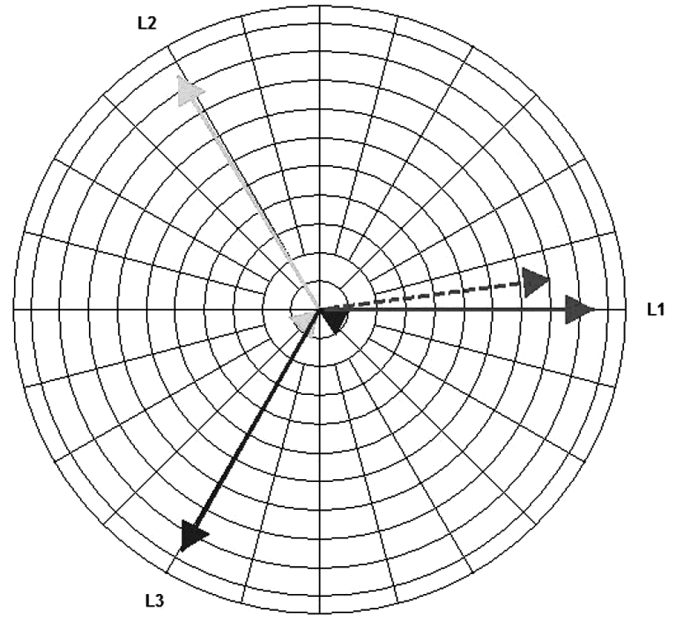


Figure 7. Phasor diagram in three-phase operation mode

IV. CONCLUSION

System is implemented as a sampling device, while the PC is the processing device. In that way only minor activities (sampling and A/D conversion of the current and voltage) are performed within the acquisition modules, capable for real-time sampling and measuring voltage and current of DUT, providing possibility for transient analysis in time and frequency domain. The computer is taking the main role in data processing of all kind. In this way we introduced a scalable and versatile system with practically unlimited possibilities. The price of the system is defined by the sampling device, lower than the palm-held devices now available on the market, and the price of the software, that, in our opinion, may be easily written so lowering the total price of the overall measurement system.

Power parameters and power quality parameters are calculated from sampled electrical parameters. The measured values of current and voltage, THD_i , THD_v , DPF , TPF and other parameters are shown in virtual instrument interface (Fig. 4). Virtual instrument shows current and voltage spectra as well as their waveforms in real time.

Virtual instrument is capable for logging measured values on PC. All measured and calculated parameters, transient analysis, as well as triggered events are stored at hard disk or other type of data storage.

REFERENCES

- [1] H.W. Beaty, D.G. Fink, "Standard handbook for electrical engineers," McGraw-Hill, New York, 2007.
- [2] John G. Webster, "The Measurement Instrumentation and Sensors Handbook," CRC Press, 1999.
- [3] T. H. Tumiran, M. Dultudes, "The Effect Of Harmonic Distortion To Power Factor," Proc. of the International Conference on Electrical Engineering and Informatics, Institute Teknologi Bandung, Indonesia, 2007, pp. 834–837
- [4] G. Moschopoulos, "Single-Phase Single-Stage Power-Factor-Corrected Converter Topologies," IEEE Trans. on Industrial Electronics 52, 2005, pp. 23–35.
- [5] "IEEE Std 1459-2000 – Standard Definitons for the Measurement of Electric Power Quantities Under Sinusoidal, Nonsinusoidal, Balanced or Unbalanced Conditions," The Institute of Electrical and Electronics Engineers, 2000.
- [6] "IEEE Std 1459-2010 – Revision Standard Definition for the Measurement of Electric Power Quantities Under Sinusoidal, Nonsinusoidal, Balanced or Unbalanced Conditions," The Institute of Electrical and Electronics Engineers, 2010.
- [7] National instruments cDAQ-9714 Product Data Sheet, National Instruments, <http://ni.com>
- [8] National instruments NI-9225 Product Data Sheet, National Instruments, <http://ni.com>
- [9] National instruments NI-9227 Product Data Sheet, National Instruments, <http://ni.com>
- [10] LabVIEW™ 8 Express User Manual, National Instruments, <http://ni.com>
- [11] LabVIEW™ 8 Express MEasurement Manual, National Instruments, <http://ni.com>.

Comparing the Classical and Alternative Resistive Bridge Signal Conditioning

Z.Kokolanski, J.Kosev, C.Gavrovski, V.Dimcev

Department of Electrical Measurement and Materials,
Faculty of Electrical Engineering and Information Technologies, FEIT
Karpos 2 bb, P.O.Box 547, 1000 Skopje, Republic of Macedonia
zivko.kokolanski@feit.ukim.edu.mk

Abstract—The classical approach for signal conditioning of resistive bridge sensors involves amplification, filtering and A/D conversion of the sensor signal. Nowadays, a lot of analog signal processors optimized for utilizing resistive bridge sensors have been developed. These signal conditioners can provide programmable gain, offset, nonlinearity and temperature correction. Usually these kinds of conditioners produce analog output signal and interface to a microcontroller through an A/D converter. One alternative way of resistive bridge sensor signal conditioning is the direct sensor to microcontroller approach. The sensor is directly connected to a microcontroller without any active component between and without use of a classical A/D converter. The bridge is considered as a network with three inputs and one output. The result is obtained by measuring the time needed to discharge a capacitor through the equivalent resistance seen by each input. This approach can also provide temperature correction. In this paper a comparison between the classical and the alternative resistive bridge signal conditioning is presented.

Keywords – resistive bridge; direct sensor to microcontroller, analog signal processors

I. INTRODUCTION

There are a lot of known methods for conditioning of resistive modulating sensors. One of the most commonly used approach is the resistive sensor bridge. Sensor bridges are very efficient resistive sensor conditioners and if they are carefully designed they can be used for very accurate measurements. They can be arranged in a quarter, half or full bridge configuration. The last one has better sensitivity and linearity than the previous ones. Therefore, the piezoresistive strain gages for example are usually arranged in full Wheatstone bridge and can be used for measurement of different physical quantities such as pressure or mass.

The classical approach for interfacing the sensor bridge to a microcontroller is shown in Fig.1. The signal from the bridge is amplified by differential or instrumentation amplifier, then filtered and interfaced to a microcontroller with an ADC (analog to digital converter). In order to achieve high performance of this conditioning circuit, the amplifier, the antialiasing filter and the ADC errors have to be minimal. This means that the used components have to be of high quality, but also of higher cost. Further on this conditioning circuit contains several components that increase the PCB (printed circuit board) area and power consumption.

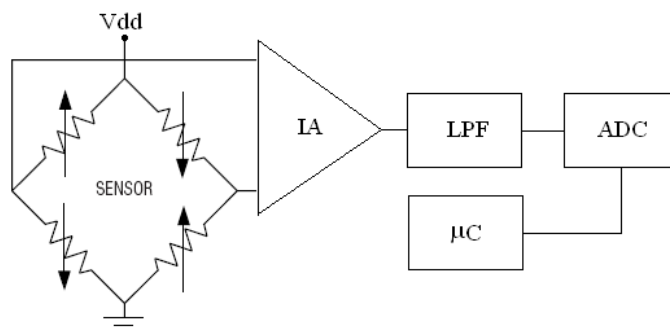


Figure 1. Classical approach for interfacing resistive bridges with microcontroller

II. PROGRAMMABLE ANALOG PROCESSING UNITS FOR RESISTIVE SENSORS

Nowadays there are a lot of specially designed analog signal processing units that can be used as an interface between the sensor bridge and the microcontroller, such as [1]. These analog processors are optimized for utilizing resistive bridge sensors and can provide programmable gain, offset nonlinearity and temperature correction. The basic configuration of an analog signal processor intended for resistive sensor conditioning is shown in Fig. 2.

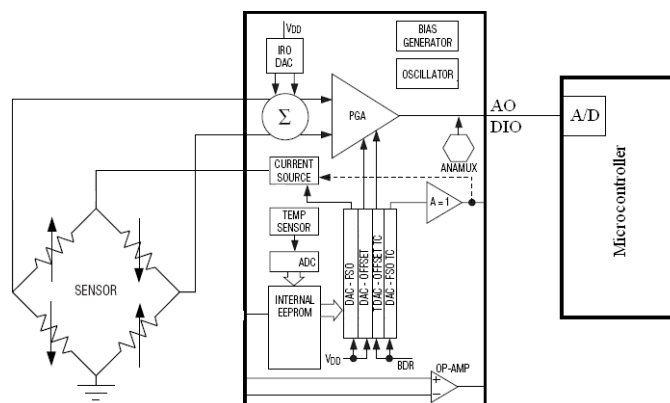


Figure 2. Configuration of an analog signal processing units for resistive sensor conditioning

The analog signal processing units usually contain programmable current and voltage excitation and

programmable offset and gain amplifier. In this way an optimal use of the measurement range, automatic calibration and correction can be achieved. However, the discrete character of the digital programmable amplification can lead to incomplete use of the measurement range, because, for given measurement range all values for the offset and amplification cannot be obtained. Consequently, higher amplification can saturate the ADC and decrease the effective measurement range, and lower amplification leads to incomplete use of the measurement range and lower measurement resolution. On the other hand, for a defined maximal resolution loss a procedure that guarantees an optimal use of the measurement range can be defined [2].

One of the biggest advantages of this kind of analog processing units is the ability of two way communication with the microcontroller. The communication can be performed by using just one microcontroller pin. This pin is used as an analog output during the measurement and as a digital bus during the programming and communication. Further on, the antialiasing filter is usually built in the analog processing unit saving PCB space and power consumption.

III. ALTERNATIVE APPROACH FOR INTERFACING RESISTIVE BRIDGE TO MICROCONTROLLER

Because most of the cost of the previous approaches is attributable to the ADC, some of the low cost interfaces are based on embedding the information on a time interval. In direct sensor bridge to microcontroller interface [3], the bridge is considered as a network with three inputs and one output. The electrical circuit of direct sensor bridge to microcontroller interface is shown in Fig.3.

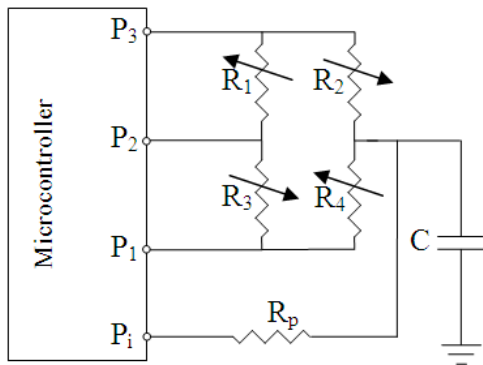


Figure 3. Direct sensor bridge to microcontroller interface

The result is obtained by measuring the time needed to discharge a capacitor through the equivalent resistance seen by each input (P₁, P₂ and P₃). The resistances in the four arms of the bridge are defined as

$$\begin{aligned} R_1 &= R_3 = R_0(1-x) \\ R_2 &= R_4 = R_0(1+x) \end{aligned} \quad (1)$$

The measurement contains three phases; each of them contains one charging and one discharging phase. The charging phase is realized through the P₁ pin, and the discharging phases

are realized through P₁, P₂ or P₃ respectively. The wave shape of the capacitor voltage during the three measurement phases is shown in Fig.4.

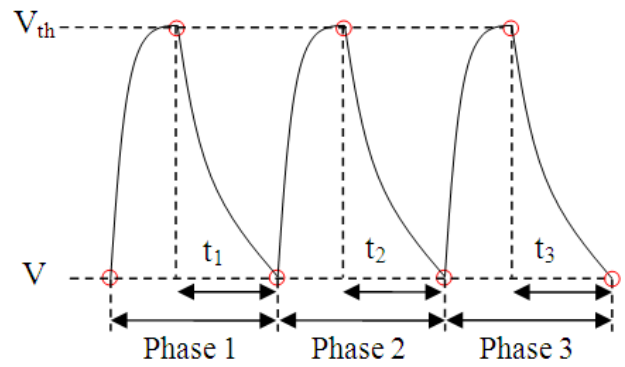


Figure 4. Wave shape of the capacitor voltage during the three measurement phases

The respective times needed to discharge the capacitor through the equivalent resistance seen by each port (P₁, P₂ and P₃) is

$$t_x = R_{sx} C \ln \left| \frac{V_{ol} - V_{oh}}{V_{ol} - V_{tl}} \right| \quad (2)$$

where V_{oh} is the voltage of the high output state, V_{ol} is the voltage of the low voltage state and V_{th} and V_{tl} are the high and low threshold voltages. The equivalent resistances are

$$\begin{aligned} R_{s1} &= \frac{R_0(3+2x-x^2)}{4} \\ R_{s2} &= R_0 \\ R_{s3} &= \frac{R_0(3-2x-x^2)}{4} \end{aligned} \quad (3)$$

The measurement quantity is calculated by

$$x = \frac{t_1 - t_3}{t_2} \quad (4)$$

However, the input and output resistances and leakage currents cause offset, gain and nonlinearity errors [4]. The offset and gain errors can be canceled by using a two point calibration [3]. The two point calibration can be realized by using

$$x' = \frac{(x - x_1^*)(x_2 - x_1)}{x_2^* - x_1^*} + x_1 \quad (5)$$

where x₁^{*} and x₂^{*} are the estimated fractional resistance changes measured by (4), and x₁ and x₂ are precise measurement of the fractional resistances with an ohmmeter.

IV. TEMPERATURE COMPENSATION

For the sensor in a configuration of resistive bridge (Fig.3) we can write

$$\begin{aligned} R_1 &= R_0 + 0.5\Delta R(1-x) \\ R_2 &= R_0 + 0.5\Delta R(1+x) \end{aligned} \quad (6)$$

where R_0 is the nominal resistance, and $0.5\Delta R(1-x)$ is the part dependent on the measuring quantity. If the temperature coefficients of R_0 and ΔR are equal, the differential signal from the bridge will be independent with the ambient temperature. Usually this is not a case and the output signal of the bridge is influenced by the temperature. If the temperature coefficient of the nominal resistance is positive, it will result in a reduction of the bridge sensitivity. This effect is described with the equation

$$\Delta V = \frac{\Delta R(1 - \alpha_\Delta T)x}{2R_0(1 + \alpha_0 T) + \Delta R(1 - \alpha_\Delta T)} V_{dd} \quad (7)$$

where V_{dd} is the bridge supply and α_0 and α_Δ are the temperature coefficients of R_0 and ΔR respectively. Considering (7) it can be seen that if $\Delta R \ll R_0$ the temperature dependence leads to a reduction of the bridge sensitivity. There are a lot of known methods for bridge temperature compensation. Most of them are based on hardware solutions on the bridge [5].

The programmable analog processing units (described in chapter II) usually contain built in temperature sensor. The sensor is used to measure the ambient temperature of the bridge and to calculate a temperature compensation coefficient. This approach is also known as indirect temperature compensation [6]. The block diagram of the indirect temperature compensation method is shown in Fig.5.

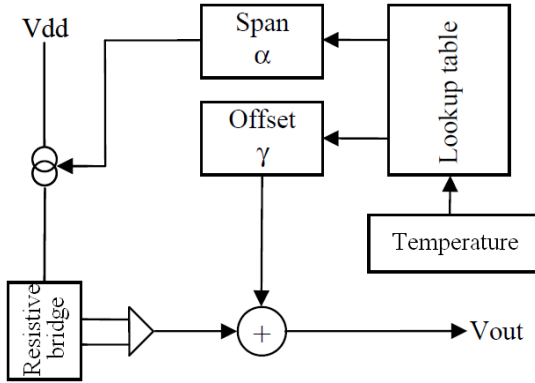


Figure 5. Indirect temperature compensation

The ambient temperature information from the sensor addresses the pointer of the lookup table. The lookup table contains calculated coefficients which are used later on for temperature compensation of the bridge (span and offset). The temperature difference between the sensor and the bridge can result in measurement errors [7]. These errors are analytically expressed with

$$\delta[\%] = \frac{\Delta T \cdot K_R \cdot (\beta - \beta_1) \cdot 100 \cdot R_{stc}}{N \left[\frac{R_{stc}}{N} + \beta_0 \cdot R_b \right] \left[\frac{R_{stc}}{N} + \beta_1 \cdot R_b \right]} \quad (8)$$

- ΔT is the temperature difference between the sensor (the IC case) and the bridge,
- K_R - temperature coefficient of the bridge,
- β_0 - required span,
- β_1 - actual span,
- R_b - bridge resistance,
- N - gain.

Having in mind (8), the error increases with increasing of the temperature dependence between the bridge and the sensor. Therefore, when such temperature differences are unavoidable, the temperature compensation is realized by using some other hardware compensation technique.

The direct sensor bridge to microcontroller interface technique (described in chapter III) can also perform temperature compensation [8]. Here, the sensor bridge is used also as a temperature sensor and, hence, doesn't require any additional components. The temperature information is obtained by measurement of the equivalent resistance R_{s2} from (3). If we assume first order temperature dependence of the bridge, in [8] it is proven that this equivalent resistance depends only on temperature and not on the physical quantity that is being measured.

$$R_{s2} = R_0(1 + \alpha_R(T - T_0)) \quad (9)$$

where α_R is a bridge temperature coefficient, T_0 is the reference and T the actual temperature. The temperature compensated measurement quantity is then calculated by

$$x^* = \frac{x}{1 + \frac{\alpha_S}{\alpha_R} \left(\frac{R_{s2}}{R_0} - 1 \right)} \quad (10)$$

where x is calculated by (4), α_R and α_S are the temperature coefficients given by the sensor manufacturer. Unfortunately, the R_0 value is given with a large tolerance or not given at all in the sensor datasheets. Therefore, R_0 should be measured at a temperature T_0 as equivalent resistance R_{s2} . This can be done by using the direct sensor to microcontroller interface and by implementing some calibration technique [9] (one point, two point calibration or three signal method). The simplest is the one point calibration technique. Here, beside the unknown resistance R_x , a known calibration resistance R_c is measured. The resistance is calculated as

$$R_x = \frac{t_c}{t_x} R_c \quad (11)$$

where t_c and t_x are the measured discharging times of R_c and R_x respectively.

V. CONCLUSION

The classical approach for signal conditioning of resistive bridge sensors involves amplification, filtering and A/D conversion of the sensor signal. By careful design, these conditioning circuits can be used for very accurate measurements. However, for high performance, the used components have to be of high quality, but also of higher cost. Further on this conditioning circuit contains several components that increase the PCB (printed circuit board) area and power consumption.

Nowadays there are a lot of specially designed analog signal processing units that can be used as an interface between the sensor bridge and the microcontroller. These units are optimized for utilizing resistive bridge sensors and can provide programmable gain, offset nonlinearity and temperature correction. The analog processors can perform to way communication with the microcontroller, continual auto calibration and correction. These kinds of conditioning circuits require small PCB area and low power consumption. However, these circuits usually perform indirect temperature compensation that in some cases can result in compensation errors. Further on the analog processors usually require ADC as an interface with the microcontroller.

The alternative approach for conditioning the resistive bridge sensors is based on a direct sensor bridge to microcontroller interface. The sensor is directly connected to a microcontroller without any active component between and without use of a classical A/D converter. The bridge is considered as a network with three inputs and one output. Thus, the microcontroller measures the time needed to discharge a capacitor through the equivalent resistance seen by each input.

This approach can also provide temperature compensation by measuring the temperature of the bridge. However, for performing the temperature compensation, additional calibration resistor has to be used and the one point calibration technique has to be implemented. Although this approach achieves lower measurement resolution (around 11 bits in [3]) than the classical conditioning methods, its performances are remarkable considering the simplicity and the cost.

REFERENCES

- [1] M.Parsons: MAX1452 reference manual, MAXIM, Revision A, November 2000
- [2] S. Catunda, J.Navier, G.Deep, R.Freire: Designing a programmable analog signal conditioning circuit without loss of measurement range, IEEE Transactions on Instrumentation and Measurement, Vol.52, no.5, October 2003
- [3] A. Custodio, R. Bragos, R. Pallas-Areny, "A Novel Sensor-Bridge-to-Microcontroller Interface", IEEE Instrumentation and Measurement Technology Conference, Budapest, May 2001
- [4] A. Custodio, R. P. Areny, R. Bragos, "Error Analysis and Reduction in Simple Sensor-Microcontroller Interface", IEEE Trans. Instrumentation and Measurement, Vol.50, No.6, Dec. 2001.
- [5] A.Martin, J.Osa, M.Zuza, A.Carlosena: Analysis of a negative impedance converter as a temperature compensator for bridge sensors, IEEE Transactions on Instrumentation and Measurement, Vol.52, no.4, August 2003
- [6] Hellan S., Namtvedt.S, Texas Instruments, Temperature Compensation by Indirect Method, application note AN027
- [7] Application note 1839: Sensor temperature compensation using the four DAC signal conditioning architecture, MAXIM, december, 2002, available: <http://pdfserv.maxim-ic.com/en/an/AN1839.pdf>
- [8] F. Reverter, G. Horak, V. Bilas, V. Gasulla: "Novel and Low-Cost Temperature Compensation Technique for Piezoresistive Pressure Sensors", XIX IMEKO World Congress, Fundamental and Applied metrology, Lisabon, September 2009
- [9] F. Reverter, R. P. Areny, "Direct Sensor to Microcontroller Interface Circuits", Marcombo, Barselona, 2005

Continual One Point Auto Calibration Technique in Direct Sensor to Microcontroller Interface

Z.Kokolanski, C.Gavrovski, V.Dimcev

Department of Electrical Measurement and Materials,
Faculty of Electrical Engineering and Information Technologies, FEIT
Karpos 2 bb, P.O.Box 547, 1000 Skopje, Republic of Macedonia
zivko.kokolanski@feit.ukim.edu.mk

Abstract—The modulating resistive and capacitive sensors can be directly interfaced with a microcontroller. The sensor and one reference element (resistor or a capacitor) form a RC circuit that is excited and measured with the microcontroller. In this way the modulating sensor acts like a quasi-digital and allows direct sensor to microcontroller interface without use of a classical A/D converter. There are several known direct sensor to microcontroller calibration techniques. One of the simplest is the one point calibration technique. This calibration technique has nonlinear transfer characteristics and for wide measurement range several calibration resistors have to be employed. The continual one point auto calibration technique expands the measurement range without the use of additional calibration resistors and in the same time keeps the simplicity of the measurement. In this paper the continual one point auto calibration technique is presented.

Keywords - modulating sensors; continual one point auto callibration; microcontroller interface

I. INTRODUCTION

Direct sensor-microcontroller interface is an alternative approach for conditioning of modulating resistive and capacitive sensors without the use of an A/D converter. The microcontroller uses the built in timer to measure the charging or discharging time of RC circuit formed by the sensor and reference resistor/capacitor. In this way, the microcontroller and the sensor form a relaxation oscillator causing the modulating sensor to act like a quasi-digital sensor.

Two measurement methods are proposed: a method based on charging [1] or discharging time [2] of the RC circuit. The two methods differentiate by the crossing of the upper or the lower threshold voltage (V_{th} or V_{tl}) of the Schmitt Trigger port to create an interrupt. The method based on discharging time gives better measurement results [3] because the lower threshold voltage V_{tl} has better rejection of the power supply interference and because usually the microcontroller ports can sink more current than they can source. In this paper the analysis are restricted to the interfaces based on the measurement of the discharging time but the same methodology can be applied to the interfaces based on the measurement of the charging time. The most basic direct sensor-microcontroller interface can be realized by using two microcontroller pins, one output and one input pin (Fig.1).

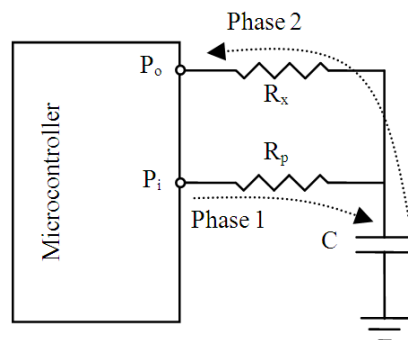


Figure 1. Direct sensor-microcontroller interface

The measurement contains two phases: charging phase and discharging phase. The wave shape of the capacitor voltage in the two phases is shown in Fig.2.

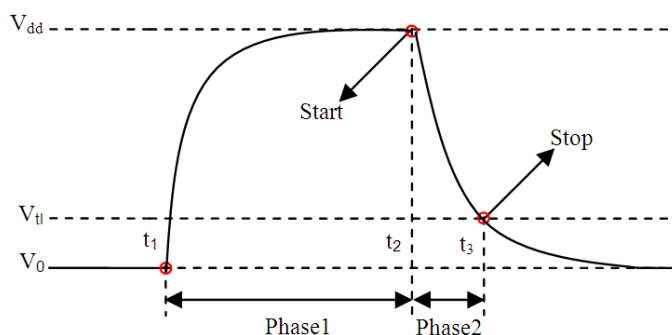


Figure 2. Wave shape of the capacitor voltage in the two phases

At the beginning the pin P_i is set as output with logical state “1” and the pin P_o is set as input (high impedance state). The capacitor charges through R_p to V_{dd} in a period $t_1 \div t_2$. In the next step the pin P_o is set as output with logical state “0”, the timer starts and the pin P_i is set to high impedance state. This time the capacitor discharges through R_x until the voltage reaches the lower threshold voltage V_{tl} . Crossing of the threshold voltage V_{tl} initiates interrupt that stops the timer. The time needed for the capacitor to discharge from V_{dd} to V_0 is expressed with the equation

$$t_x = (t_3 - t_2) = \tau \ln \left(\frac{V_0 - V_{dd}}{V_0 - V_{tl}} \right) \quad (1)$$

where $\tau=R_x C$ is the discharging time constant. Having in mind that V_0, V_{dd}, V_{tl} and C are constant, from (1) can be seen that the time interval t_x is proportional to the measuring resistance R_x . This time interval (t_x) is measured with the built in timer in the microcontroller. The result of the time to digital conversion can be expressed as

$$N = kR_x \quad (2)$$

where k is constant dependent on V_0, V_{dd}, V_{tl}, C and the time base of the timer. In practice the input/output resistances and leakage currents of the microcontroller ports cause gain, offset and nonlinearity errors [4]. Additionally the constant (k) in the equation (2) is not very stable. Therefore, usually direct sensor to microcontroller interface is realized by using some calibration technique [5] that cancels the contribution of V_0, V_{dd}, V_{tl} and C .

II. SINGLE POINT CALIBRATION TECHNIQUE

The simplified electrical circuit of the direct sensor to microcontroller interface by using single point calibration is shown in Fig. 3.

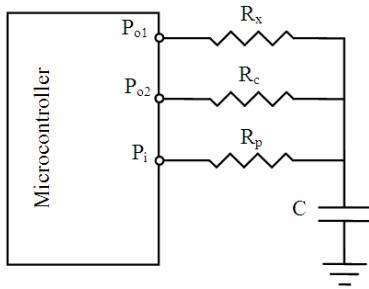


Figure 3. Electrical circuit of direct sensor to microcontroller interface by using single point calibration

The measurement contains two phases: measurement of the unknown resistance R_x and measurement of the calibration resistance R_c . The wave shape of the capacitor voltage in the two phases is shown in Fig.4.

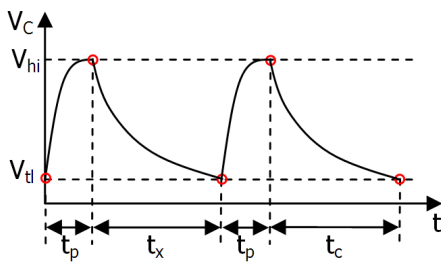


Figure 4. The wave shape of the capacitor voltage during the two measurement phases

The respective times needed to discharge the capacitor through R_x and R_c, t_x and t_c are

$$t_x = R_x C \ln \left(\frac{V_{lo} - V_{hi}}{V_{lo} - V_{tl}} \right) \quad (3)$$

$$t_c = R_c C \ln \left(\frac{V_{lo} - V_{hi}}{V_{lo} - V_{tl}} \right) \quad (4)$$

Since the capacitance C and the parameters V_{lo}, V_{hi} and V_{tl} are the same for both measurements, calculating the ratio of t_x and t_c cancels their contribution. The measurement result is

$$R_x^* = \frac{t_x}{t_c} R_c \quad (5)$$

where R_x^* is the estimate of the actual sensor resistance.

The one point calibration technique of this kind is analyzed in [1,2], where a resolution from 6 to 10 bits is achieved. The resolution is limited by the input and output resistances and leakage currents of the microcontroller ports. These limiting factors are considered in [4] and the dependence of the measured value and the estimate of the actual sensor resistance is expressed with

$$R_x^* = (R_{o1} + R_x) k \frac{\ln A}{\ln B} \left[\frac{1}{1 + \frac{R_x}{R_{o1} + R_{e1}}} \right] \quad (6)$$

where R_{o1} is the output resistance of the port P_{o1} , and A, B and k are constants dependent on the resistances and the leakage currents of the microcontroller ports. From (6) it can be seen that the input and output resistances and leakage currents cause offset, gain and nonlinearity errors. If the ports P_{o1} and P_{o2} were identical these errors would have being zero for $R_x=R_c$. This leads to conclusion that the value of the calibration resistor should be chosen to be $R_c=R_x$ in the middle of the measurement range.

III. EXPERIMENTAL RESULTS AND DISCUSSION

The experiments were realized by using microcontroller PIC16F877 [6] with clock frequency of 4MHz, effective instruction cycle speed of 1MHz and period of $1\mu s$. The falling edge of the input signal was registered with the RB0/INT Smith Trigger pin. This pin initiates interrupt that stops the 16-bit timer - Timer1. To reduce the noise effects affecting the voltage comparison between V_c and V_{tl} several design solutions were applied:

- Decoupling capacitor of 100nF was placed as close as possible to the microcontroller pins as recommended from the manufacturer
- The board ground plane was carefully designed for low electromagnetic interference
- Only the microcontroller was supplied from the power supply to eliminate other interference effects
- The microcontroller didn't execute any other task while waiting for the interrupt

The measurements were performed by using a variable resistor in the range from 1000 to 3000 ohms. These values are typical for resistive temperature sensors. The resistance of the sensor was measured with measurement instrument with maximal error of $\pm 0.1\% + 5$. According (6), for minimal errors the calibration resistance was chosen to be 2000 ohms, that is in the middle of the measurement range. The absolute and the relative errors of the measurements are shown in Fig.5 and Fig.6.

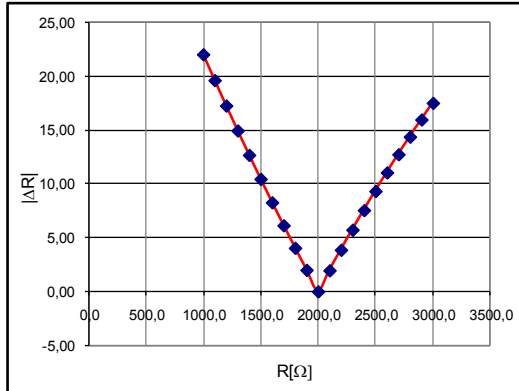


Figure 5. Absolute errors of the measurement

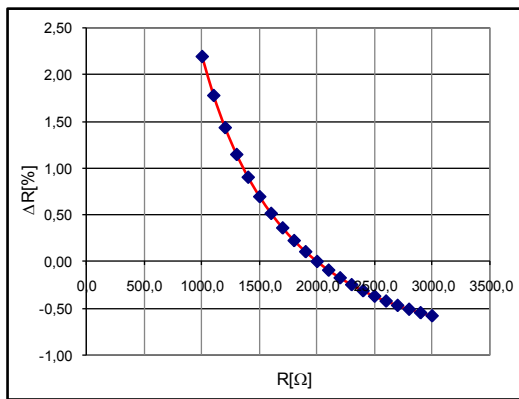


Figure 6. Relative errors of the measurement

From the results reported in Fig.5 and Fig.6 it can be seen that the static errors caused by the input and output resistances and leakage currents of the microcontroller ports are minimal in the middle of the measurement range. Having in mind (6) this completely confirms our expectations. However, the errors are maximal for the minimal value of the sensor resistance ($\approx 23\Omega$ or 2.3%). The results suggest that in this case a lower value for the calibration resistance have to be chosen in order to reduce the relative error for the whole measurement range. However, this approach cannot be generalized because according (6) the errors are nonlinear and grater for lower values of the sensor resistance.

The dependence of the measured value and the actual sensor resistance was approximated by using the least square method. The approximation with linear function in Fig.7.

The experimental results for the one point calibration method showed that the measurement range is limited by the maximal error. Therefore, for a given maximal error the

measurement range must be divided into appropriate sub ranges. Each sub range must have its own calibration resistance in the middle of the range. This proportionally increases the used microcontroller pins and the number of calibration resistances.

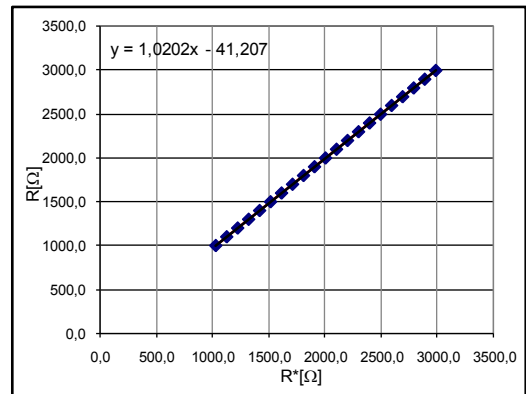


Figure 7. Aproximation by using the least square method

IV. CONTINUAL ONE POINT AUTO CALIBRATION TECHNIQUE

One of the disadvantages of the one point calibration technique applied in direct sensor to microcontroller interface is the limited measurement range. The measurement range is limited by the nonlinear dependence of the measured and the actual sensor value when approximated by a linear function. To overcome this problem, the measurement range must be divided into smaller segments and for each segment different calibration resistor have to be used. Consequently, the nonlinearity errors will be smaller than the half of the least significant bit for the desired resolution. Hence, this approach can be used for expanding the measurement range at the cost of additional calibration resistances and additional microcontroller pins.

The same benefit can be achieved when using the continual one point auto calibration technique but using significantly less microcontroller pins. This approach uses digital variable resistor that replaces a lot of calibration resistances and in the same time uses fixed number of microcontroller pins. The electrical scheme of the continual one point auto calibration technique is shown in Fig. 8.

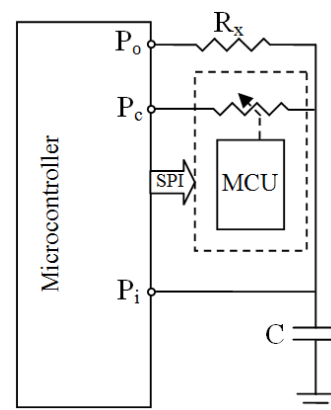


Figure 8. Continual one point auto calibration technique

The digital resistor on Fig.8 is used as a calibration resistor with variable resistance in 2^n points, where n is the resolution of the digital resistor. Today, there are a lot of available commercial digital variable resistors with different resolutions and different range of values. In most of the cases the communication with the microcontroller is realized by using some serial communication interface such as SPI, RS232, I²C.

The implementation of the one point auto calibration technique is performed by division of the measurement range into several sub ranges. The nonlinearity error of each sub range must be lower than half of the least significant bit for the desired resolution of the measurements. The condition that must be fulfilled for each sub range (reported in [7]) is

$$\frac{\Delta R_x}{2} < \frac{c - R_o}{1 - 2^{-(n+1)}} - c, R_o - \frac{\Delta R_x}{2} < R_x < R_o + \frac{\Delta R_x}{2} \quad (7)$$

where the constant c depends of the input and output resistances and leakage currents of the microcontroller ports. The graphical representation of the expanded measurement range by using the continual one point auto calibration technique is shown in Fig. 9.

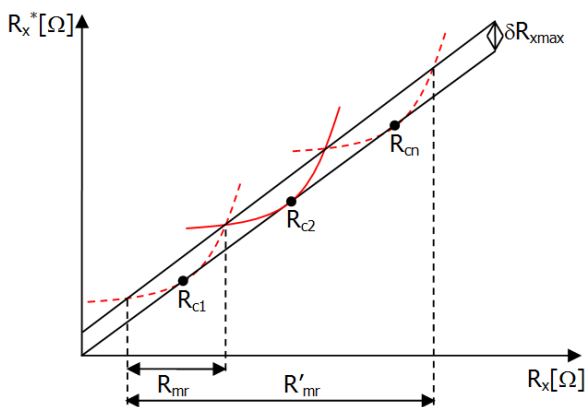


Figure 9. Expansion of the measurement range by using continual one point auto calibration technique

The continual one point auto calibration technique is performed in three phases: rough measurement of the unknown resistance, choice of optimal calibration resistance and precise measurement of the sensor resistance.

In the first phase, the value of the calibration resistance is chosen in the middle of the measurement range, that is $R_c = \Delta R_x / 2$. In this way a rough measurement of the unknown resistance is performed, and the optimal sub range is determined. In the second phase the digital resistor is set to a value in the middle of the chosen sub range. In the third phase a precise measurement and calculation of the sensor resistance is performed.

From the graphic shown in Fig.9 it can be seen that the measurement range is drastically expanded, and in the same time the maximal nonlinearity error remains within the predefined limits. However, the implementation of this calibration technique requires more complex algorithm compared to the one point calibration. This slightly decreases the speed of the measurements.

V. CONCLUSION

The one point calibration in direct sensor to microcontroller interface is very simple and effective calibration technique. However, the input and output resistance and leakage currents cause gain, offset and nonlinearity errors. Thus the measurement range is limited by the maximal nonlinearity error. For a defined maximal error, the measurement range must be divided into several sub ranges. The disadvantage of this approach is that it uses additional calibration resistances and microcontroller pins.

The same benefit can be achieved when using the continual one point auto calibration technique but using significantly less microcontroller pins. This technique is reasonable to apply in cases where a higher measurement resolution needs to be achieved. This rigorously limits the measurement range.

The continual one point auto calibration technique is characterized by a very simple implementation and usage of little microcontroller pins. However, the use of digital variable resistor increases the cost of the measurement system and slightly decreases the speed of measurement because of more complex implementation algorithms. In this paper a directions and conditions that must be fulfilled for implementation of the continual one point auto calibration technique were presented.

REFERENCES

- [1] D. Cox, "Implementing ohmmeter/temperature sensor", AN512 Microchip Technology Inc., 1997.
- [2] L. Bierl, "Precise measurements with the MSP430", Report Texas Instrument, 1996.
- [3] F. Reverter, M. Gasulla, R. P. Areny, "Analysis of Power-Supply Interference Effects on Direct Sensor-to-Microcontroller Interfaces", IEEE Trans. Instr. and Meas., vol.56, no.1, Feb. 2007.
- [4] A. Custodio, R. P. Areny, R. Bragos, "Error Analysis and Reduction in Simple Sensor-Microcontroller Interface", IEEE Trans. Instrumentation and Measurement, Vol.50, No.6, Dec. 2001.
- [5] F. Reverter, R. P. Areny, "Direct Sensor to Microcontroller Interface Circuits", Marcombo, Barselona, 2005.
- [6] Microchip Technology Inc., "PIC16F8XX Data Sheet - 28/40-Pin 8-Bit CMOS FLASH Microcontrollers", DS30292C, 2001.
- [7] Z. Kokolanski "Improving the Uncertainty of Reconfigurable Microprocessor-Based Measuring Systems", Master Thesis, Faculty of Electrical Engineering and Information Technologies, Skopje, March 2010.

Verification of Measuring Transformer Accuracy supported by LabVIEW Software

Milan M. Simić, Božidar R. Dimitrijević

Department of Measurement
Faculty of Electronic Engineering
Niš, Serbia
milan.simic@elfak.ni.ac.rs

Dragan S. Kovačević

Electrical Engineering Institute
“Nikola Tesla”
Belgrade, Serbia
dkovac@ieent.org

Abstract—The experimental measurement system, using the LabVIEW software, designed for verification of the measuring transformer accuracy in laboratory environment, is presented in this paper. Described measurement and data acquisition system includes standard PC configuration platform with application software, multifunctional calibration instrument Fluke 5100B for generation of reference voltage signals and data acquisition card PCI NI 6251. Software application developed in the LabVIEW programming environment is designed to provide measurement, recording, displaying and statistical processing of the measuring transformer substantial parameters. Statistical analysis of the measurement results, with graphical presentation of the recorded time diagrams for measured output voltage parameters, provides estimation of the mean values for obtained measuring results and uncertainty components, according to the measuring standards.

Keywords—measuring transformer verification, electrical power, virtual instrumentation, LabVIEW software, measuring uncertainty

I. INTRODUCTION

Due to fast increasing of the electrical energy consumption and limitations of the natural resources necessary for energy production, a basic demand is increasing of the total efficiency level in the electricity production, distribution and consumption processes. In globally widespread processes of liberalization on the electrical energy world market, within the last ten years are created some new technological demands for the research and development facilities and institutions. Important characteristic of this process is involving and integration of wide geographic areas in electrical energy trading operations, which include the increased number of energy market participants, much greater amount of the business transactions and significantly higher number of data and information which must be exchanged and processed. Very important segments in the mentioned process of the energy efficiency level increasing, are measurement and analysis of the basic quality parameters regarding to electrical energy delivered to the individual customers. Measurement of basic voltage, current, power and energy parameters includes measuring transformers, applied in various types of regulation and control energy facilities. Measuring accuracy of the used voltage and current transformers, conclusively affects on total accuracy of the complete measurement process. Especially are important measurements performed for precise determination of the individual customer energy consumption levels, which demand measuring transformers of the high accuracy class [1]. Procedure for checking of the voltage measuring transformers

accuracy and condition diagnostic need to be performed inside accredited metrological laboratories or directly on locations of the remote measuring transformer facilities, periodically in the specified time intervals. Such accuracy verification procedure requires sophisticated measurement methods and appropriate measurement and control devices, having high accuracy level. This equipment foremost considers calibration instrument for generation of the reference input voltage parameters, defined by relevant documents, with checking instruments applied for measurement of the transformer output voltage parameters [2].

Solution of experimental laboratory measurement and data acquisition system, described in this paper, which is developed for checking of the voltage measuring transformer accuracy, is functionally based on 16-channel data acquisition PCI card NI 6251 [3], supported by the PC programming application inside LabVIEW graphical software environment [4]. As a reference instrument for providing of transformer input standard voltage signals with 230V RMS value and 50Hz frequency, is applied multifunctional calibration device Fluke 5100B [5]. Developed programming application performs measurement, continuous recording, graphical presentation and statistical processing of voltage parameter values, measured on controlled transformer voltage outputs. Software processing of the measured values is performed according to the relevant documents, which define calculation and expression of the measuring uncertainty values.

II. HARDWARE CONFIGURATION OF THE MEASUREMENT AND DATA ACQUISITION SYSTEM

Configuration of the experimental laboratory measurement and acquisition system, for low voltage measuring transformer accuracy checking, developed at Department of Measurement on the Faculty of Electronic Engineering in Niš, is presented on the Fig 1. Hardware block configuration of developed solution includes the reference calibration instrument Fluke 5100B, data acquisition PCI card NI 6251 and LabVIEW 8.0 application software support, installed on the standard PC programming platform. Calibration device Fluke 5100B is a microprocessor based instrument programmable by the user from an instrument front panel. Depending on actual requirements, this instrument enables generation of the standard AC voltage waveforms with RMS values within the range from 1mV to 1100V and signal frequency from 50Hz to 1KHz. For this specific application purposes calibration instrument generates reference standard voltage waveforms for measuring transformer input, having the

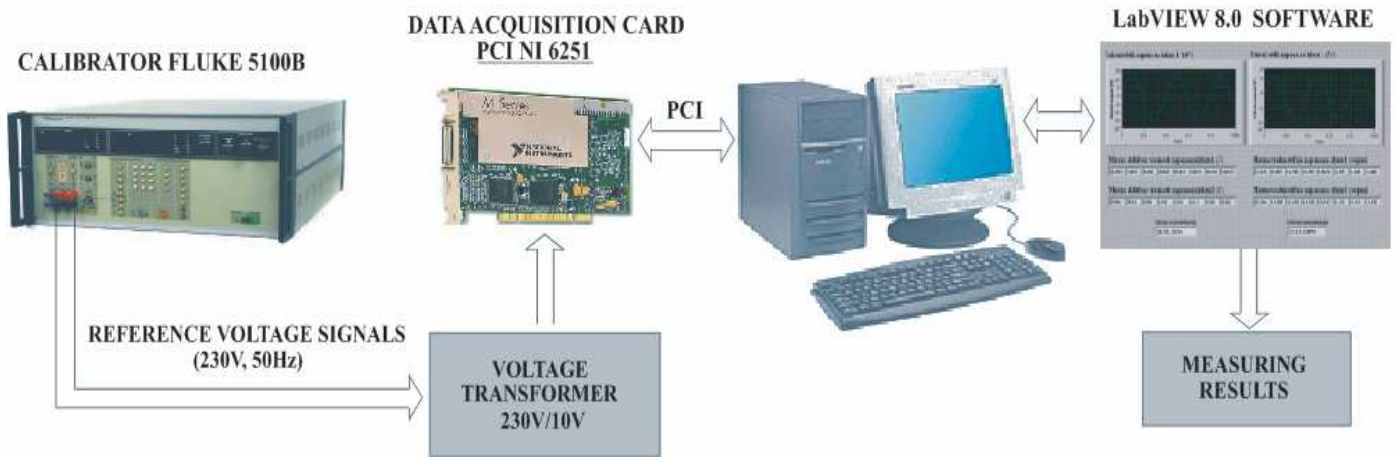


Figure 1. Simplified hardware block configuration of the developed experimental measurement and data acquisition system

basic signal parameters 230V RMS voltage values and 50Hz signal frequency, according to the European electrical power quality standard EN 50160, which prescribes the basic voltage characteristics for electricity supplied using public distribution networks [6]. Reference voltage waveforms generated on the calibration device outputs, are transferring using the standard BNC connectors directly to the inputs of voltage measuring transformer, which accuracy need to be checked. In the next segment of this procedure, voltage signals generated on the measuring transformer outputs, within the range of $\pm 10V$, must be transferred to the inputs of used data acquisition card A/D converter, with 16-bit resolution [3]. Multichannel acquisition board NI 6251, from american manufacturer company National Instruments Corporation, in these specific application purposes uses two analog input channels, which receive voltage signals from measuring transformer outputs having specified 10V and 5V nominal RMS voltage values. Internal communication and two-way data interchange between data acquisition card and PC computer is provided by the standard PCI communication

interface. Described procedure for verification of the voltage measuring transformer accuracy is software controlled using programming application designed in LabVIEW environment, which will be described in the following segment of this paper.

III. SOFTWARE SUPPORT OF THE MEASUREMENT SYSTEM

Concept of the virtual measuring instrumentation is method for development of measuring instruments, based on standard PC computers or industrial operational stations, cost effective hardware components applied for measuring data acquisition and programming packages specialized for software supported analysis and graphical presentation of the obtained measuring results. Hardware segment of the virtual measuring instrument is consisting of computer and data acquisition card. Software section of such instruments is programmed depending on user requirements using predesigned functioning blocks, individual elements and instrument front panels from graphical package database. A most important advantage of the virtual measuring

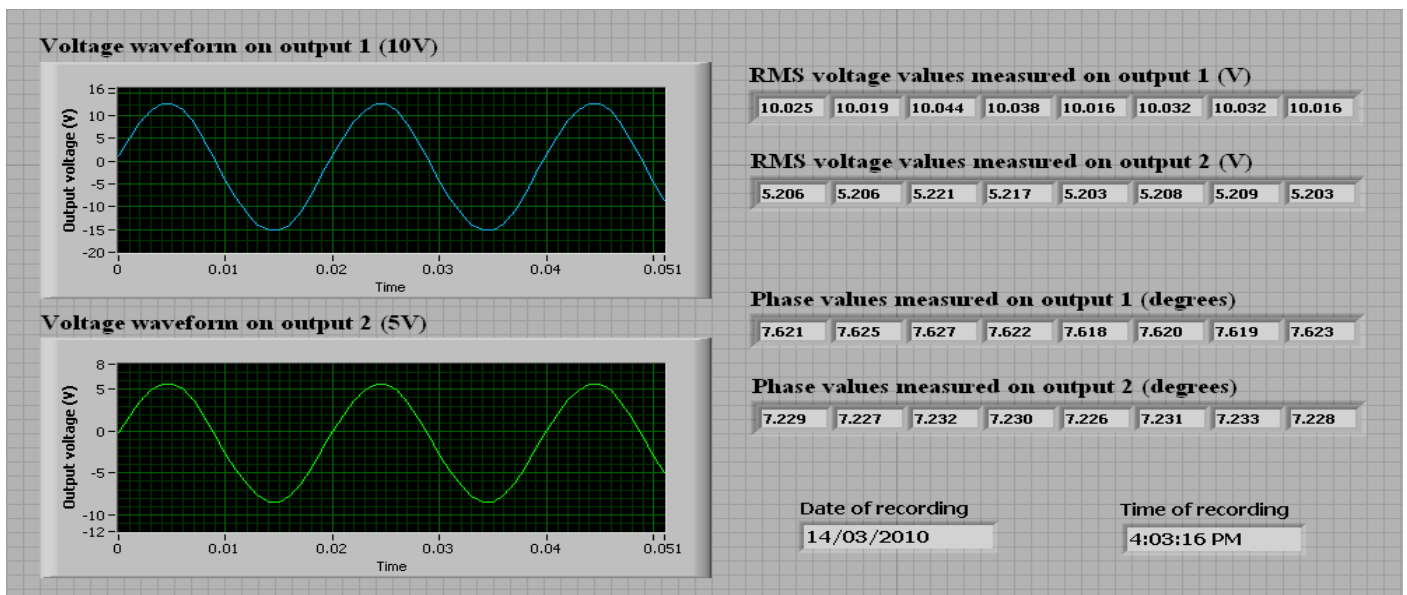


Figure 2. LabVIEW based virtual instrument for graphical presentation of the output voltage waveforms and measured voltage parameters

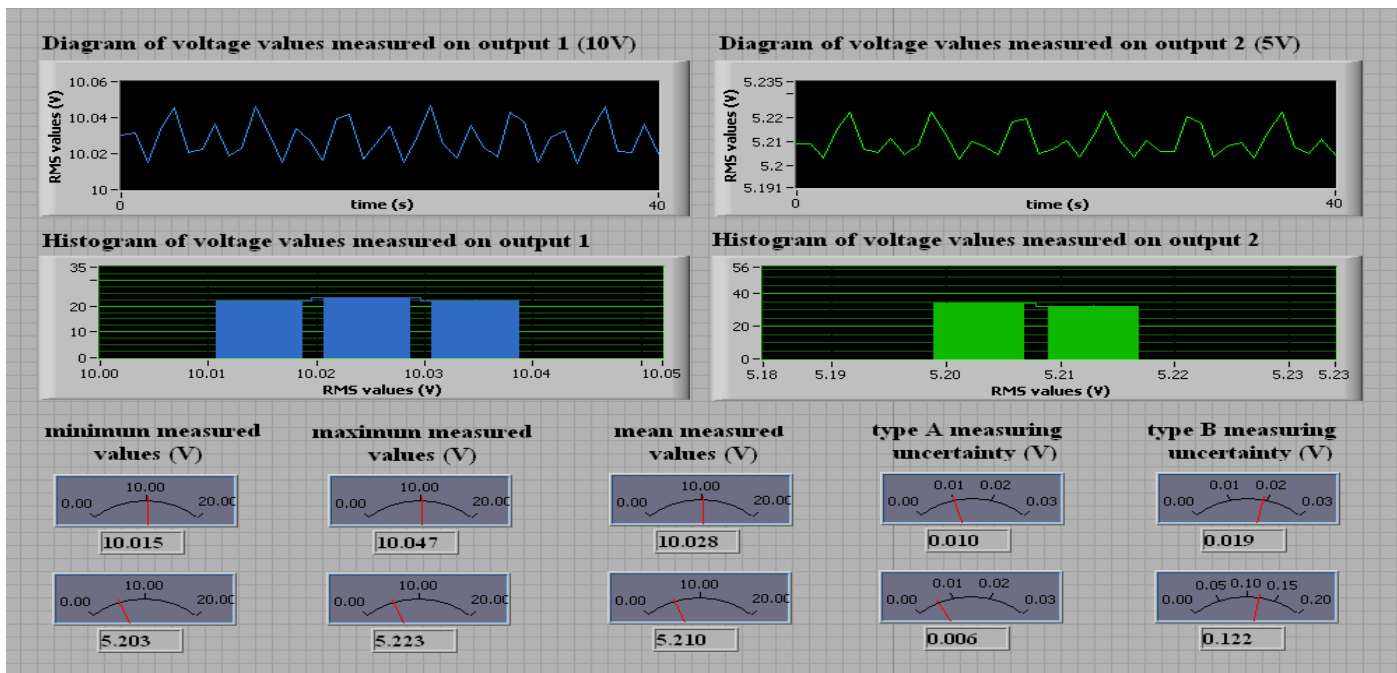


Figure 3 Statistical processing of the measured RMS output voltage values performed in LabVIEW graphical programming environment

instruments are possibilities for performing simple and fast corrections of the software algorithm sequence which controls execution of the computer supported measuring procedure [4].

Automated procedure for measuring transformer accuracy checking, described in this paper, functionally is supported by control software application developed using LabVIEW 8.0 graphical programming package. Developed control software application performs measurements, chronological recordings, graphical presentations and statistical processing of measuring results concerning RMS voltage values on transformer output, phases, frequency and high-order harmonic components of the output voltage signals. Front panel of the virtual instrument, developed in the LabVIEW programming environment, which provides comparative graphical presentation of voltage signals recorded on measuring transformer outputs, is presented on the Fig 2. Besides graphical presentation of output voltage signal waveforms, on the virtual instrument front panel are indicated measuring results concerning RMS voltage values and phases measured on the transformer 10V and 5V outputs. Additional information regarding to date and time of the presented voltage signal recording are also provided on an instrument front panel.

Software supported procedure for statistical analysis of the obtained measuring results regarding to RMS voltage values measured on transformer outputs, performed in the LabVIEW environment, is illustrated on the Fig 3. Developed application software performs comparative graphical presentation of the recorded time diagrams and corresponding statistic histograms of measured RMS values of the transformer output waveforms. On presented virtual instrument front panel are also indicated minimum and maximum voltage values obtained during this measuring process on voltage transformer outputs, including calculations and numeric presentation of the mean measured voltage values, with the corresponding measuring uncertainty components for both transformer outputs. The mean measured RMS output voltage values indicated on the virtual instrument

front panel, are calculated as an arithmetical mean of obtained measured voltage values, as it shown by the following relation:

$$V_{mean} = \frac{1}{n} \sum_{i=1}^n V_i \quad (1)$$

Procedure for calculation of measuring uncertainty values is performed according to recommendations of the document: Guide to the Expression of Uncertainty in Measurement [7], defined from the International Organization for Standardization - ISO. Calculation of type A standard uncertainty component values is performed according to statistical procedures applied on the obtained measuring results, using following square root equation for statistical standard deviation of measured values:

$$u_A(V) = \sqrt{\frac{1}{n(n-1)} \sum_{i=1}^n (V_i - V_{mean})^2} \quad (2)$$

Standard measuring uncertainty components of the type B are estimated on the basis of data obtained from specifications of the reference calibration instrument Fluke 5100B, provided by instrument manufacturer. According to these specifications for nominal frequency value of 50Hz, reference AC voltage signals are generated with specified nominal relative accuracy value of 0.05% [5]. Considering this specified accuracy value, for type B standard uncertainty components of the measured transformer output voltages are obtained the following results:

$$u_{B1}(V) = \frac{1}{\sqrt{3}} \frac{0.05}{100} 10V + \frac{0.028V}{\sqrt{3}} = 0.019V \quad (3)$$

$$u_{B2}(V) = \frac{1}{\sqrt{3}} \frac{0.05}{100} 5V + \frac{0.210V}{\sqrt{3}} = 0.122V \quad (4)$$

Finally, using the previously calculated individual values of measurement uncertainty components of the type A and type B, according to the recommendation of guide document combined

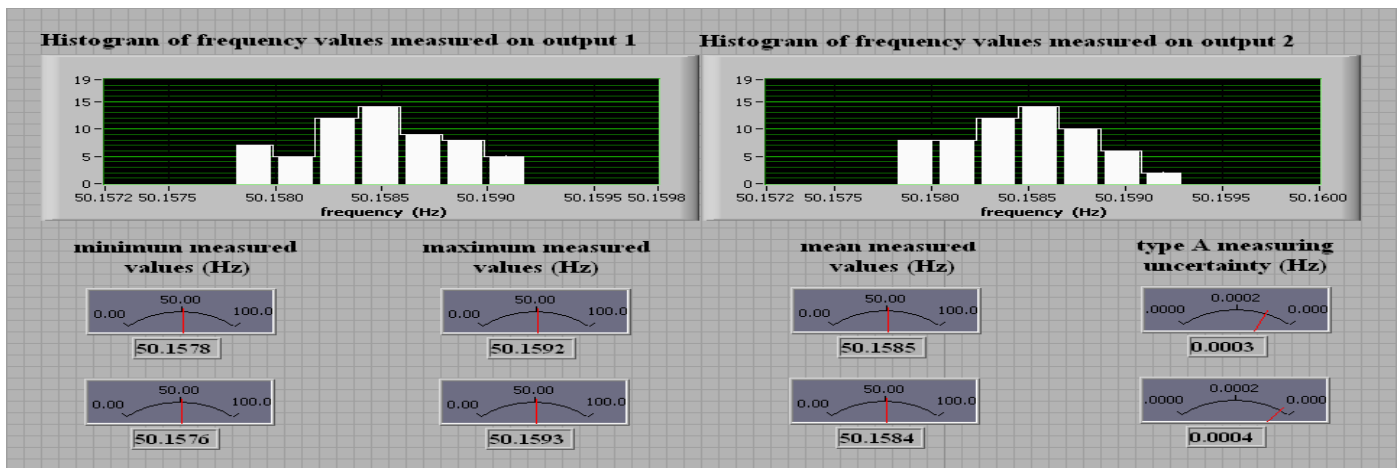


Figure 4 Virtual instrument for statistical processing of the signal frequency values measured on the voltage transformer outputs

measuring uncertainty components for measured transformer output voltages are calculated using next square root relations:

$$u_{C1}(V) = \sqrt{u_{A1}^2 + u_{B1}^2} = 0.021V \quad (5)$$

$$u_{C2}(V) = \sqrt{u_{A2}^2 + u_{B2}^2} = 0.122V \quad (6)$$

Software processing of the voltage signal frequency values measured on first and second voltage output of the measuring transformer and performed by means of LabVIEW application software, is presented on the Fig 4. Similar with the previously described procedure for statistical processing of the measured RMS output voltage values, on shown virtual instrument front panel are illustrated two statistical histograms concerning the signal frequency values measured on 10V and 5V transformer voltage outputs. Presented statistical analysis procedure also includes indication of the minimum and maximum measured frequency values, together with calculation of mean measured frequencies and measuring uncertainty components of type A.

TABLE I. FINAL SUMMARY OF THE MEASUREMENT RESULTS

measurement of the RMS voltage values		
measured values	output 1	output 2
minimum values	10.015 V	5.203 V
maximum values	10.047 V	5.223 V
mean values	10.028 V	5.210 V
type A uncertainty	0.010 V	0.006 V
type B uncertainty	0.019 V	0.122 V
combined uncertainty	0.021 V	0.122 V
measurement of the frequency values		
measured values	output 1	output 2
minimum values	50.1578 Hz	50.1576 Hz
maximum values	50.1592 Hz	50.1593 Hz
mean values	50.1585 Hz	50.1584 Hz
type A uncertainty	0.0003 Hz	0.0004 Hz

Finally, a form of the final report from previously described procedure applied for voltage measuring transformer accuracy verification, is presented in the Table 1. By this table is given short summary of the measured values concerning transformer basic voltage parameters, obtained from verification procedure.

IV. CONCLUSION

Possibilities of using virtual instrumentation software in the procedure for metrological verification of voltage transformer accuracy, based on software analysis of measured voltage basic parameters, are presented in this paper. The reference standard waveforms for measuring transformer inputs are provided by calibration instrument Fluke 5100B. Hardware section of the developed measurement and acquisition system includes PC computer and data acquisition card PCI NI 6251. Programming application, developed using LabVIEW 8.0 software package, performs measurement, recording, presentation and statistical processing of the measured RMS output voltage values, phases and frequency values. This software analysis includes graphical presentation of the measured values time diagrams, indication of the minimum and maximum measured values, calculation of mean measured values and measuring uncertainties. Presented system based on cost-effective acquisition hardware eliminates demands for manual measurements of output voltage for each point of the input voltage changing, due to providing complete software automation of the metrological verification processes.

REFERENCES

- [1] D. Naumovic-Vukovic, S. Skundric, D. Kovacevic and S. Milosavljevic, "Calibration of High Accuracy Class Standard Current Transformers", XIX IMEKO World Congress, September 6-11, 2009, Lisbon, Portugal.
- [2] S. Skundric, D. Kovacevic and D. Naumovic, "The Role and Importance of Software Application in Instrument Transformers Accuracy Testing", XVIII IMEKO World Congress, September 17-22, 2006, Rio de Janeiro.
- [3] Data Acquisition Card NI PCI 6251 Specifications, National Instruments Corporation, USA, 2005.
- [4] LabVIEW User Manual, National Instruments Corporation, USA, 2007.
- [5] Calibrator Fluke 5100 Series B Instruction Manual, Fluke Corporation.
- [6] EN 50160 Power Quality Standard, Power Quality Access Meters and EN50160, Siemens, May, 2003.
- [7] Guide to the Expression of Uncertainty in Measurement, International Organization for Standardization - ISO, Geneva, Switzerland, 1993.

New realisation of Digital Spectral Gamma Ray Tool

Nemanja Vukoje
Novilog
Novi Sad, Serbia
nemanjavu@gmail.com

Viktor Dogan
Novilog
Novi Sad, Serbia
dr.wigan@gmail.com

Miodrag Brkić
Faculty of Technical Sciences
Novi Sad, Serbia
brxnet@yahoo.com

prof. dr. Miloš Živanov
Faculty of Technical Sciences
Novi Sad, Serbia
zivanov@uns.ac.rs

Goran Mančić
Hotwell Ges.m.b.H
Klingenbach, Austria
g.mancic@hotwell.at

Abstract—This paper provides brief explanation of Improved Digital Spectral Gamma Ray Tool which was designed for Hotwell, Austria. This tool measures mineral composition of formation, by detecting energy of gamma rays radiated in the disintegration of the radionuclide in the formation. Innovations are: in number of channels (512) and improved pile-up rejection system (pulses overlap). The tool can detect short lived radioactive isotopes in formation. Also field test results are given. (Abstract)

Keywords—component; Well logging; Gamma rays spectrum; Digital Spectral Gamma Ray Tool

I. INTRODUCTION

Improved Digital Spectral Gamma Ray Tool (IDSGRT) can detect the energy of gamma rays radiated in the disintegration of the radionuclide in the formation. Nature gamma rays in the rocks are mainly produced by ^{238}U radioactive series, ^{232}Th radioactive series and ^{40}K nuclide^[1]. Also, IDSGRT can detect short lived radioactive isotopes in formation like Ir, Sb, Sc, and all others used in the range up to 4MeV. IDSGRT consists of: gamma ray detector, acquisition and processing system and communication system. Communication is done by digital Manchester protocol. This tool provides efficient pile-up rejection system and has high spectral resolution of 256/512 channels.

II. TOOL DESIGN

DSGRT tool was designed in cooperation of Hotwell, Austria, Faculty of Technical Sciences, Novi Sad and Novilog, Novi Sad. It consists of scintillation detector, high voltage supply, pulse height analyzer and line transceiver.

Detector has been polarized by high voltage supply; typical polarization voltage is between 950V – 1150V. High voltage supply is controlled by microcontroller unit. Detector converts gamma ray energy to negative output pulse which is

proportional to energy of gamma ray. Average width of these impulses is 2-5 μs , with maximum amplitude of -10V.

These impulses have been transmitted to preamplifier of pulse height analyzer module. Preamplifier adjusts signal, so it can be acquired.

Part of the system designed for signal adaptation, contains a circuit for signal buffering / inverting, and a circuit for signal scaling. Those circuits are realized as typical circuits, using operation amplifiers with required characteristics (slew rate $\geq 40\text{V}/\mu\text{s}$). The signal is inverted and amplified to match the A/D converter input range.

Main problems in realization of this module are precise detection of impulses peak levels and pile-ups rejection system. Pile-up happened when detector absorbs two gamma rays in very short interval. Second impulse is attached to the first, and its amplitude is degenerated so it's larger than it should be. This impulse is rejected and the pile-up counter is incremented.

Those problems can be solved using fast A/D converter (10 - 40MS/s) and FPGA, or by hardware detection of signal peaks. The designed tool uses hardware detection of signal peaks, shown in fig 1. This circuit contains two operation amplifiers (the first amplifier works as ideal diode, and the second one as buffer) and a capacitor. The capacitor is being charged while the signal is rising. If signal is falling, the potential on the capacitor remains the same, until it's discharged (reset).

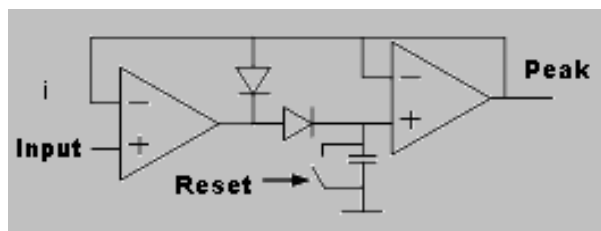


Figure 1- Hardware detection of signal peaks

Impulses peak levels are acquired by peak detectors. This circuit holds impulse highest value until it's been acquired. In standard SGR tool there is typically one peak detector, and after first impulse has been detected, all impulses has been rejected, until system finished first impulse conversion. This tool has two parallel peak detectors. Impulses have been passed alternately to these detectors by analog switch. This analog-switch is managed by a special logic circuit, which contains two comparators and a flip-flop. The comparators detect when the signal is higher than noise level, and when the signal falls. The flip-flop is controlling the analog switch, depending on comparator outputs.

III. PULSE PILE-UP AND PILE-UP REJECTION

Pulse pile-up happens when pulses arrives closer in time than the 'pulse resolution time' for the system^[2]. Fig. 2 shows an example of a 1st order pulse pile-up where pulse 2 is riding on the tail of pulse 1. When this occurs the system can't measure the pulse heights correctly. Depending on the system, if the pulses are very close in time the system will simply record the two pulses as a single event with combined pulse amplitude (Pulse 1 + Pulse 2),

If the pulses are spaced further apart the system may simply accepts both events and record them with incorrect pulse amplitude, this is known as tail pile-up. In either case the events will end up in the wrong energy channels and the spectrum will be contaminated leading to incorrect results when the spectra are further analyzed.

Fig. 3 shows the effect 10% 1st order peak pile-up has on a 137Cs spectrum. The clean spectrum has no recorded events above the photo peak at 662 keV whereas the pile-up spectrum has recorded events up to 2 x 662 keV. Higher order pile-ups will produced a peak a 3 x 662keV, 4 x 662keV etc. The result of tail pile-up is a much more blurred picture.

A good spectrometer will have build in pile-up rejection to minimize the effect of pile-up. The number of pile-up events will be smaller as the pulse resolution time gets smaller. Unfortunately as two pulses gets closer and closer it gets harder to separate them and at some minimum gap between consecutive pulses they can't be separated. Below some minimum resolution time, τ_{min} , pulse pile-up cannot be prevented. However, consecutive pulses with a separation between τ_{min} and τ can be detected and rejected.

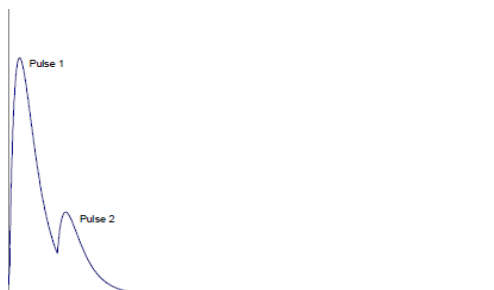


Figure 2 –Pulse pile-up

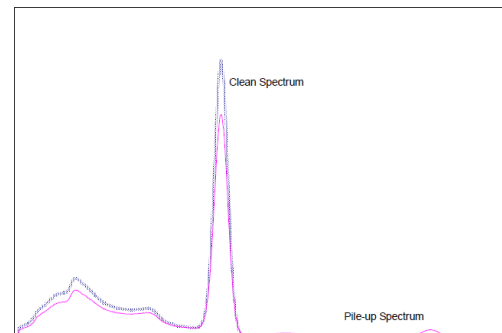


Figure 3 – Cs137 Spectrum with and without pulse pile-up

In fig. 4 is shown block diagram of pulse height detection system.

The pulse height algorithm is^[3]: the signal is connected to the first peak detector, until it reaches its maximal value. When the logic detects that the signal is falling, the flip flop changes its output state. Simultaneously, analog-switch connects the input signal to second peak detector, and starts the signal acquisition, from the first peak detector. When the signal conversion is finished, next peak is processed by the second peak detector.

Advantage of this solution is possibility to acquire two impulses that is happened in very short interval, because second impulse can be acquired even first one is not converted yet.

Time period needed for one impulse acquisition is 3-4 μ s, this is very short period, usually length of impulses are 5-10 μ s, and so almost all impulses can be acquired. If time interval between two impulses is too short ($\leq 2\mu$ s), pile-up is happened and second impulse has been rejected, also pile-up counter has been increased.

Peak conversion is done in 12-bit A/D converter of dsPIC33f microcontroller. This impulses have been sorted by their amplitudes in 256 or 512 channels, depends of surface settings. Almost all older systems have only 256 channels, and by using 512 channels is possibly to have more precise detection of desired peak in spectrum, and also to more easily distinguish two near peaks in gama spectrum. Also, it is possible to send commands from surface to tool to adjust minimum and maximum channel of spectrum.

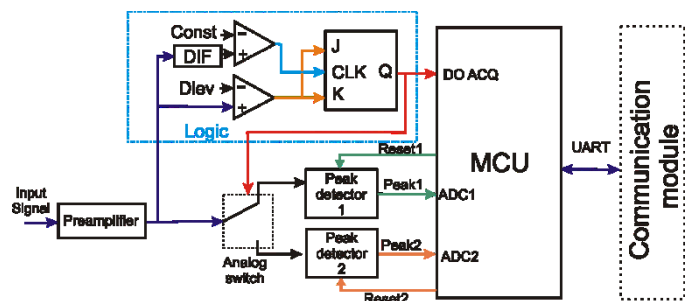


Figure 4 - Pulse height detection system

Since characteristic peaks of : 40K, 232Th and 238U or other isotopes can slide trough the spectrum when the temperature in borehole is significantly changed, operator from surface can also adjust high voltage on detector, which has affect on the amplitude of signals, therefore it adjust spectrum.

Besides the previously explained spectrum, the tool also sends some additional parameters. Those parameters are: head voltage, temperature inside the tool, total number of gamma pulses, number of pile-ups, two counter channels and one analog channel.

Processed results are sent to line transceiver unit. This unit forward these results to the surface; also it receives commands from the surface and forwards it to the pulse height analyzer unit. To the surface data has been send by trough a one wire cable with a plate. Same wire is used for communication and for powering the tool, so reception part of this unit need to filter DC component from communication signal. Transmitting part of the unit integrate communication signals into power line. For communication “Manchester protocol” is used. Main advantage of this protocol is differentially set of logic levels to power line voltage level. This unit also collects and sends additional data: Cable Head Voltage, temperature, counters data, etc. Core of this module is microcontroller from dsPIC33f series.

IV. FIELD TEST

First, IDSGRT tool was tested on the test well in Gensendorf, and after that in the commercial wells in Serbia. On fig. 5, Warrior logging screen is shown.

Before the logs, IDSGRT was calibrated with calculated stripping factors for IDSGRT and Baker Atlas mix bucket. Inner diameter of mix bucket is 3 5/8“. Observed count rates was ten times less than for Baker Atlas 3-5/8“ tool in the K, U and Th windows, and 4 times less than total gamma rays.

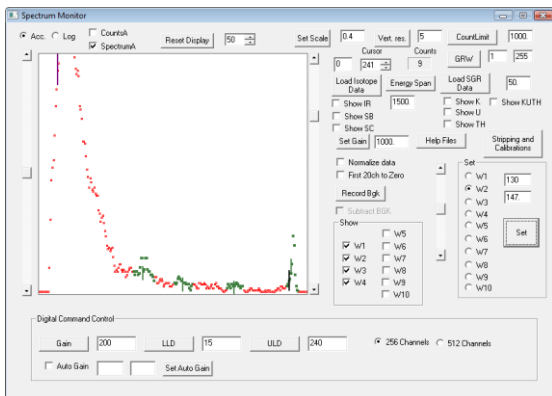


Figure 5 – Warrior Logging Screen

Stripping equations and gains for IDSGRT were (1):

$$K_s = K - 0.3U - 0.2Th$$

$$U_s = U - 0.26Th$$

$$Th_s = Th$$

(1)

$$K_{gain} = 0.1324$$

$$U_{gain} = 2.5639$$

$$Th_{gain} = 7.2086$$

Baker Atlas Digital Spectral Gamma ray tool was used in the same wells. Result was shown in the fig. 6 and fig. 7.

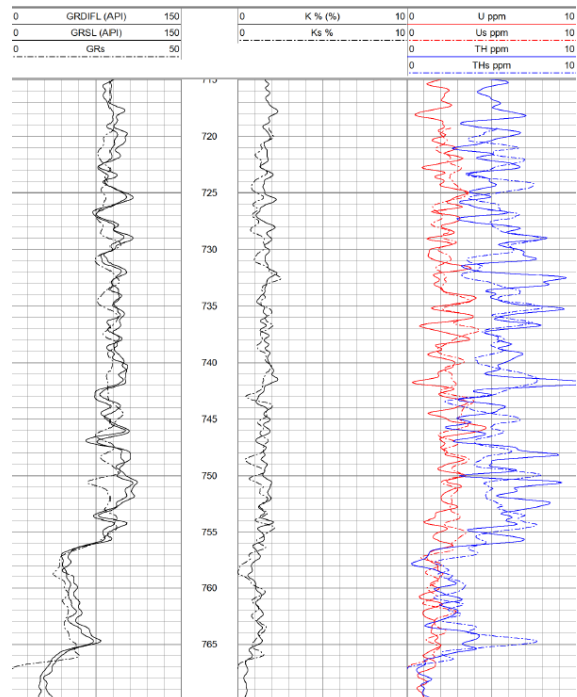


Figure 6 – Vertical well

Left track, total GR's,

Right Tracks - K Potassium Baker Atlas Tool Ks, Potassium IDSGRT, U is Uranium Baker Atlas Tool, Us is uranium IDSGRT, TH is thorium Baker Atlas Tool, THs is thorium IDSGRT

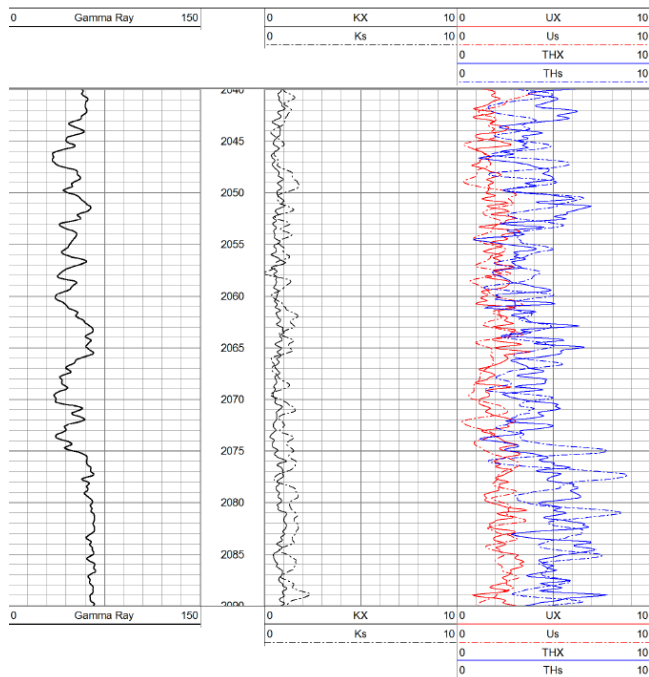


Figure 7 –Inclined well, 46deg.

Left track, total GR,

Right Tracks - K Potassium Baker Atlas Tool Ks, Potassium IDSGRT, U is Uranium Baker Atlas Tool, Us is uranium IDSGRT, TH is thorium Baker Atlas Tool, THs is thorium IDSGRT

TECHNICAL CHARACTERISTIC

Length: 156cm

Weight: 10.5kg.

Diameter: 45mm

Measuring point: 41cm from the tool bottom

Working voltage: 120v

Working current: 70mA

Spectrometry: 256/512 energy channels.

KUTh Spectrum calibrator: N.A.

Spectrum Peak verifier: any

Surface equipment: WARRIOR STIP panel, Hotwell PNN panel

Tool usability: Natural Gamma spectrometry, Isotope tracer

Software compatibilities: Warrior acquisition software

Communication: Digital, Manchester 20KHz, up to 2.7 data frames per second

Data Frame: 267 words

Channels: 256 channels for spectrum in all working modes, time channel, pulse pile up indicator, cable head voltage, flask temperature, 2 counters channels, 1 A/D channel.

Pulse pile-up capabilities: detectable, not correctable – presented as output on the log

Working modes:

Mode 0 – sleep mode: auxiliary sensors works, GR ray sensors switched off, high voltage on minimum;

Mode 1 – 256 energy channels spectrum presentation

Mode 2 – 512 energy channels spectrum presentation

Spectrum adjustment:

Gain command,

LLD - low level height discrimination

ULD- upper level, of pulse height, discrimination.

Temperature range:

Without flask – 120 deg C, one hour

With flask – 190 deg C, half hour, 170 deg C, 2 hours

V. CONCLUSION

With new digital spectral gamma ray tools, communication errors and environment noise were eliminated by placing pulse height analyzer module into the tool, and sending results by reliable digital protocol. A resolution of 512 channels can give a better interpretation quality especially in isotope tracing. With advanced pile-up rejection system it's possible to measure even highest gamma ray spectrum.

ACKNOWLEDGMENT

This paper is partially supported by Ministry of Sciences and Technology of Serbia as the part of the projects "Development of systems and instruments for investigation water, oil and gas", No TR11006.

REFERENCES

- [1] G. Mančić, St. Martinović, M. Živanov, "Geofizički karotaž – osnovni fizički principi", DIT Naftagas, Novi Sad, 2002.
- [2] O.Serra, "Fundamentals of well-log interpretation", ELSEVIER SCIENCE PUBLISHERS 1993
- [3] Hotwell, Ges.m.b.H., "SGR Tool – Maintenance Manual" 2010.(unpublished)

One solution for the realization of SPR/SP probe in geophysical measurements

Zsolt Varga
Novilog
Novi Sad, Serbia
zsolt.varga@vipmail.hu

Nebojša Cvijić
Novilog
Novi Sad, Serbia
nebojsac@uns.ac.rs

Viktor Dogran
Novilog
Novi Sad, Serbia
dr.wigan@gmail.com

Nemanja Vukoje
Novilog
Novi Sad, Serbia
nemanjavu@gmail.com

Miodrag Brkić
Faculty of Technical Sciences
Novi Sad, Serbia
brxnet@yahoo.com

prof. dr. Miloš Živanov
Faculty of Technical Sciences
Novi Sad, Serbia
zivanov@uns.ac.rs

Abstract—When investigating the geophysical properties of the soil we measure different physical parameters down in boreholes using different probes. The common method for electrical resistance measurement is when passive probe electrodes are lowered down to the hole which are connected to a current generator and voltage measurement unit, located on the surface. The main disadvantages of these systems are the sensitivity to surface interferences and the use of multiple wire cables for probe to surface connection. Here is described an improved solution in terms of immunity to interference, number of cables and compatibility with other borehole logging equipment. (Abstract)

Keywords: *SPR measurement / SP measurement / soil resistivity measurement / borehole.*

I. BOREHOLE GEOPHYSICAL LOGGING

Borehole geophysical logs are quantitative measurements of soil's physical parameters. To provide quantitative logs, properly calibrated probes (or sensors) that measure different physical properties of the formation around the boring are lowered down the hole to record continuous data. A single or multi-conductor cable on a motorized winch controls the sonde, and transmits data back up to a computer and graphic display. Probes consist of sensors to measure data of interest, electronics for processing signals from sensors and communication unit. Often, multiple logs are recorded for a

single boring – each measuring a different property – to allow more complete knowledge of subsurface.

The main components of the logging systems are (Fig. 1): 1 - surface unit for analysis and monitoring of measured results. 2 - cable for lowering the probe through the tested well and communication link between the measuring instruments and surface units. 3 - measuring probe.

II. SOIL RESISTANCE AND NATURAL SELF-POTENTIAL

The most common measured physical parameters in the borehole are the electrical resistivity and natural self potential. The acquired logs are used for fracture zone identification, sand vs. clay layer discrimination, identification of water-bearing zones, detection of mineralization and detection of metal-bearing zones.

Natural self potential or spontaneous potential (SP) is usually caused by charge separation in clay or other minerals, due to the diffusion of ions through the pore space of rocks, or by natural flow of a conducting fluid through the rocks.

Single-point-resistance logs record the electrical resistance between the borehole and an electrical ground at land surface. In general, resistance increases with grain size and decreases with borehole diameter, density of water-bearing fractures, and increasing dissolved-solids concentration of borehole fluid. A fluid-filled borehole is required for single-point-resistance logs,

and they are run only for the saturated part of the formation below the casing.

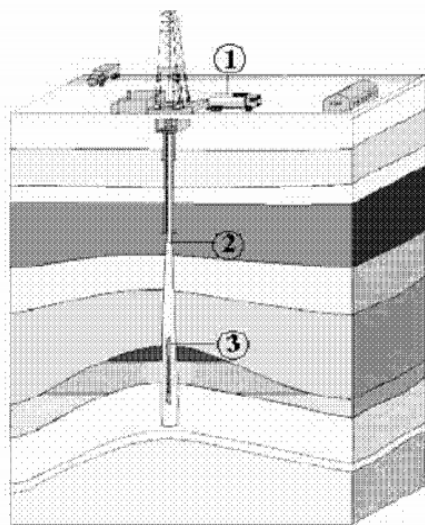


Figure 1. Borehole geophysical logging

III. RESISTANCE MEASUREMENT

The functionality principle of the classical resistivity probe is given on the (Fig. 2). One pole of the current source is grounded on the surface, the other pole is connected to the transmitting electrode down the well which can be modelled as a point source of electric charge.

The potential difference between the point and at distance r from the source and a far reference point can be described with equation (1). Using equation (2) and (3), equation (1) can be written down in form (4). Solving the integral, we get as result equation (5) [1]. From the last equation we can see that if $r \ll a$, $V(r)$ is defined mostly with R_1 , and values R_2 and R_3 have much less influence to the numerical result. In few words the voltage potential measured close to the point source is in linear relation with the resistivity of the ground around the electrodes.

To avoid disturbances, in the improved version the reference electrode (Bridle) is mounted on a long cable above the probe, and lowered down to the well.

$$V(r) = \int E dr \quad (1)$$

$$E = JR \quad (2) \quad J = \frac{I}{4\pi r^2} \quad (3)$$

$$V(r) = \frac{I}{4\pi} \left[R_1 \int_r^a \frac{1}{r^2} dr + R_2 \int_r^b \frac{1}{r^2} dr + R_3 \int_r^c \frac{1}{r^2} dr + \dots \right] \quad (4)$$

$$V(r) = \frac{I}{4\pi} \left[\left(\frac{1}{r} - \frac{1}{a} \right) R_1 + \left(\frac{1}{a} - \frac{1}{b} \right) R_2 + \left(\frac{1}{b} - \frac{1}{c} \right) R_3 + \dots \right] \quad (5)$$

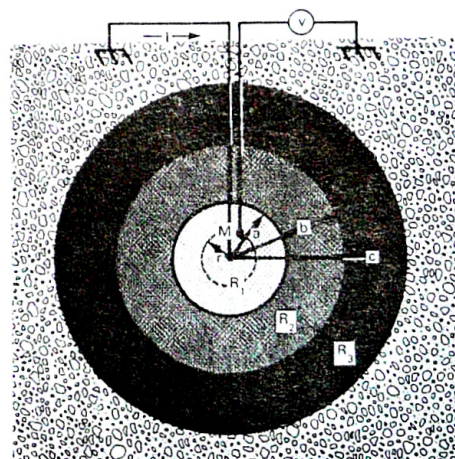


Figure 2. Resistivity measurement

IV. SYSTEM DESCRIPTION

The Current transmitter generates sinusoidal AC current for the resistance measurement. The Receiver unit measures the voltage potential difference between the two electrodes, calculates the resistance, sets the Current transmitter output value and communicates with the Communication / Power supply module. The amplitude of the output current is modified according to the soil layer's resistance, to achieve maximum performance within all conditions. The Communication / power supply module acts as communication interface, provides bi-directional communication with the surface unit through one wire cable and powers the Current transmitter and the Receiver. The supply voltages are galvanically isolated from the surface unit, to ensure that the measurement reference point (Bridle) is independent from any other voltage potentials. (Fig 3.). In practical applications to improved the measurement quality, the SPR/SP probe is used with Gamma sonde, which detects the soils radioactivity. In the final designs, these two sondes are often built together, or can be connected, and used as one measurement line.

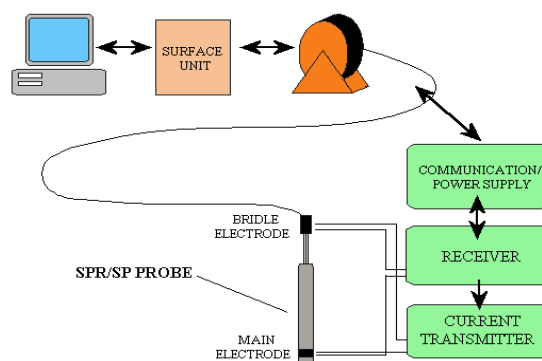


Figure 3. Logging system diagram

A. Current transmitter

The key part of the probe is the alternating current source. It generates 1kHz AC current in the range of 1 -30 mA with 12V maximal output voltage.

The circuit is constructed as two linear voltage controlled DC current generator and two switching elements. The block diagram of the circuit is presented on Fig 4. The microcontroller with two D/A converters generates half-periods of the sine wave which have 180° phase difference. The switching transistors are opened and closed alternately in the time of the zero crossing of the sine wave, forcing the current to flow between A and B points to one direction in every first half-period, and in reverse direction in every second half-period. The resulting alternating current between A and B points is galvanically isolated using an isolation transformer at the output of the circuit. The main advantages of the described configuration is it's high output impedance, robustness, to supply noise and easy tunability. Only two resistors have to be matched to achieve fully symmetrical output signal.

The control of the Current transmitter was done by a 16 bit dsPIC33FJ12MC201 microcontroller. The controllers inbuilt serial port is used for the communication with Receiver unit.

To keep the power dissipation at low levels the circuit is powered from 5V and 15V supplies. In advanced configuration for high temperature applications a Buck regulator is added to the module to additionally reduce dissipation. While measuring small resistances the microcontroller can reduce the current source's supply voltage, to keep the transistors heat generation at minimal level.

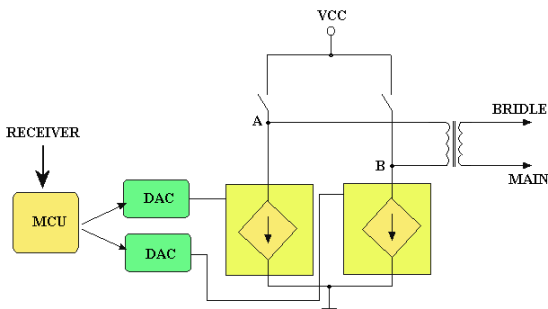


Figure 4. Current transmitter

B. Receiver

To precisely measure SP and SPR, the input signal is separated into two components before the AD conversion. The Receiver's analog input circuit has two input channels.

The first channel is built up from voltage buffers and 2 pole Bessel type HP and LP filters. This extracts the 1kHz component which is the voltage drop caused by the soils resistance. The second channel is built up from input buffer, 2 pole Bessel-type LP filter and amplifier with gain= 4.9. This channel passes trough only the DC component (SP). (Fig. 5)

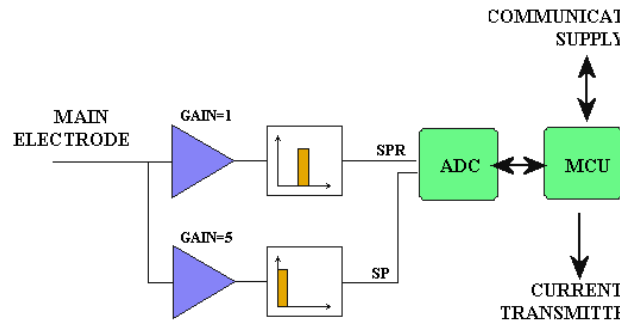


Figure 5. Receiver circuit

The Recivers circuit is built around the Texas Instrument's ASD8557 A/D converter and Microchip's dsPIC 33FJ128GP804 microcontroller. In this configuration the maximal conversion rate is 100 ksamples/s for each channel with 14bit resolution and 85dB signal to noise ratio. The input range of the AD converter can be switched from +12V to +6V and to increase the resolution while measuring small signals. After the AD conversion the microcontroller calculates numerical values of the SPR and SP and transfers them to the Communication/ power supply module.

C. Communication/Power supply module

The probe is connected with one wire shielded cable to the surface unit. The same wire is used as power line and bidirectional communication line. Because the cable length can be several km or more, the probes external supply is 60 VDC. It is converted to 15VDC and 5VDC with high efficiency flyback converters.

The data transfer is realized in the form of electrical impulses, with pre-defined voltage levels and duration in accordance with the used communication protocol. Before transmitting the information is transformed into serial data and sent in form of negative pulses. The negative pulses cause voltage drops on the line which can be easily detected on the reception side (Fig. 6). The main advantages of this type of signal transmission are simple implementation, robustness of transmitting and receiving systems, as well as a correct data transfer.

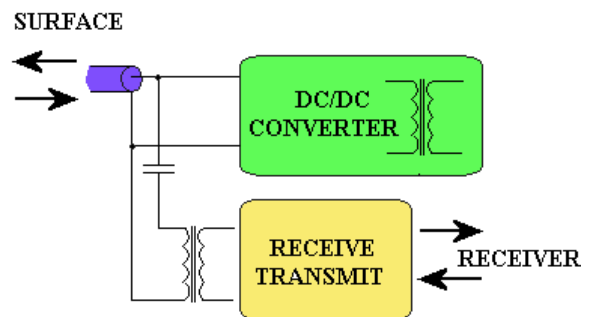


Figure 6. Communication / Power supply unit

D. Gamma probe

The Gamma probe measures the soil's natural gamma radiation. Clay layers have detectable radiation, what is very useful at sand vs. clay layer detection. SP/SPR values in combination with gamma radiation level, gives much more precise description of the soils layer. The measurement circuit consists of a scintillation detector, high voltage power supply for detectors polarization, and signal processing unit. Detector is polarized with high voltage supply. When radioactive particle passes through the crystal in the detector, an impulse is generated on the output of detector. Amplitude of the impulse depends on the energy of the particle. The signals processing unit accepts and regulates impulses from the detector and counts all the impulses, and additionally can count from ^{40}K spectrum of gamma ray. The Gamma probe is connected with the Communication/Power supply unit. The measurement results are sent to the surface multiplexed with the SP/SPR data.

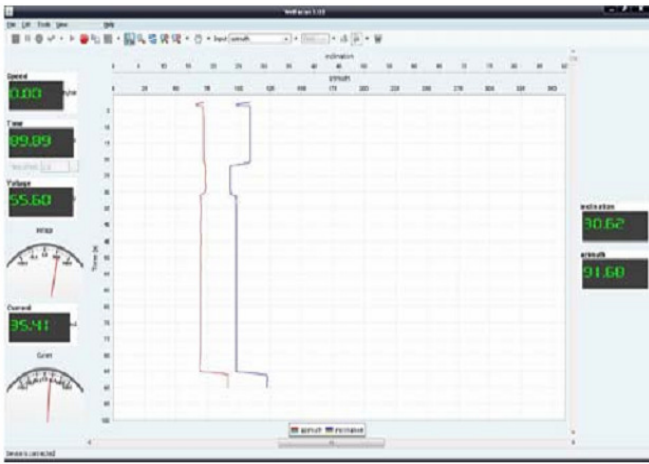


Figure 7. Logging software screenshot

E. Surface Unit

The surface unit contains the 220 V mains power supply and the communication interface which ensures the communication between the sonde and the users computer. For the system's control we use the "WellScan" software. It is a complete solution for control and data acquisition. User with this software can control the mechanism by which the probe is lowered into the borehole, capture data sent by the probe and record the probes actual depth. (Fig. 7)

V. CONCLUSIONS

The entire sonde is designed in SMD technology. By placing the whole electronic into the probe's housing, and lowering the referent electrode into the well, we achieved that the measuring circuit is far away enough to terminate the bad influence of the surface disturbances. The digital transfer totally eliminates the errors of the cable losses, and simplifies the connection to one wire.

ACKNOWLEDGMENT

This paper is partially supported by Ministry of Sciences and Technology of Serbia as the part of the projects "Development of systems and instruments for investigation water, oil and gas", No TR11006.

REFERENCES

- [1] G. Mančić, St. Martinović, M. Živanov, "Geofizički karotaž – osnovni fizički principi", DIT Naftagas, Novi Sad, 2002. (In Serbian) pp. 21–30
- [2] Brkić Miodrag, Laslo Nađ, Viktor Dogan, Miloš Živanov "Jedno rešenje za realizaciju prenosa informacija u sistemima za geofizički karotaž" (In Serbian) ,unpublished.

Uređaj i postupci za ispitivanje metroloških karakteristika analognog elektrokardiografa

Platon Sovilj, Ivan Župunski, Zoran Mitrović, Vladimir Vujičić
 Departman za energetiku, elektroniku i telekomunikacije
 Fakultet tehničkih nauka
 Novi Sad, Srbija

Sadržaj—U radu je prikazan uređaj za ispitivanje metroloških karakteristika elektrokardiografa realizovanih preko analognih elektronskih kola. Takođe su prikazani značajni delovi postupaka za ovo ispitivanje. Uređaj i postupci se zasnivaju na preporukama međunarodne organizacije za legalnu metrologiju.

Ključne reči; elektrokardiograf; metrologija; metrološke karakteristike; međunarodni propisi u metrologiji

I. UVOD

Elektrokardiograf (EKG) je medicinski merno-akvizicioni uređaj za zapisivanje električnih aktivnosti srca (tzv. EKG signala). Elektrokardiografi se mogu podeliti na analogne i digitalne, ako sistem posmatramo iz perspektive činjenice da li se vrši digitalizacija analognog EKG signala ili ne. Ono što je zajedničko i za analogne i za digitalne EKG sisteme jesu postojanje elektroda i kablova koji povezuju elektrode sa ulazima u pojačavački blok, postojanje pojačavačkog bloka čija je funkcija pojačanje slabih EKG signala (kao i odgovarajuća filtriranja i potiskivanja smetnji) kao i blok za zapisivanje pojačanih EKG signala[1].

Za razliku od analognih EKG sistema, digitalni EKG sistemi imaju i blok za digitalizaciju (između pojačavačkog bloka i bloka za zapisivanje). Naravno, realizacija bloka za zapisivanje je kod digitalnih sistema takođe drugačija (posebno jer se on proširuje i sa funkcijama za obradu signala), a i pojačavački blokovi se projektuju integralno sa projektovanjem digitalnih blokova, što utiče i na realizaciju pojačavačkih blokova. Na slici 1 se mogu videti principske šeme analognih i digitalnih elektrokardiografa[2].

Pojednostavljeno rečeno, elektrokardiograf je u stvari precizan galvanometar koji meri potencijale sa površine tela a ti potencijali potiču od ćelija u srcu. U tu svrhu, elektrokardiograf snima 12 odvoda koji predstavljaju razliku električnih potencijala između elektroda postavljenih na telo. Odvode možemo podeliti u dve grupe: periferne odvode (označene sa I, II, III, AVR, AVL, AVF) i perkordijalne odvode (označene sa V1, V2, V3, V4, V5, V6). Standardne odvode (označene I, II, III) koristio je Ajnthoven i to su istorijski gledano najstariji odvodi. Svaki od njih meri razlike potencijala između dve odgovarajuće tačke na telu. Odvod I ili D1 meri potencijale između leve i desne ruke, II (D2) meri između desne ruke i leve noge, a odvod III (D3) između leve ruke i leve noge[3].

Međunarodna organizacija za legalnu metrologiju (OIML) je svetska, međuvladina organizacija čiji primarni cilj je harmonizacija propisa i metroloških kontrola koje primenjuju nacionalne metrološke organizacije.

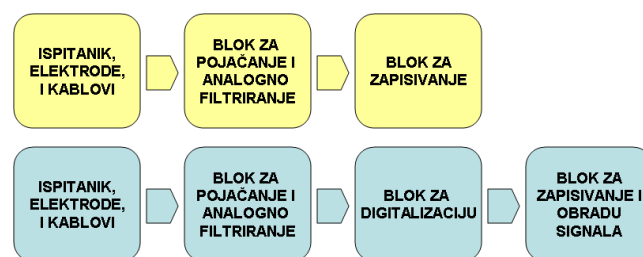
Postoje dve vrste OIML publikacija[4]:

- Međunarodne preporuke (koje se označavaju sa OIML R) u kojima su definisane metrološke karakteristike za određene merne instrumente, kao i metode i oprema potrebni za ispitivanje tih metroloških karakteristika. Namena preporuka je da budu primenjene u najširem mogućem opsegu od strane država članica OIML-a.
- Međunarodni dokumenti (oznake OIML D) koji su informativnog karaktera i čija je svrha unapređenje rada metroloških organizacija.

Publikacija OIML R 90 (E), koja se tiče elektrokardiografije, je pod odgovornošću OIML tehničkog komiteta *TC 18/SC 4 Bio-električni instrumenti*. Ova publikacija/preporuka je namenjena jednocanalnim i višecanalnim elektrokardiografima sa analognim kolima koja linearno pojačavaju i prikazuju signale srčanih potencijala na koži tela tokom vremena.

Preporuka se ne primenjuje na nelinearne sisteme kao što su digitalni elektrokardiografi, vektorkardiografi, monitori srca i ostali slični instrumenti posebne namene[4].

Preporuka je namenjena za upotrebu od strane metroloških službi i ostalih ovlašćenih vladinih organizacija.



Slika 1. Principske šeme realizacije analognog merno-akvizicionog EKG sistema (gore) i digitalnog merno-akvizicionog EKG sistema (dole).

TABELA I. METROLOŠKE KARAKTERISTIKE ELEKTROKARDIOGRAFA

Metrološka karakteristika	Provera prilikom pregleda	
	prvog	periodičnog i vanrednog
Relativna greška merenja električnog napona	da	da
Relativna greška postavljanja osetljivosti	da	ne
Relativna greška merenja vremenskih intervala	da	da
Relativna greška brzine zapisivanja	da	ne
Histerezis zapisivanja	da	ne
Relativne greške unutrašnjeg kalibratora i vremenskog markera	da	da
Premeštaj	da	ne
Vremenska konstanta	da	ne
Karakteristika amplitudno-frekvencijskog odziva	da	da
Ulazna impedansa	da	ne
Greška zapisivanja električnog napona usld uticaja kola spajanja - za Goldberger-ove i Vilson-ove odvode - za Frank-ove odvode	da da	ne ne
Faktor potiskivanja zajedničke smetnje	da	da
Širina bazne linije	da	ne
Pomeraj bazne linije	da	da
Unutrašnji nivo šuma u odnosu na ulaz	da	da
Koeficijent preslušavanja između kanala	da	ne

II. PREGLED I METROLOŠKE KARAKTERISTIKE ELEKTROKARDIOGRAFA

U preporuci OIML R 90 su specificirane metrološke karakteristike, metode i oprema za proveru kao i zahtevi za početni pregled i za naredne preglede elektrokardiografa. Metrološke karakteristike uključuju greške u merenju naponskih signala, vremenskih intervala i ostale karakteristike koje utiču na tačnost merenja. Postupci pri merenju su dati za određivanje relativnih greški merenja definisanih karakteristika instrumenta.

Ove provere i kontrolni postupci pružaju osnovu za proveru da ispitivani elektrokardiografi imaju odgovarajuće tačnosti potrebne za klinička merenja.

Pregled elektrokardiografa se izvršava nakon perioda prethodnog zagrevanja specificiranog od strane proizvođača. Pregled mora obuhvatiti proveru postojanja mogućnosti otklona traga zapisivanja i mogućnosti postavljanja brzine zapisivanja. Zatim da li je dostupan ugrađeni signal za etaloniranje, kao i funkcionisanje prekidača za osetljivost.

Ukoliko elektrokardiograf poseduje pomoćnu memoriju za memorisanje informacija o narednom zapisivanju na istoj ili različitoj brzini, koristi se termin „vremenska baza“ umesto brzina zapisivanja. Za sva ispitivanja koja se vrše, mora se koristiti kabl pacijenta, koji preporučuje proizvođač.

Prilikom određivanja metroloških karakteristika elektrokardiografa svako merenje se ponavlja najmanje tri puta i svaka izmerena vrednost mora biti unutar dozvoljenih granica propisanih publikacijom OIML R 90. Merenja je potrebno ponoviti za svaki kanal elektrokardiografa. Ako nije drugačije naglašeno, birač odvoda ili program za izbor odvoda moraju biti postavljeni tako da se ulazni test signal električnog napona dovodi na sve kanale istovremeno. Merenja na papirnom zapisu se vrše tako što se eliminiše širina linije traga.

Metrološke karakteristike koje se ispituju prilikom pregleda elektrokardiografa prikazane su u tabeli 1.

III. PROJEKTOVANJE I STRUKTURA UREĐAJA

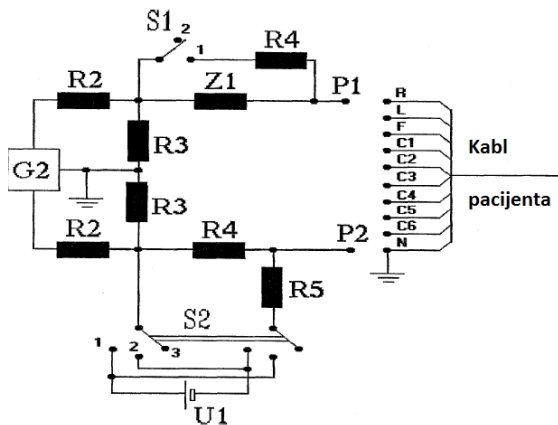
U ovom poglavlju su prikazani projektovanje i struktura uređaja koji je fizički realizovan u Laboratoriji za električna merenja Fakulteta tehničkih nauka u Novom Sadu. Opremu potrebnu za pregled elektrokardiografa čine merni instrumenti sa definisanim vrednostima opsega i greške (vidi tabelu 2), kao i odgovarajuća električna kola potrebna za ispitivanje pojedinačnih metroloških karakteristika. Ova električna kola su realizovana na štampanim pločama i predstavljaju osnovu uređaja za ispitivanje elektrokardiografa. Komponente električnih kola su u preporuci OIML R 90 definisane kako po pitanju vrednosti, tako i po pitanju tolerancije.

TABELA II. OPREMA ZA PREGLED ELEKTROKARDIOGRAFA

Merni instrument	Simbol	Osnovne karakteristike
Generator električnog napona sinusoidnog oblika	G1	Opseg frekvencije: 0,01 Hz do 150 Hz Maksimalna greška frekvencije: $\pm 1\%$ Opseg efektivne vrednosti električnog napona: 50 mV do 20 V Maksimalna greška električnog napona: $\pm 2\%$ Simetrični izlaz
Generator električnog napona pravougaonog oblika	G2	Opseg frekvencije: 0,01 Hz do 150 Hz Maksimalna greška frekvencije: $\pm 1\%$ Opseg električnog napona: 50 mV do 5 V Maksimalna greška električnog napona: $\pm 2\%$ Simetrični izlaz
Izvor jednosmernog električnog napona	U1	Električni napon: 1,5 V Maksimalna greška: $\pm 5\%$
Voltmetar za merenje naizmeničnog električnog napona	V	Opseg efektivne vrednosti električnog napona: 0 V do 20 V $R_{in} \geq 300 \text{ M}\Omega$ Maksimalna greška: $\pm 10\%$ Frekvencija: 10 Hz do 100 Hz
Izvor jednosmernog električnog napona	U2	Električni napon: 5 kV Maksimalna greška: $\pm 5\%$

TABELA III. PREGLED REALIZOVANIH ELEKTRIČNIH KOLA UREĐAJA

Merna šema	Oznaka štampane ploče	Sekcija interfejsa
Merna šema za određivanje greške merenja električnog napona, relativne greške merenja vremenskog intervala, relativne greške unutrašnjeg kalibratora i vremenskog markera, premeštaja i vremenske konstante.	PCB 1	Panel 3
Merna šema za određivanje relativne greške postavljanja osetljivosti, relativne greške brzine zapisivanja i karakteristike amplitudofrekvencijskog odziva.	PCB D1	Panel 1
Merna šema za određivanje histerezisa zapisivanja.	PCB 3	Panel 2
Merna šema za određivanje ulazne impedanse.	PCB 4	Panel 4
Merna šema za određivanje greške zapisivanja električnog napona usled uticaja kola spajanja.	PCB 5	Panel 5
Merna šema za određivanje faktora potiskivanja zajedničke smetnje.	PCB 6	Panel 8
Merna šema za određivanje unutrašnjeg nivoa šuma u odnosu na ulaz.	PCB 7	Panel 7
Merna šema za određivanje koeficijenta preslušavanja između kanala.	PCB 8	Panel 6
Merna šema za određivanje jačine električne struje u kolu pacijenta.	PCB 9	Panel 9
Merna šema za ispitivanje zaštite elektrokardiografa od efekta defibrilacije.	PCB 10	Panel 10



Slika 2. Merna šema za određivanje greške merenja električnog napona, relativne greške merenja vremenskog intervala, relativne greške unutrašnjeg kalibratora i vremenskog markera, premeštaja i vremenske konstante.

Prilikom projektovanja uređaja, kod izbora komponenti mnoge od komponenti nisu dostupne sa tačno definisanim vrednostima pa je neophodno kombinovati dve ili više

komponenti da bi se postigle specificirane vrednosti. Npr. pomoću serijske ili paralelne veze otpornika i kondenzatora. Tom prilikom je svakako potrebno voditi računa o kombinovanoj toleranciji koja mora odgovarati specificiranim tolerancijama za definisane komponente.

Kad su u pitanju definisani merni instrumenti, generator G2 (tabela 2), nije uvek lako dostupan instrument u laboratorijama, tako da je u uređaj ugrađen i pojačavač koji ima ulogu pojačanja izlaza generatora i koji može da obezbedi zahtevani napon na svom izlazu.

Interfejs uređaja je takođe veoma značajan faktor, jer elektrokardiografi imaju standardizovan interfejs koji uređaj treba da podrži. Takođe, na osnovu analize preporuke može se videti da ima prostora za redukciju interfejsa, s obzirom da je preporuka polazila od šire pretpostavke - da se svaka električna šema i njeno povezivanje sa elektrokardiografom može izraditi kao zaseban uređaj. Ovo je dovelo do optimizacije interfejsa, tako da on bude maksimalno iskorišten i pogodan za upotrebu.

Imajući u vidu ove detalje bitne za strukturu integralnog uređaja za ispitivanje elektrokardiografa, proces projektovanja uređaja je obuhvatao sledeće faze:

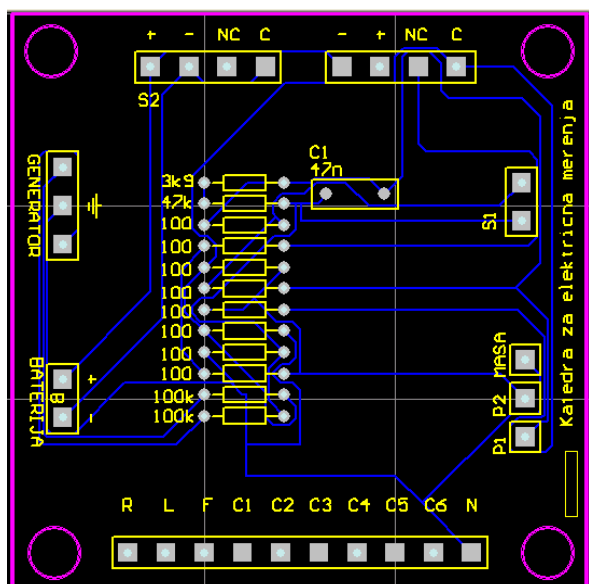
- projektovanje zahtevanih električnih kola
- projektovanje pojačavačkog električnog kola
- projektovanje interfejsa
- projektovanje kućišta

Pregled realizovanih električnih kola (tj. mernih šema) sa nazivima koji odgovaraju njihovoj upotrebi za ispitivanje pojedinačnih metroloških karakteristika dati su u tabeli 3. U tabeli je dat i pregled sekcija interfejsa koje odgovaraju štampanim pločama.

Kao primer jednog električnog kola, njegove uloge i upotrebe tokom provere elektrokardiografa dato je električno kolo za određivanje greške merenja električnog napona, relativne greške merenja vremenskog intervala, relativne greške unutrašnjeg kalibratora i vremenskog markera, premeštaja i vremenske konstante (slika 2).

Ovo kolo treba da obezbedi odgovarajući napon na izlazima P1 i P2, ali i da modeluje impedansu koja se javlja na spoju elektroda-koža i da modeluje napon polarizacije elektroda. Otpornici R2 i R3 su predviđeni kao naponski razdelnik koji treba da oslabi napon na izlazu generatora G2 na odgovarajući milivoltski nivo, što je nivo vrednosti signala koji se u praksi meri elektrokardiografom. Impedansa Z1 modeluje impedansu spoja elektroda-koža a baterija U1 modeluje napon polarizacije elektroda. Oznake kabla pacijenta R,L,F, C1-C6 i N predstavljaju standardizovane oznake za odgovarajuće odvođe elektrokardiografa.

Na slici 3 je prikazan realizacija ovog električnog kola na odgovarajućoj štampanoj ploči, a na slici 4 realizacija panela uređaja sa odgovarajućim sekcijama interfejsa.



Slika 3. Štampana ploča PCB 1 koja realizuje mernu šemu za određivanje greške merenja električnog napona.

Postupak merenja pri određivanju relativna greška merenja električnog napona je takav da se na generatoru G2 podešava frekvencija od 10Hz a vrednosti amplitude se postavljaju u skladu sa preporukom (dato u [4]). Za različite pozicije prekidača S1 i S2 na izvodima se P1 i P2 se dobijaju različiti

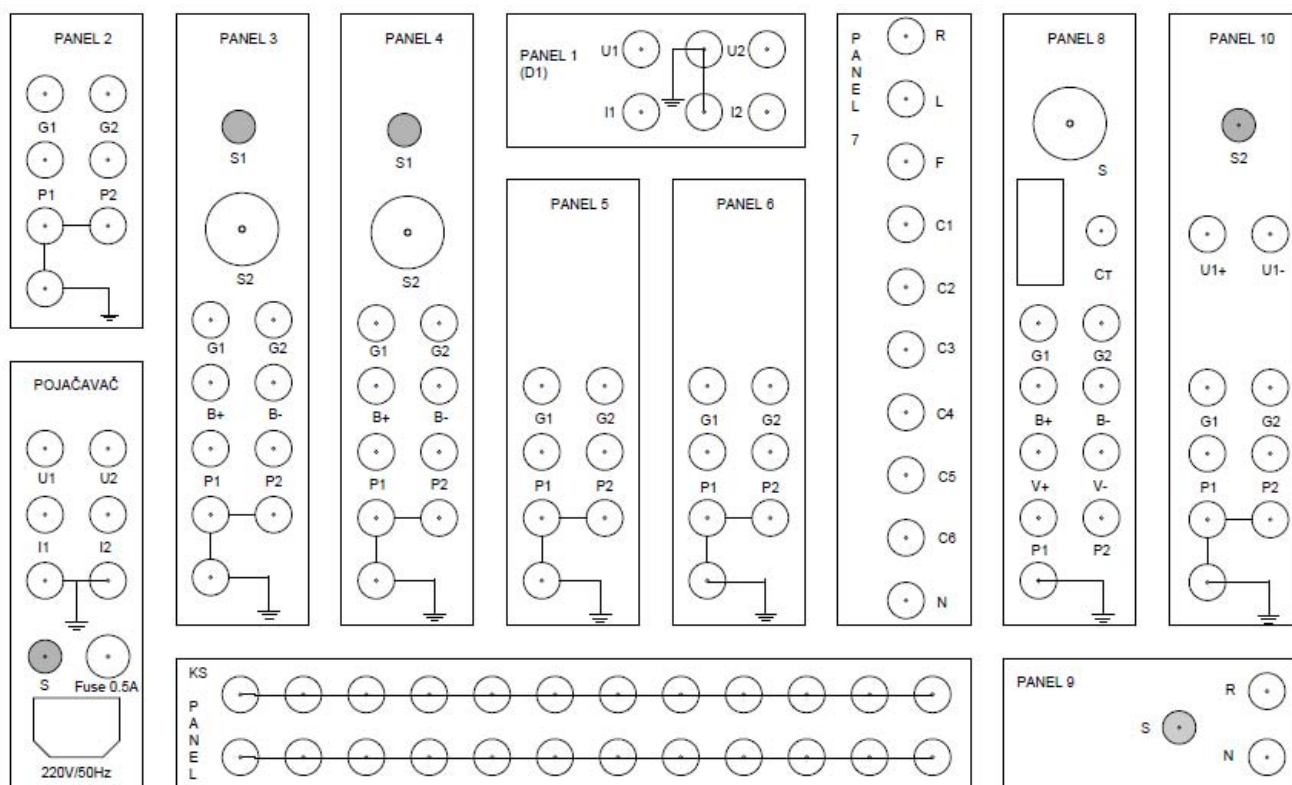
milivoltski talasni oblici napona. Relativna greška merenja električnog napona se određuje direktno merenjem amplitude električnog napona pravougaonog oblika zapisane na izlazu elektrokardiografa. Izmerena vrednost se deli sa vrednošću postavljene osetljivosti. Dobijeni rezultat se poredi sa amplitudom električnog napona pravougaonog oblika dovedenog na ulaz elektrokardiografa. Amplituda dovedenog električnog napona pravougaonog oblika se meri pomoću voltmetra i tako dobijena vrednost se uzima kao dogovorena prava vrednost.

Relativna greška merenja električnog napona, u procentima, se računa prema sledećoj formuli:

$$\delta_u = 100 \cdot (U_m - U_{ul}) / U_{ul} \quad (1)$$

gde su:

- $U_m = h_m/S_n$ amplituda, od vrha do vrha, zapisanog električnog napona pravougaonog oblika, u mV;
- h_m amplituda, od vrha do vrha, signala zapisanog na elektrokardiografu, u mm;
- S_n nazivna vrednost postavljanja osetljivosti, u mm/mV;
- U_{ul} amplituda, od vrha do vrha, ulaznog električnog napona pravougaonog oblika, u mV.



Slika 4. Nacrt panela uređaja za pregled elektrokardiografa sa odgovarajućim sekcijama interfejsa.

IV. ZAKLJUČAK

U radu je prikazan uređaj za ispitivanje metroloških karakteristika analognog elektrokardiografa. Uređaj je projektovan na osnovu preporuke OIML R 90 međunarodne organizacije za legalnu metrologiju (OIML - Organisation Internationale de Métrologie Légale). Projektovanje je uključilo projektovanje elektronskih kola i odgovarajućih štampanih ploča, formiranje odgovarajućeg rasporeda štampanih ploča u uređaju, projektovanje odgovarajućeg interfejsa uređaja prema vanjskim instrumentima i elektrokardiografu kao i projektovanje odgovarajućeg kućišta.

LITERATURA

- [1] E.J. Barbari, "Principles of Electrocardiography", in Biomedical Engineering Handbook, Vol. I, J.D. Bronzino, 2nd ed., New York: CRC Press LLC, 2000.
- [2] J. G. Webster, "Medical Instrumentation Application and Design", New York: Wiley, 1998.

- [3] Stanković S., "Fizika ljudskog organizma", PMF Novi Sad 2006.
- [4] International Organization of Legal Metrology, "Electrocardiographs - Metrological characteristics: Methods and equipment for verification", OIML R 90 Edition 1990 (E).

Abstract—Device for verification of metrological characteristics of electrocardiograph, implemented by analog electronic circuits, is presented in the paper. Some important details of verification procedures are also presented. The device and the procedures are based upon recommendations of International Organization of Legal Metrology.

Keywords—electrocardiograph; metrology; metrological characteristics; international regulations in metrology

Device and procedures for verifying metrological characteristics of analog electrocardiograph

Мерење индуктивне импедансе модификованом методом три волтметра

Љубиша Р. Голубовић
Технички факултет
Чачак, Србија

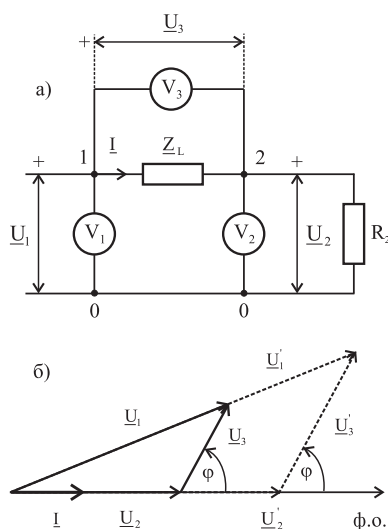
Миле К. Стојчев
Електронски факултет
Ниш, Србија

Садржај—Описана је могућност модификације класичне методе три волтметра, применом савремених технолошких достигнућа у мерној и рачунарској техници. Извршена је анализа грешака при мерењу и указано на могућност компјутеризације ове методе.

Кључне речи—мерење индуктивне импедансе; мерне методе; метода три волтметра

I. УВОД

Метода три волтметра у којима простопериодичне струје омогућава да се везе између појединих електричних величина (напона, струја, снага, активних и реактивних отпорности и проводности, импедансе, адмитансе и фазног помераја) оствари преко фазорских дијаграма напона, снаге, струје, импеданси и адмитанси. Ове везе омогућавају примену класичне методе три волтметра при мерењу напона, снаге, фазног помераја, импедансе, адмитансе и њихових активних и реактивних компоната: отпорности, проводности, индуктивности и капацитивности, те због тога, уз одговарајуће модификације и примене савремених технологија, представљају основу при конструкцији савремених мерних инструмената високе класе тачности [1,2].



Слика 1.

У принципу, метода три амперметра је заснована на фазорским дијаграмима струје, који су потпуно равноправни са фазорским дијаграмима напона. Међутим, систематска грешка амперметара, реализованих применом најсавременијих технологија, знатно је већа него систематска грешка волтметара, добијених применом истих технолошких поступака. То је због тога што је однос унутрашње отпорности волтметра и отпорности нормално коришћених пријемника (на пример грејалице) реда 1015, а однос ове отпорности и унутрашње отпорности амперметра ретко кад прелази 103. То значи да се укључењем амперметра у мерно коло струја промени за 1/103 део своје стварне вредности, односно у одсуству амперметра, док се укључивањем савременог волтметра у мерно коло напон промени за 1/1015 део своје стварне вредности.

У овом раду се разматра мерење индуктивне импедансе модификацијом класичне методе три волтметра, уз примену мерних појачавача, дигитално-аналогних и аналого-дигиталних конвертора и детектора максималне вредности простопериодичног напона (пик-детектора). Анализом грешака при мерењу указује се на могућност компјутеризације, при чему се очекује укупна грешка при мерењу реда 10^{-3} - 10^{-4} .

II. ОСНОВА МЕТОДЕ

Шема везе за реализацију класичног облика Методе три волтметра приказана је на слици 1а, а одговарајући фазорски дијаграми мерених напона \underline{U}_1 , \underline{U}_2 и \underline{U}_3 на слици 1б. Вредности напона U_1 , U_2 и U_3 читавају се на одговарајућим волтметрима V_1 , V_2 и V_3 .

Са слике 1б види се да се повећањем напона U_1 на вредност $U'_1 = kU_1$, где је k - реална константа, добија троугао напона U'_1, U'_2, U'_3 који је сличан троуглу напона U_1, U_2, U_3 , те су тиме $U'_2 = kU_2$ и $U'_3 = kU_3$.

Применом косинусне теореме на троугао напона U_1, U_2, U_3 са слике 1б имамо

$$U_1^2 = U_2^2 + U_3^2 + 2U_2U_3 \cos \varphi, \quad (1)$$

одакле је

$$\cos \varphi = \frac{U_1^2 - U_2^2 - U_3^2}{2U_2U_3}. \quad (2)$$

Нека је R_2 познато. Тада је вредност струје I кроз индуктивну импедансу Z_L дата изразом

$$I = \frac{U_2}{R_2}, \quad (3)$$

а вредност импедансе Z_L износи

$$Z_L = \frac{U_3}{I} = \frac{U_3}{U_2} R_2. \quad (4)$$

Са друге стране, реални и имагинарни део импедансе дати су изразима

$$R_L = Z_L \cos \varphi, \quad X_L = \omega L = Z_L \sin \varphi, \quad (5)$$

где су ω - кружна учестаност напона U_1 , а φ - фазни померај напона U_3 и струје кроз импедансу Z_L .

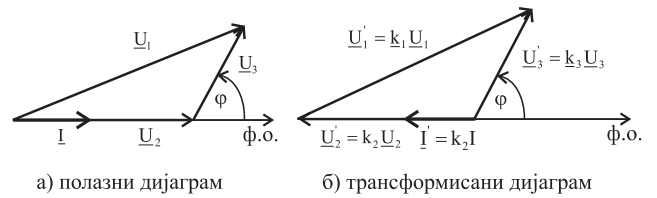
Сменом (2) у (5) добијамо отпорност R_L индуктивне импедансе и одговарајућу индуктивност L у облику

$$R_L = R_2 \frac{U_1^2 - U_2^2 - U_3^2}{2U_2^2}, \quad (6)$$

$$L = \frac{R_2}{\omega} \sqrt{1 - \left(\frac{U_1^2 - U_2^2 - U_3^2}{2U_2^2} \right)^2}. \quad (7)$$

III. МОДИФИКАЦИЈА МЕТОДЕ

Могућности модификације методе за одређивање индуктивне импедансе Z_L са слике 1а могу бити вишеструке, а начин за њихово увођење може извести из фазорског дијаграма напона са слике 1б. При томе треба имати у виду да се троугао напона U_1, U_2, U_3 може мењати у погледу дужина страница U_2 и U_3 и њихове оријентације, при сачуваној дужини странице U_1 и њене оријентације и угла φ између неоријентисаних страница $|U_2|$ и $|U_1|$. Тако на пример, напон U_2 може постати $U'_2 = k_2 U_2$, $U'_3 = k_3 U_3$, где су k_2 и $k_3 - k_3$. У случају да је k_2 - реална вредност, мања од нуле, а k_3 - одговарајућа комплексна вредност, може се фазорски дијаграм са слике 1б трансформисати у облик са слике 2б. Пошто сада меримо напоне U'_1, U'_2 и U'_3 то ће формуле (1) и (2) остати у важности при сменама $U'_1 = U_1$, $U'_2 = U_2$ и $U'_3 = U_3$.



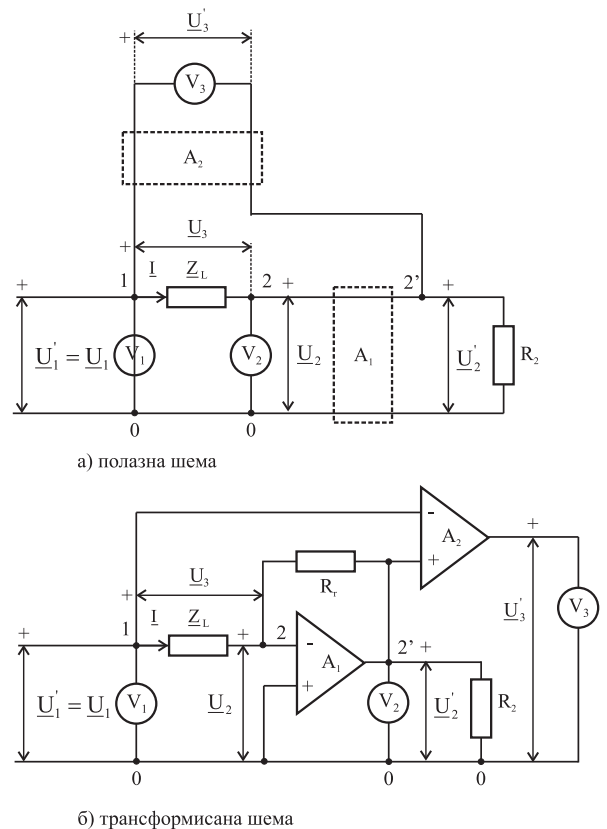
Слика 2.

Трансформисаном фазорском дијаграму са слике 2б одговара трансформисана шема са слике 3б, при чему се напон U'_2 добија као појачани напон U_1 преко операционог појачавача A_1 са индуктивним улазом, а напон U'_3 као разлика напона U'_1 и U'_2 појачана преко диференцијалног појачавача A_2 . Очитавањем волтметра V_1, V_2 и V_3 са слике 3б и сменом у израз (2) израчунавамо $\cos \varphi$. Имајући у виду израз за показивање волтметра V_2 ,

$$U'_2 = -\frac{R_r}{Z_L} U'_1 \quad (8)$$

налазимо апсолутну вредност индуктивне импедансе

$$Z_L = \frac{U'_1}{U'_2} R_r, \quad (9)$$



Слика 3.

при чему је R_L - познато, а U_1' и U_2' се добијају одговарајућим мерењима [3,4].

Отпорност R_L и индуктивност L биће

$$R_L = Z_L \cos \varphi, \quad L = \frac{Z_L}{\omega} \sin \varphi, \quad (10)$$

одакле, имајући у виду изразе (2) и (9) налазимо

$$R_L = R_r \frac{U_1' U_1'^2 - U_2'^2 - U_3'^2}{U_3'^2}, \quad (11)$$

$$L = \frac{R_r U_1'}{\omega U_3'} \sqrt{1 - \left(\frac{U_1'^2 - U_2'^2 - U_3'^2}{2U_2'^2} \right)^2}. \quad (12)$$

IV. АНАЛИЗА ГРЕШАКА И ОПТИМИЗАЦИЈА МЕТОДЕ

Анализу грешака при мерењу отпорности R_L и индуктивности L индуктивне импедансе Z_L у случају класичне методе три волтметра вршимо тако што одредимо тоталне диференцијале величина $R_L = R_L(U_1, U_2, U_3, R_r)$ и $L = L(U_1, U_2, U_3, R_r, \omega)$ датих одговарајућим изразима (6) и (7), а затим после апроксимације свих диференцијала одговарајућим прираштајима израчунавамо апсолутне средњеквадратне грешке мерења $(\Delta R_L)_{sk}(\Delta U_1, \Delta U_2, \Delta U_3, \Delta R_r)$ и $(\Delta L)_{sk}(\Delta U_1, \Delta U_2, \Delta U_3, \Delta R_r, \Delta \omega)$, као и одговарајуће релативне грешке $(\Delta R_L / R_L)_{sk}$ и $(\Delta L / L)_{sk}$. На сличан начин анализу грешака мерене отпорности R_L и индуктивности L модификованом методом три волтметра одређујемо применом математичких израчунавања $(\Delta R_L)_{sk}(\Delta U_1, \Delta U_2, \Delta U_3, \Delta R_r)$ и $(\Delta L)_{sk}(\Delta U_1, \Delta U_2, \Delta U_3, \Delta R_r, \Delta \omega)$ на основу величина $R_L(U_1, U_2, U_3, R_r)$ и $L(U_1, U_2, U_3, R_r, \omega)$ датих одговарајућим изразима (10) и (11). Међутим, ми ћемо у циљу лакшег извођења одређених важних закључака покушати да размишљамо на нешто другачији начин. На основу израза (2), (4) и (6-7) у случају класичне методе видимо да тачност одређивања величина R_L и L зависи од тачности одређивања напона U_2 и U_3 и тачности познавања отпорности R_r , односно апсолутне вредности импедансе Z_L са једне стране и тачности одређивања напона U_1, U_2 и U_3 са друге стране, односно тачности одређивања фазног помераја φ .

Применом математичких метода може се показати да је тачност одређивања параметара неког троугла (дужина страница, вредности углова, обима, површине итд.) највећа за једнакостранични троугао, а да опада са повећањем разлика дужина појединих страница. Пошто је сагласно слици 2б угао φ задат унапред, посматрани троугао напона U_1', U_2', U_3' не може бити једнакостраничан, а његова одређеност постаје најтачнија када је једнакокрак, при

међусобно једнаким страницама U_2' и U_3' ($U_2' = U_3'$). Ово је веома важан закључак за даљу конкретизацију поступка при мерењу анализираних модификације методе три волтметра.

На основу израза (2) имамо

$$\varphi = \arccos \frac{U_1'^2 - U_2'^2 - U_3'^2}{2U_2'U_3'}. \quad (13)$$

Налажењем тоталног диференцијала израза (13) и апроксимацијом појединих диференцијала одговарајућим прираштајима израчунавамо средњеквадратну грешку фазног помераја импедансе Z_L у облику

Апроксимацијом појединих диференцијала $d\varphi, dU_1, dU_2$ и dU_3 у изразу (13) одговарајућим прираштајима $\Delta\varphi, \Delta U_1, \Delta U_2$ и ΔU_3 и налажењем средњеквадратне вредности прираштаја фазе $\Delta\varphi$ добијамо

$$(\Delta\varphi)_{sk} = \sqrt{\frac{(U_1\Delta U_1)^2 + (U_2\Delta U_2)^2 + (U_3\Delta U_3)^2}{2(U_1^2U_2^2 + U_2^2U_3^2 + U_1^2U_3^2)} - U_1^4 - U_2^4 - U_3^4}. \quad (14)$$

Апсолутна средњеквадратна грешка $(\Delta\varphi)_{sk}$ добија се налажењем тоталног диференцијала израза (13) и апроксимацијом појединих диференцијала одговарајућим прираштајима. При задовољеним условима $|U_1| = |U_2| = |U_3| = |U|$ и $|\Delta U_1| = |\Delta U_2| = |\Delta U_3| = |\Delta U|$ минимална вредност ове грешке добија се у специјалном случају, када је $\varphi = \pi/3$, сагласно дијаграмима са слике Сл.2, односно када фазорски дијаграм напона U_1, U_2 и U_3 има облик једнакостраничног троугла. За било које φ на интервалу $\varphi \in (0, \pi/2)$ и задовољеним условима

$$|U_1| < 2|U_2|, \quad |U_2| = |U_3|,$$

$$\frac{|\Delta U_1|}{|U_1|} = \frac{|\Delta U_2|}{|U_2|} = \frac{|\Delta U_3|}{|U_3|}, \quad (14)$$

фазорски дијаграм напона U_1, U_2 и U_3 има облик једнакокраког троугла. У овом случају на основу израза (13) добијамо

$$\varphi(U_3 = U_2) = \arccos \left(\frac{U_1^2}{2U_2^2} - 1 \right), \quad (15)$$

$$d\varphi(U_3 = U_2) = \frac{\frac{U_1^2}{U_2^2}}{\sqrt{1 - \left(\frac{U_1^2}{2U_2^2} - 1\right)^2}} \left(-\frac{dU_1}{U_1} + \frac{dU_2}{U_2} \right), \quad (16)$$

$$(\Delta\varphi)_{sk}(U_3 = U_2) = \frac{\frac{U_1^2}{U_2^2} \sqrt{\left(\frac{\Delta U_1}{U_1}\right)^2 + \left(\frac{\Delta U_2}{U_2}\right)^2}}{\sqrt{1 - \left(\frac{U_1^2}{2U_2^2} - 1\right)^2}}. \quad (17)$$

Сагласно условима (14) и шеми са слике 3 може се дефинисати следећи поступак при мерењу:

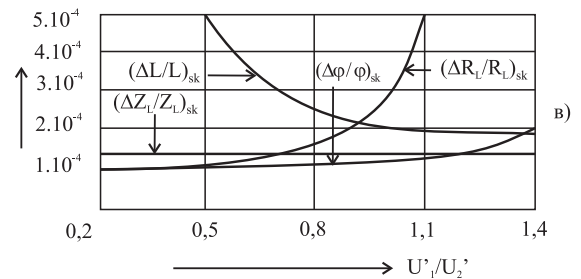
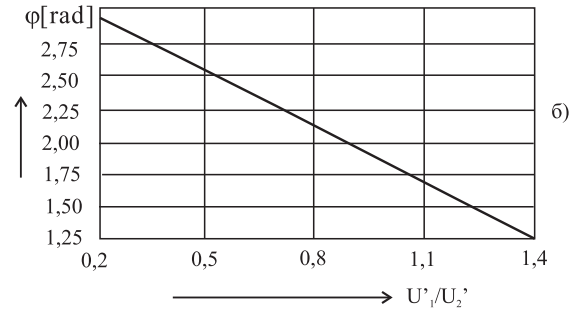
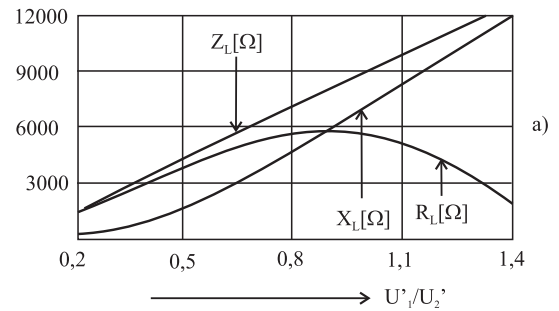
- 1) задаје се синусоидални напон ефективне вредности $U_1' = U_1$, на пример преко микроконтролера и дигитално-аналогног конвертора, са релативном грешком $\Delta U_1 / U_1$;
- 2) мењајући отпорност R_r преко микроконтролера мењамо напоне U_2 и U_3 до задовољења услова $U_2 = U_3$, који констатујемо уз помоћ микроконтролера и аналогно-дигиталног конвертора са релативном грешком истог реда величине са задатом грешком $\Delta U_1 / U_1$ генерисања напона U_1 , чиме су задовољени услови (17);
- 3) на основу израза (9), помоћу микроконтролера задатог напона U_1' и излазног напона U_2' према слици 3 одређујемо апсолутну вредност индуктивне импедансе Z_L ;
- 4) применом израза (15) налазимо фазни померај $\varphi(U_2 = U_3)$;
- 5) сагласно изразима (11-12) и изразу (15) добијамо термогену отпорност R_L и индуктивност L у облику

$$R_L = R_r \frac{U_1'}{U_2'} \frac{2U_2'^2 - U_1'^2}{2U_2'^2}, \quad (18)$$

$$L = \frac{R_r}{\omega} \frac{U_1'}{U_2'} \sqrt{1 - \left(1 - \frac{U_1'^2}{2U_2'^2}\right)^2}. \quad (19)$$

На основу зависности $R_L(Z_L, \varphi)$ и $L(R_L, Z_L, \varphi)$ датих изразима (10) налазимо следеће тоталне диференцијале

$$dR_L = dZ_L \cos \varphi - Z_L \sin \varphi d\varphi, \quad (20)$$



Слика 4.

$$dL = -Z_L \sin \varphi \frac{d\omega}{\omega^2} + \frac{1}{\omega} \sin \varphi dZ_L + \frac{1}{\omega} Z_L \cos \varphi d\varphi, \quad (21)$$

чиме после њихове апроксимације одговарајућим прираштајима израчунавамо следеће средњеквадратне вредности

$$(\Delta R_L)_{sk} = \sqrt{\cos^2 \varphi (\Delta Z_L)_{sk}^2 + Z_L^2 \sin^2 \varphi (\Delta \varphi)_{sk}^2}, \quad (22)$$

$$(\Delta L)_{sk} = \sqrt{Z_L^2 \sin^2 \varphi \frac{1}{\omega^4} (\Delta \omega)_{sk}^2 + \frac{1}{\omega^2} \sin^2 \varphi (\Delta Z_L)_{sk}^2 + \frac{1}{\omega^2} Z_L^2 \cos^2 \varphi (\Delta \varphi)_{sk}^2}. \quad (23)$$

При томе су на основу израза (9) и (15), уз задовољење услова (14),

$$(\Delta Z_L)_{sk} = R_r \frac{U_1'}{U_2'} \sqrt{\left(\frac{\Delta U_1'}{U_1'}\right)^2 + \left(\frac{\Delta R_r}{R_r}\right)^2}, \quad (24)$$

$$\cos^2 \varphi = \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2, \quad (25)$$

$$\sin^2 \varphi = 1 - \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2. \quad (26)$$

Сменом израза (17) и (24-26) у изразе (22-23) добијамо средњеквадратне вредности апсолутних грешака термогене отпорности и индуктивности анализирани индуктивне импедансе Z_L у облику

$$(\Delta R_L)_{sk} = R_r \frac{U_1'}{U_2'} \sqrt{\left(\frac{U_1'^2}{2U_2'^2} - 1\right) \left[\left(\frac{\Delta U_1'}{U_1'}\right)^2 + \left(\frac{\Delta R_r}{R_r}\right)^2 \right] + \frac{U_1'^4}{U_2'^4} \left(\frac{\Delta U_1'}{U_1'}\right)^2}, \quad (27)$$

$$(\Delta L)_{sk} = \frac{R_r U_1'}{\omega U_2'} \sqrt{\left[1 - \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2 + \frac{2U_1'^4}{U_2'^4} \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2 \right] \left(\frac{\Delta U_1'}{U_1'}\right)^2 + \left[1 - \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2 \right] \left[\left(\frac{\Delta R_r}{R_r}\right)^2 + \left(\frac{\Delta \omega}{\omega}\right)^2 \right]}. \quad (28)$$

Дељењем израза (27) и (18) и израза (28) и (19) добијају се вредности $(\Delta R_L/R_L)_{sk}$ и $(\Delta L/L)_{sk}$ релативних средњеквадратних грешака термогене отпорности R_L и индуктивности L индуктивне импедансе Z_L у облику

$$\left(\frac{\Delta R_L}{R_L}\right)_{sk} = \sqrt{\frac{2\frac{U_1'^2}{U_2'^2}}{\left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2} \left(\frac{\Delta U_1'}{U_1'}\right)^2 + \left(\frac{\Delta R_r}{R_r}\right)^2}, \quad (29)$$

$$\left(\frac{\Delta L}{L}\right)_{sk} = \sqrt{\left[1 + \frac{\left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2}{\left(1 - \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2\right)^2} \right] \left(\frac{\Delta U_1'}{U_1'}\right)^2 + \left(\frac{\Delta R_r}{R_r}\right)^2 + \left(\frac{\Delta \omega}{\omega}\right)^2}. \quad (30)$$

Количник израза (27) и (9) даје релативну грешку одређивања апсолутне вредности импедансе Z_L , док се релативна грешка одређивања фазног помераја добија дељењем израза (20) и (18), односно

$$\left(\frac{\Delta Z_L}{Z_L}\right)_{sk} = \sqrt{\left(\frac{\Delta U_1'}{U_1'}\right)^2 + \left(\frac{\Delta R_r}{R_r}\right)^2}, \quad (31)$$

$$\left(\frac{\Delta \varphi}{\varphi}\right)_{sk} = \frac{\sqrt{2} \frac{U_1'^2}{U_2'^2}}{\sqrt{1 - \left(\frac{U_1'^2}{2U_2'^2} - 1\right)^2}} \frac{1}{\arccos\left(\frac{U_1'^2}{2U_2'^2} - 1\right)} \left(\frac{\Delta U_1'}{U_1'}\right). \quad (32)$$

За случај да су испуњени услови $R_r = 10^4 [\Omega]$, $\omega = 10^6 [\text{rad/s}]$, $\Delta U_1'/U_1' = \Delta \omega/\omega = \Delta R_r/R_r = 10^{-4}$, тада се на основу израза (32-35) могу у функцији односа напона U_1'/U_2' нацртати следећи дијаграми, претстављени на слици 4: 1) $R_L = f_1(U_1'/U_2')$ и $X_L = f_2(U_1'/U_2')$ на слици 4а, 2) $\varphi = f_3(U_1'/U_2')$, на слици 4б и $(\Delta R_L/R_L)_{sk} = f_4(U_1'/U_2')$, $(\Delta Z_L/Z_L)_{sk} = f_5(U_1'/U_2')$, $(\Delta \varphi/\varphi)_{sk} = f_6(U_1'/U_2')$, $(\Delta L/L)_{sk} = f_7(U_1'/U_2')$ и $\Delta R_r/R_r = f_8(U_1'/U_2')$, на слици 4в.

Криве зависности реалне отпорности R_L и индуктансе X_L од односа напона U_1'/U_2' можемо поделити на два карактеристична дела, део где је $R_L < X_L$ ($U_1'/U_2' < 0,9$, $\varphi > \arccos(1 - 0,9^2/2) = 53,5^\circ$) и део на коме је $R_L > X_L$ ($U_1'/U_2' > 0,9$, $\varphi < \arccos(1 - 0,9^2/2) = 53,5^\circ$). При томе фазни померај φ расте са порастом односа напона U_1'/U_2' у целом разматраном интервалу. Што се тиче релативне средњеквадратне грешке $(\Delta R_L/R_L)_{sk}$, она је мања од вредности $2,2 \cdot 10^{-4}$ за $U_1'/U_2' < 0,9$ и већа од $2,2 \cdot 10^{-4}$ при $U_1'/U_2' > 0,9$, док су промене релативне средњеквадратне грешке $(\Delta L/L)_{sk}$ обрнуте, већа је од вредности $2,2 \cdot 10^{-4}$ за $U_1'/U_2' < 0,9$ и мања од $2,2 \cdot 10^{-4}$ при $U_1'/U_2' > 0,9$. Зависност релативне средњеквадратне грешке $(\Delta Z_L/Z_L)_{sk}$ апсолутне вредности индуктивне импедансе Z_L од односа напона U_1'/U_2' има константну вредност $(\Delta Z_L/Z_L)_{sk} = \sqrt{2} \cdot 10^{-4}$.

Са слике 4в се види да у интервалу промене односа напона $U_1'/U_2' \in (0,5; 1,1)$ релативне грешке $(\Delta R_L/R_L)_{sk}$ и $(\Delta L/L)_{sk}$ нису веће од $5 \cdot 10^{-4}$. Одавде се даље могу дефинисати интервали потребне промене појачања A_1 и A_2 и извршити димензионисање отпорника управљане отпорничке мреже ултрависоке прецизности.

V. ЗАКЉУЧАК

Метод мерења које имају за циљ одређивање параметара електричних кола (отпорности, капацитивности и индуктивности), засноване на анализи фазорских дијаграма напона, углавном представљају разне

модификације класичног облика Методе три волтметра. Треба нагласити да се ова метода одлично уклапа у савремена технолошка достигнућа, која омогућавају да се потрошња мерних средстава у великој мери смањи, а тачност истовремено повећа. Метода три амперметра у теоријском смислу је двојник Методе три волтметра, јер је такође заснована на фазорским дијаграмима. Међутим, она је у погледу смањења потрошње и повећања тачности у раскораку са савременим токовима технолошког развоја. Кратко речено, савремени волтметри су далеко ближи идеалности него савремени амперметри. При томе под идеалним мерним инструментом сматрамо онај, чије присуство у мерном колу практично не доводи до било каквих физичких промена. У пракси не постоје идеални инструменти, али постоје мање или више добри. Инструменти морају имати потрошњу, како би били у стању да генеришу мерну информацију, а њихов квалитет је у порасту ако им се стално потрошња смањује, а информативност мерних резултата расте.

Спроведена анализа рада и анализа грешака разних модификација Методе три волтметра, које се могу користити за одређивање индуктивне импедансе, указује на следеће:

- 1) увођење мерних појачавача у мерне шеме Методе три волтметра омогућава добијање оптималних фазорских дијаграма у погледу минимизације грешака параметара које одређујемо;
- 2) функционалне везе између појединих параметара, као што су на пример релативне средњеквадратне амплитуде напона, његове фреквенције, отпорничких мера, фазног помераја, реалне вредности импедансе, реалног и имагинарног дела импедансе и индуктивности, применом мерних појачавача могу се такође мењати и прилагођавати и усаглашавати са оптималним решењима;

- 3) примена микроконтролера, аналогно-дигиталних и дигитално-аналогних конвертора и детектора вршне вредности напона, (у литератури познатих као пик-детектори) омогућава високу класу тачности задавања и мерења амплитуда и фреквенције наизменичних напона, што се повољно одражава на повећање тачности мерења реалног и имагинарног дела импедансе и индуктивности.

ЛИТЕРАТУРА

- [1] TEGAM, General Purpose, Postable/Impedance / LCR meter, <http://www.tegam.com/product.asp?modelNumber=253>
- [2] LCR meter Measurement Accuracy, http://www.tegam.com/HTML/Application_Notes/?AN301.html
- [3] Editor-in-Chief John G. Webster, The measurement, Instrumentation and Sensors handbook; CRC PRESS - IEEE PRESS, USA 1999
- [4] Edited by Walt Boyes, with specialist contributors, Instrumentation Reference Book, Butterworth Heinemann, Boston – Oxford – Johannesburg, USA 2003

Abstract—One modification of the classical “Three voltmeters method”, by implementing technological advantages achieved in the field of embedded systems design, is described in this paper. Analysis which relate to evaluation of measurement errors, and possibilities to embed this proposal into some larger measuring system are considered.

Keywords—measurement of inductive impedance; measuring methods; method with three voltmeters

Measuring of Impedance Applying Modification of Three Voltmeters Method

Прорачун поузданости система електричног напајања хеликоптера *Aérospatiale Gazelle SA-341/342*

Александар Пајкановић
Дирекција за цивилно ваздухопловство
Бања Лука
barjaktar@gmail.com

Садржај—Неколико појмова теорије поузданости у овом раду је примјењено у сврху израчунавања поузданости система електричног напајања хеликоптера *Aérospatiale Gazelle SA-341/342*. Кориштен је специјализован софтверски пакет за област поузданости *Weibull++ 7*, те подаци о систему електричног напајања преузети из сервисних књига поменутог хеликоптера. Прорачуни и анализе су рађени на основу реалних података о отказима система електричног напајања сакупљених у сервису хеликоптера. У раду је дефинисан критеријум, а затим на основу тог критеријума извршена процјена примјенљивости појмова теорије поузданости у овој области.

Теорија поузданости; поузданост електронских уређаја; електрично напајање хеликоптера

I. УВОД

У овом раду размотрена је функција поузданости (у даљем тексту поузданост) система електричног напајања хеликоптера *Aérospatiale Gazelle SA-341/342* (у даљем тексту Газела), а затим извршен прорачун поузданости система. За потребе израчунавања поузданости кориштене су нормална, експоненцијална и Вајбулова распоdjела. Прорачуни и анализе су вршени специјализованим софтверским пакетом *Weibull++ 7*, те пакетом *MATLAB 7*. У раду је описана свака од распоdjела, а затим је дат и кратак преглед улазних података, као и приступа њиховој обради. У завршном дијелу рада приказани су и анализирани добијени резултати. За сва три прорачуна, поред табеларног приказа параметара распоdjеле, дат је и графички приказ поузданости система. С обзиром да су у раду за прорачун кориштене три поменуте распоdjеле, и резултати су троструки, а представљају моделиране претпоставке о понашању система у будућности на основу података из прошлости. Да би се увидјело која распоdjела тачније апроксимира поузданост система, сваки од резултата је понаособ поређен са познатим подацима, а затим су резултати упоређени међусобно помоћу функција написаних за потребе овог рада.

Све датотеке кориштене у оквиру овог рада доступне су на Инернету [1].

II. СИСТЕМ ЕЛЕКТРИЧНОГ НАПАЈАЊА ХЕЛИКОПТЕРА ГАЗЕЛА

Систем електричног напајања хеликоптера Газела се састоји од система за напајање једносмјерном струјом и система за напајање наизмјеничном струјом. Претраживањем Матичне књиге ваздухоплова [2] закључено је да се откази система за напајање једносмјерном струјом дешавају толико ријетко да се могу занемарити. На примјер, на шест различитих хеликоптера у нешто мање од двадесет година није се десио ни један отказ овог типа. Међутим, откази система за напајање наизмјеничном струјом нису тако ријетка појава. Због тога је у овом раду пажња посвећена анализи система за напајање наизмјеничном струјом. Поред тога, утврђено је да су откази овог система у свим случајевима који су се десили у сервису хеликоптера, узроковани отказима једне његове компоненте – алтернатора *P/N-520-1(-5)* (у даљем тексту алтернатор) [3]. Овим се прорачун поузданости система електричног напајања хеликоптера Газела своди на прорачун поузданости поменуте компоненте.

III. ПРЕГЛЕД КОРИШТЕНИХ ПОЈМОВА ИЗ ТЕОРИЈЕ ПОУЗДАНОСТИ

Број распоdjела које би се могле користити приликом прорачуна рађених у оквиру овог рада је велики. С обзиром да их није могуће све приказати у оквиру овог рада, аутор се одлучио за следеће три јер је алатом *Distribution Wizard* у оквиру софтверског пакета *Weibull++ 7* утврђено да ће дати најбоље резултате за дате улазне податке [4]. У свим прорачунима рађеним у овом раду кориштен је метод максималне вјеродостојности. Такође, у даљим разматрањима претпоставимо да је T случајна промјенљива величина која означава вријеме појаве отказа, а $f(t)$ функција густине вјероватноће.

A. Нормална распоdjела

Нормална (Гаусова) распоdjела је распоdjела која се користи у свим областима науке. У случају теорије поузданости она има један недостатак. Наиме, доња граница се протеже до негативне бесконачности што теоретски може довести до негативног резултата при рачунању времена до отказа (*MTTF – mean time to failure*).

Ова распоdjела се ипак показала као примјенљива, нпр. приликом процјене животног вијека потрошних компоненти као што су тонери штампача [5], [6].

Функција густине вјероватноће нормалне распоdjеле је дата са:

$$f(T) = \frac{1}{\sigma_T \sqrt{2\pi}} e^{-\frac{1}{2} \left(\frac{T-\mu}{\sigma_T}\right)^2}. \quad (1)$$

Параметри нормалне распоdjеле су: μ - средње вријеме до отказа и σ_T - одступање (девијација) од средњег времена до отказа. За функцију густине вјероватноће нормалне распоdjеле важе сљедеће релације [7]: $f(T) \geq 0$, $-\infty < T < \infty$, $-\infty < \mu < \infty$, $\sigma_T > 0$.

В. Експоненцијална распоdjела

Експоненцијална распоdjела се врло често користи у теорији поузданости. Иако је математички једна од најједноставнијих распоdjела, са великим успјехом моделује животно вијек компоненти чији је број отказа константан (компоненте које не деградирају временом) [5], [6].

Двопараметарска функција густине вјероватноће експоненцијалне распоdjеле је дата са:

$$f(T) = \lambda e^{-\lambda(T-\gamma)}. \quad (2)$$

Параметри експоненцијалне распоdjеле су: λ – параметар скале (величине) и γ – параметар локације. За функцију густине вјероватноће експоненцијалне распоdjеле важе сљедеће релације [7]: $f(T) \geq 0$, $\lambda > 0$, $T > \gamma$ и $-\infty < \gamma < \infty$.

С. Вајбулова распоdjела

Једна од најчешће кориштених распоdjела у теорији поузданости је Вајбулова распоdjела. Поготово се користи у прорачунима животног вијека компонената. Како зависи од чак три параметра, веома је прилагодљива и у неким ситуацијама може да се примјени за моделирање других распоdjела [5], [6].

Функција густине вјероватноће Вајбулове распоdjеле је:

$$f(T) = \frac{\beta}{\eta} \left(\frac{T-\gamma}{\eta}\right)^{\beta-1} e^{-\left(\frac{T-\gamma}{\eta}\right)^\beta}, \quad (3)$$

при чему су параметри: η – параметар скале (величине), β – параметар облика (нагиба) и γ – параметар локације. За функцију густине вјероватноће Вајбулове распоdjеле важе релације [7]: $f(T) \geq 0$, $T > \gamma$, $\beta > 0$, $\eta > 0$ и $-\infty < \gamma < \infty$.

Једначином (3) наведен је потпуни облик Вајбулове распоdjеле са три параметра. Међутим, алат *Distribution Wizard* [4] наводи упроштени облик Вајбулове распоdjеле са два параметра у листи најпогоднијих распоdjела, стога је тај облик (који се добије када се у једначини (3) претпостави: $\gamma = 0$ [5]) кориштен за прорачуне у овом раду.

Функција густине вјероватноће двопараметарске Вајбулове распоdjеле је [5]:

$$f(T) = \frac{\beta}{\eta} \left(\frac{T}{\eta}\right)^{\beta-1} e^{-\left(\frac{T}{\eta}\right)^\beta}. \quad (4)$$

При том за параметре η и β важе исте релације наведене за одговарајуће параметре потпуне Вајбулове распоdjеле.

IV. ПРОРАЧУН ПОУЗДАНОСТИ АЛТЕРНАТОРА

За прорачун поузданости алтернатора, а самим тим и поузданости електричног напајања наизмјеничном струјом хеликоптера Газела кориштен је софтвер *Weibull++ 7*. На интернет презентацији произвођача [8] могуће је преузети и софтвер и уџбеник са примјерима.

У наредним одјељцима прво су табеларно приказани улазни подаци, затим је извршен прорачун параметара за сваку од кориштених распоdjела, те су приказани графички резултати, који су потом анализирани табеларно.

А. Улазни подаци

Улазни подаци, кориштени за прорачуне у овом раду, дати су у табелама I и II. Улазне податке могуће је подијелити на два типа, у једном је компонента отказала, док у другом није. Софтвер *Weibull++ 7* омогућава узимање у обзир ове чињенице, тако да су сви улазни подаци анализирани заједно.

ТАБЕЛА I. Подаци о отказима алтернатора.

хеликоптер	сати у употреби приликом отказа	датум отказа	датум производње
1.	2080	2004.	1992.
2.	1450	2008.	1992.
3.	1100	2010.	1992.
4.	1873	2001.	1992.

ТАБЕЛА II. Подаци о алтернаторима који раде без отказа.

хеликоптер	сати у употреби приликом преузимања података	датум преузимања података	датум производње
5.	980	2010.	1992.
6.	980	2010.	1992.

В. Прорачун параметара кориштених распоdjела

Исправан рад уређаја зависи од времена употребе, али и од његове старости, односно датума производње. У овом раду су оба ова фактора анализирана независно један од другог, јер су и у природи независни. Дакле, да бисмо знали уопштenu поузданост компоненте потребно је да имамо информације о поузданост те компоненте у односу на вријеме кориштења, али и у односу на старост, тј. датум производње.

Да би се могли добити резултати, потребно је прво одредити параметре распоdjела кориштених у овом раду, а наведених у одјељку III.

Параметри за све три распоdjеле на основу улазних података из табела I и II израчунати су кориштењем одговарајућих алата у оквиру софтверког пакета *Weibull++ 7* [4], те дати у табели III. Посебно су приказани параметри

за расподјеле при прорачуну поузданости у односу на вријеме употребе (у сатима – [h]) и у односу на датум производње (у годинама – [y]).

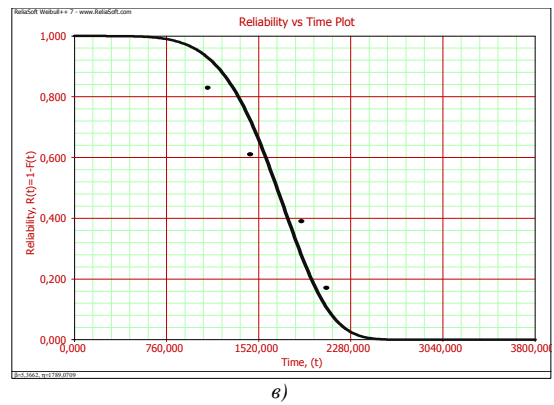
ТАБЕЛА III. Параметри кориштених расподјела.

параметри	расподјела					
	нормална		експоненцијална		Вајбулова	
	[h]	[y]	[h]	[y]	[h]	[y]
σ_T	1640,6279	16,2459	-	-	-	-
μ	366,1786	4,7744	-	-	-	-
λ	-	-	0,0021	0,1081	-	-
γ	-	-	1100	9	-	-
β	-	-	-	-	5,3662	3,9570
η	-	-	-	-	1789,0709	17,8769

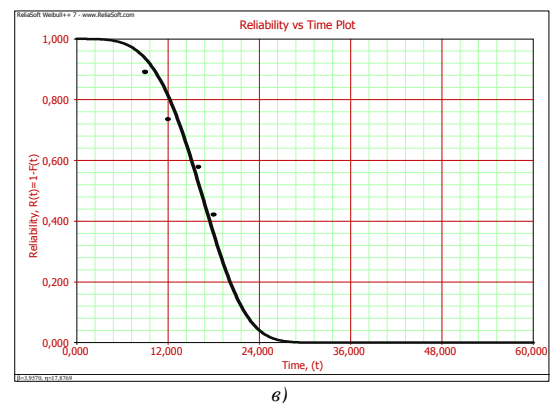
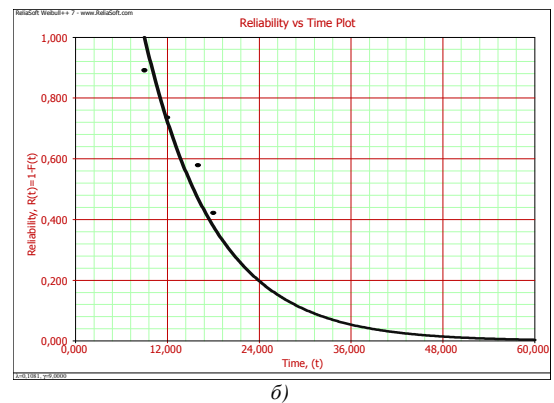
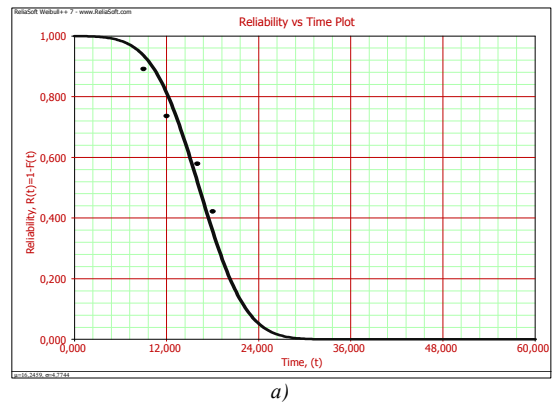
С. Графички резултати

На основу претходно добијених параметара, добијени су графици функција приказани на сликама 1 и 2. На слици 1 приказана је поузданост компоненте у односу на вријеме употребе, а на слици 2 приказана је поузданост компоненте у односу на датум производње. На обје слике приказане су одговарајуће функције на основу нормалне, експоненцијалне и Вајбулове расподјеле, означене са а), б) и в), респективно. Такође, на обје слике тачкама су представљени постојећи подаци (табела I).

Сви графици у оквиру једне слике су приказани истим размјерама, како би их било могуће међусобно упоредити.



Слика 1. Поузданост алтернатора у односу на вријеме употребе [h] према: а) нормалној, б) експоненцијалној и в) Вајбуловој расподјели.



Слика 2. Поузданост алтернатора у односу на датум производње [y] према: а) нормалној, б) експоненцијалној и в) Вајбуловој расподјели.

D. Анализа добијених резултата

Иако су апсцисе и ординате на графицима из претходног одјелка дефинисане тако да је поузданост на сваком од њих приказана у истој размјери, није могуће простим посматрањем одредити која распоdjела тачније апроксимира постојеће податке.

За ту сврху написане су функције за софтверски пакет *MATLAB 7*, које анализу врше на сљедећи начин. Прво се рачуна удаљеност сваке од тачака од функције поузданости према једначини:

$$d_i = \min_j \left(\sqrt{(x_i - t_j)^2 + (y_i - R_j)^2} \right), \quad (5)$$

гдје су са (x_i, y_i) означене четири тачке које представљају постојеће резултате (табела I); са (t_j, R_j) све тачке функције поузданости; са d_i минимална удаљеност тачке (x_i, y_i) од функције поузданости, што у ствари представља грешку апроксимације (табела IV). Потом се рачуна минимално, максимално и средње одступање за сваку од распоdjела, као и релативни (у односу на средњу вриједност) минимум и максимум, те збир свих одступања¹ (табела V).

ТАБЕЛА IV. Грешке апроксимације.

тачка	распоdjела					
	нормална		експоненцијална		Вајбулова	
	[h]	[y]	[h]	[y]	[h]	[y]
1.	0,101	0,045	0,171	0,108	0,100	0,045
2.	0,089	0,077	0,130	0,013	0,113	0,077
3.	0,127	0,058	0,193	0,110	0,112	0,054
4.	0,056	0,064	0,043	0,043	0,065	0,063

ТАБЕЛА V. Карактеристичне величине.

карактеристична величина	распоdjела					
	нормална		експоненцијална		Вајбулова	
	[h]	[y]	[h]	[y]	[h]	[y]
<i>min</i>	0,056	0,045	0,043	0,013	0,065	0,045
<i>max</i>	0,127	0,077	0,193	0,110	0,113	0,077
<i>mean</i>	0,093	0,061	0,134	0,068	0,097	0,060
<i>min/mean</i>	0,602	0,738	0,321	0,191	0,670	0,750
<i>max/mean</i>	1,366	1,262	1,440	1,618	1,165	1,283
<i>sum(d_i)</i>	0,373	0,244	0,537	0,274	0,390	0,239

Да би било могуће извести закључак о тачности апроксимација кориштених распоdjела, потребно је добити увид у минималне и максималне вриједности свих карактеристичних величина у свим случајевима. Те

¹ Под „карактеристичним величинама“ у даљем тексту се подразумева ових шест промјенљивих.

вриједности су добијене на основу табеле V, а у табели VI наведена је распоdjела за све случајеве минималне и максималне вриједности карактеристичних величина.

ТАБЕЛА VI. Преглед распоdjела за одговарајући случај минималне и максималне вриједности карактеристичне величине.

карактеристична величина		минимална вриједност	максимална вриједност
<i>min</i>	[h]	експоненцијална	Вајбулова
	[y]	експоненцијална	Вајбулова / нормална
<i>max</i>	[h]	Вајбулова	експоненцијална
	[y]	Вајбулова / нормална	експоненцијална
<i>mean</i>	[h]	нормална	експоненцијална
	[y]	Вајбулова	експоненцијална
<i>min/mean</i>	[h]	експоненцијална	Вајбулова
	[y]	експоненцијална	Вајбулова
<i>max/mean</i>	[h]	Вајбулова	експоненцијална
	[y]	нормална	експоненцијална
<i>sum(d_i)</i>	[h]	нормална	експоненцијална
	[y]	Вајбулова	експоненцијална

Посматрајући табелу VI, прво што пада у очи је да експоненцијална распоdjела даје или минималну или максималну вриједност за сваку од карактеристичних величина, те да се вриједности нормалне и Вајбулове распоdjеле у неким случајевима подударају. На основу табеле VI изводе се и сљедећи закључци.

Експоненцијална распоdjела даје минималну вриједност за минимално одступање и релативно минимално одступање, али и максималну за максимално одступање, средњу вриједност одступања, те збир одступања и релативно максимално одступање у оба случаја.

Нормална распоdjела даје максималну вриједност минималног одступања у случају када се посматра поузданост у односу на старост, те минималну вриједност максималног одступања у истом случају. Такође, нормална распоdjела се јавља и када је у питању минимална вриједност средњег одступања и минимална вриједност збира одступања у случају када се поузданост посматра у односу на вријеме употребе, те минимална вриједност релативног максималног одступања у случају када се поузданост посматра у односу на старост.

Вајбулова распоdjела даје максималне вриједности минималног одступања, као и минималне вриједности максималног одступања у оба случаја. У складу са овим чињеницама, Вајбулова распоdjела даје и максималну вриједност минималног релативног одступања у оба случаја, као и минималну вриједност релативног максималног одступања у случају када се поузданост посматра у односу на вријеме употребе. Ова распоdjела се

јавља и када је у питању минимална вриједност збира свих одступања у случају када се поузданост посматра у односу на старост.

На основу датих графика, табела, те чињеница изведених из резултата прорачуна поузданости система електричног напајања Газеле у оба случаја, о тачности апроксимација кориштених распоdjела може се закључити слjедеће: експоненцијална распоdjела се због негативних особина које су приказане у табели VI, може изузети из овог разматрања као потпуно непогодна; нормална распоdjела се показала као најпримjеренија у случају када се поузданост посматра у односу на вријеме употребе; Вајбулова упроштена двопараметарска распоdjела је најпогоднија за прорачун поузданости у односу на старост система.

Имајући у виду речено о све три распоdjеле, у табели VII су приказане критичне тачке у времену по питању опадања поузданости алтернатора, израчунате на основу нормалне распоdjеле у случају поузданости у односу на вријеме употребе, односно Вајбулове распоdjеле у случају опозданости у односу на старост система. Другим ријечима, дати су периоди у оквиру којих се може тврдити са одређеном поузданошћу да ће уређај исправно функционисати.

ТАБЕЛА VII. Времена за захтjеване поузданости.

захтjевана поузданост	0.99	0.95	0.90	0.85	0.80
вријеме употребе [h]	788,7691	1038,3177	1171,3512	1261,1082	1332,4442
вријеме од године производње [y]	5,5899	8,4392	10,1229	11,2947	12,2368

На основу података из табеле VII, може се закључити да је реално вријеме за замјену алтернатора десет година од датума производње, односно, послије 1170 сати летења.

V. ЗАКЉУЧАК

У овом раду дат је осврт на нормалну, експоненцијалну и Вајбулову распоdjелу као и њихове особине и параметре. Затим су оне употребљене за анализу скупа прикупљених података о отказима система наизмјеничног напајања хеликоптера Газела у сврху прорачуна поузданости тог система. На тај начин дошло се до резултата приказаних у овом раду, одјелјак IV. У истом одјелјку извршена је и анализа добијених резултата. Наиме, све три кориштене распоdjеле су међусобно упоређене, али и упоређене са већ постојећим подацима, кориштењем за то написаних функција у софтверском пакету *MATLAB 7*. На основу ове анализе закључено је да

се кориштењем нормалне распоdjеле најтачније може апроксимирати поузданост у односу на вријеме употребе [h] система електричног напајања хеликоптера Газела, а кориштењем Вајбулове – поузданост у односу на старост система [y].

Слjедећи корак на пољу прорачуна поузданости електронских система у ваздухопловима је кориштење стечених знања и закључака у овом раду за прорачун поузданости компликованијих система, те система за које постоји већи узорак података о отказима.

ЗАХВАЛНИЦЕ

Особе којима аутор овом приликом жели да се захвали су господин Драго Перковић, директор сервиса хеликоптера „ИКАР СЕРВИС“ из Бање Луке који се потрудио да нађе и уступи податке о отказима алтернатора и госпођа Јоана Бинка из представништва компаније *ReliaSoft* у Варшави која је уступила лиценцу софтвера *Weibull++ 7* за потребе овог рада.

ЛИТЕРАТУРА

- [1] pajkanovic.netne.net, презентација креирана новембра 2010. године.
- [2] Матична књига ваздухоплова, хеликоптер *Aérospatiale Gazelle SA-341/342*, власништво сервиса хеликоптера „ИКАР СЕРВИС“.
- [3] Документација хеликоптера *Gazelle SA-341/342*, производња Соко Мостар по лиценци *Aérospatiale*, тзв. *wiring diagram*.
- [4] *Training guide Weibull++ 7*, ReliaSoft, Tucson, 2009. ReliaSoft Publishing;
- [5] <http://www.weibull.com/LifeDataWeb/lifedataweb.htm>, посjећено октобра 2010. године.
- [6] *Поузданост система, електронских, телекомуникационих и информационаих*, проф. др Рифат Рамовић, Београд, 2005. Катедра за Микроелектронику и техничку физику, Електротехнички факултет Београд;
- [7] *Математика III*, проф. др Милан Јовановић, проф. др Момир Пелић, Београд, 1991. Научна књига;
- [8] www.reliasoft.com, посjећено октобра 2010. године.

Abstract—In this paper some of the terms of the reliability theory are used to calculate reliability of power supply of the helicopter *Aérospatiale Gazelle SA-341/342*. For this purpose specialised software *Weibull++ 7* is used together with the data about power supply taken from service books of the mentioned aircraft. Results are calculated and analysed according to real failure data, collected at a helicopter service. A criteria is defined in this paper, according to which mentioned terms are estimated in terms of how suitable are to be used in this field.

Reliability theory; electronic devices reliability; helicopter power supply

Calculation of the reliability of the power supply of the helicopter *Aérospatiale Gazelle SA-341/342*



Sekcija TO-6
OBRADA I PRENOS SIGNALA

M. Trebar	
RFID – A TECHNOLOGY OF OPPORTUNITIES	232
J. Galić, T. Pešić-Brđanin, I. Janković	
STATISTIČKA ANALIZA OSNOVNE FREKVENCIJE KOD VOKALA	
SRPSKOG JEZIKA	236
D. Brodić, Z. Milivojević	
ROTATION OF THE ANISOTROPIC GAUSSIAN KERNEL FOR TEXT LINE	
SEGMENTATION	240
D. Brodić, B. Dokić	
IDENTIFICATION OF THE INITIAL SKEW RATE FOR PRINTED TEXT	244

RFID - A Technology of Opportunities

Invited paper

Mira Trebar

Faculty of Computer and Information Science
University of Ljubljana
Ljubljana, Slovenia
mira.trebar@fri.uni-lj.si

Abstract—As we often experience, all new technologies bring people great benefit, many new challenges, but usually also a lot of concern. Lately, one of very promising technology is radio frequency identification (RFID), a powerful resource with numerous applications and the extensive accessibility to the Internet. The increasing use of RFID provides the possibility of integrating them with the intention of improving and modernizing our services. The Internet as a widely distributed system is always and almost everywhere available and relatively simple to use which brings the user widespread deployment of all kind of wireless networking, embedded devices, sensor-based systems and other “smart” devices. We are able to design Web applications which make possible remote access to control RFID systems directly, to review or to analyse the collected data. The increasing availability of modern technologies, like RFID and WWW, represent an important contribution by providing customized services to anyone, anywhere, anytime and for any device.

Keywords—RFID technology; RFID reader; RFID tag; barcode; supply chain; standards

I. HISTORY OF RFID TECHNOLOGY

Radiofrequency identification is not a "new" technology [2]. It is based on the study of electromagnetic waves and radio in the 19th century work of Michael Faraday, Guglielmo Marconi and James Clerk Maxwell. Its practical applications date from World War II, when the British used the IFF (Identify Friend or Foe) system to distinguish friendly aircraft returning from missions on mainland Europe from unfriendly aircraft entering British sky.

Afterwards, some activities and technology advances in a variety of different fields including computers, radio, radar, supply chain management, transportation, quality management, and engineering have made RFID technology more useful. Further development of RFID is shown below:

- First companies start developing, in field of sensormatic and Checkpoint, commercial applications known as EAS (Electronic Article Surveillance) which were released to counter theft in 60-ties.
- In 70-ties, RCA&Fairchild published 'Electronic ID system' and early electronic toll applications were tested.

- Commercial applications enter the mainstream in following years where toll roads world-wide are equipped with RFID, applications to record personnel access were adopted and the use in industrial and transport environment was implemented.
- In 90-ties, initial RF standards emerge and RFID was widely deployed in animal tagging, toll collection, and personal identification. At that time Auto-ID Center was founded by MIT.
- Last fifteen years, first RFID pilots were launched, Wal-Mart, Gillete, Tesco and the US Department of Defense announce supplier mandates. In Europe, the adoption of RFID technology is taking slower steps. European union supports several pilots to promote the use of already mature technology.

II. RFID BASICS

Radio Frequency Identification (RFID) is an automatic identification method with two main components (RFID tags and RFID readers) which communicate wirelessly and generally don't require a line of sight between them. RFID enables identification of a larger set of objects with unique identifier (UID) from a distance and is considered as a next generation barcode technology [2, 4].

A. RFID system

An RFID system is usually composed of RFID tags, one or more RFID readers and a computer. An RFID reader is used to identify RFID tags attached to items or people in the read range and to transmit the information to a computer where the captured data can be used for further processing.

RFID tags consist of a small digital device, a simple microchip, attached to an antenna for receiving and transmitting the signals [1]. RFID tags come in a wide variety of shapes, sizes and characteristics and can be read through the human body and most other materials from various distances. Taking into account a memory function of a microchip, they are divided into: (i) read-only RFID tags with a one-time programming process, and (ii) read-write RFID tags which can be reprogrammed, but only by authorized sources. Each RFID tag holds the data divided into the Unique Identifier (UID) which is fixed in the production process of RFID tag and is usually 64 bits or 96 bits long. Based on the power supply

there exist two main classes of RFID tags which are active and passive. Active RFID tags incorporate their own power source to transmit radio frequency signals to the RFID reader which enables a broader range of functionality. Passive RFID tags are without one's own power source, are generally smaller, lighter and less expensive, maintenance free and will last for years. They are activated only within the response range of a RFID reader. Passive RFID tags are mostly used today and can be found in all kind of shapes, like: tokens, labels, buttons, animal-tags, cards and others.

RFID reader is a small digital device which typically consists of a transmitter and receiver module, a control unit and an antenna with a few basic functions (transmit data, read/write data, power the passive RFID tag) and additional more critical functions (implementing anti-collision algorithm, authentication of RFID tags and data encryption). Anti-collision algorithm permits simultaneous reading of large numbers of tagged objects, while ensuring that each RFID tag is read only once. Authentication and data encryption are used to ensure a secure transmission of data to an authorized user.

In designing a RFID system, we also need a computer or an embedded device to include software to deploy and manage RFID readers and to provide appropriate data to application and to other information systems. To run our RFID applications we can have local personal computers or servers connected to the Internet where a remote access can be gained. The use of data obtained from RFID systems should be able to improve industrial, organizational and even business processes. A key consideration in an RFID system are the frequency bands divided into: Low Frequency (LF: 125-134kHz), High Frequency (HF: 13,56 MHz), Ultra High Frequency (UHF: 868 – 928MHz), and microwave frequency (2,45 GHz). With the frequency of an RFID system data the read range is defined. The read range of passive RFID tags in the lower frequencies is short due to the poor antenna gain but it is increased with higher frequencies.

B. RFID standards

RFID is a radio communication technology which is the subject of governmental regulations [5] to establish order on the airwaves, best practices, safety and maximum permissible interference guidelines. The regulations come from several bodies, but these with the greatest influence on the RFID technology have different standard organizations. In industry are the most important ISO (International Organization for Standardization) and IEC (International Electro-technical Commission) which have formed joint subcommittee, called ISO/IEC JTC1 (Joint Technical Committee 1) and has addressed the standardization of RFID identification cards and related devices. Work began in 1995 and in 2000 and besides several other standards, two contactless identification cards standards were published: ISO/IEC 14443 and ISO/IEC 15693. The second most important standards in retail and supply chain management applications are EPC global standards. In 2006 ISO adopted the key EPCglobal Generation-2 RFID standard for the use of mostly passive RFID tags with Electronic Product Code (EPC) defined for the identification of items for the company joined in an EPC Network through the network.

These standards address the full range of RFID frequencies from low frequency bands to microwave band.

C. RFID privacy and security

In RFID systems, issues of security and privacy risks and vulnerability are present all the time. The most delicate risks and vulnerabilities include wireless transmission between the RFID tag and RFID reader [3, 4]. Privacy risks are present in systems where a temporary link between an RFID tag and a specific person's identity is established. With so established link in item-level tagging in retail goods purchased in a shop it might be used to track people. In the process of transmission data from RFID tags security threats and attacks are present. Attacks that threaten system security and users privacy are: eavesdropping, relay attacks, unauthorized RFID tag reading, RFID tag cloning, people tracking, replay attack, RFID tag content changes, physically RFID tag destruction, blocking and jamming of the RFID tag. To protect user's privacy we can use physical tag destruction, blocking and others. One of the most common approaches to security of RFID tags is deploying cryptographic methods but it can be very complex [1]. Because of the fact that it is important to protect user's security and privacy, particularly with the rich business intelligence stored in RFID tag, we need to assure a complete RFID secure solution with three layers: server layer with identification data, RFID reader layer when transmits the data to the server, and RFID tags layer when radio frequency conversation between RFID reader and RFID tag occurs. All secured layers working together will further secure the entire system.

III. RFID VERSUS BARCODE

RFID tags and barcode are both used to store information about products. The important differences between these two technologies are:

- Direct line of sight is not needed when RFID readers communicate to RFID tags while barcode reader demands clear line of sight to the printed barcode.
- The printed barcode must be placed on the outside of the product, where it is exposed to atmosphere impact while in RFID tags electronic components are better protected in a plastic cover and can be reused.
- RFID tags can be read at much greater distances, up to 100 m while the range to read a barcode is much less, up to 5m.
- RFID readers can read RFID tags much faster which makes possible to identify a large number of tags per second while reading barcodes is much slower due to the fact that all the items need to be properly oriented to the reader which may take seconds to read an individual tag.
- Barcodes have only read capability; the information cannot be written on a printed barcode. Opposite, RFID tags can be read/write devices and RFID reader can communicate with the tag.

- RFID tags are still much more expensive than barcodes.

IV. APPLICATIONS

RFID is already acquainted as technology of today and we can find a wide variety in its applicability. Applications, running on user's computers or servers, are divided into areas, where distinction is based on what the systems fundamentally do: tracking and tracing of items, electronic payment, access control and others [1]. Mainly, current RFID applications include tracking items (airline baggage, inventory, shipping containers, controlled materials, library books, and others), tracking animals, in health care to track patients treatment in the hospital and many others. In electronic payment RFID tags or smart cards are designed to pay goods and services. In the access control applications physical security is enabled, the system can report on the movement on individuals, and many others. The value of RFID to all parties in the supply chain management is enabled with EPCglobal Network by using the automatic dissemination and discovery of real time, accurate and on-demand product information.

We find two very interesting applications in connection with our future work. The one which is oriented towards smart home environment can have a significant role in people's everyday lives when different information gadgets, smart home appliances and other Web-based applications communicate with each other by forming a ubiquitous home network system. For example, RFID reader-enabled refrigerator can communicate with home server in order to retrieve the access passwords, unlock the tag's memory, collect the EPC data from the tags and retrieve the associated information and displays it on the display screen attached to the refrigerator. The next, very interesting use can be found for RFID applications in manufacturing [3] where a kind of distributed system is used when the collected data needs to be available to multiple organisations. When deploying RFID, there are four key considerations to take into account before an implementation:

- Consider the capabilities of different RFID technologies in relation to specific applications.
- Look for hardware that can support both bar code and RFID technology.
- Understand that since RFID data is captured differently than traditional bar code data, it will need to be managed in another way.
- Identify a solution provider that has experience with the technology and the ability to provide low-risk solutions.

In the actual implementation of an RFID application a magnetic environment, including electronic, security, mechanical, magnetic, radio frequency pollution and other constrains, is one of the most important specifications [4]. Very important is to examine physical, operational, functional, standards related, and also economic parameters. An examination of these parameters includes:

- Physical parameters: the examination of antenna and RFID tags dimension defined by mechanical formats; the impact of climatic, metallic, resistance to chemical corrosion and magnetic environment.
- Operational parameters: the number and presence of RFID tags in reading area; permitted times for data transactions; operating ranges for reading and writing; operational power/energy required.
- Functional parameters: RFID tags memory structure, capacity and architecture; protection of data, encrypted messages, communication; required authentication between readers and tags; choice of collision management method.
- Standards-related parameters: conformity with standards; electromagnetic interference; regulations compliance of human exposure.

Another area that has benefited from RFID technology is payment and prepaid access services which has enabled the integration of RFID into mobile phones. Any discussion in this area is connected to Near Field Communication (NFC), which is an interface and protocol build on topic of RFID and is a part of consumer electronic devices. Besides interacting with tags it allows the communication between devices very close together, a few centimetres, or even make them touch. After the configuration data has been exchanged using NFC, the devices can continue to communicate over a longer range technology, such as Bluetooth or wireless local area network.

V. SCM PROJECT

A Supply Chain Management (SCM) is a sequence of decision making and execution processes and material, information and money flows. The aim is to meet final customer requirements from production to final consumption. SCM includes the producer and its suppliers, and depending on the logistic flows, transporters, warehouses, retailers, and consumers themselves.

At the Faculty of Computer and Information Science, University of Ljubljana, Slovenia a group of researchers takes part in a project, F2F From Farm to Fork which is a recently launched European project funded through the CIP ICT PSP programme supported by European Union, CIP-Pilot Actions [6]. The aim of the project is to showcase RFID technology to SMEs in the food & drink industry and to identify and trace information to fulfill society's needs. The project will seek to exploit a number of geographically localized pilots, where each includes a number of stages in the supply chain. The technology development will consider the key themes such as optimization, time-to-market, quality and traceability through these main activities: information modeling and architecture, systems integration and database construction. The RFID technology will collect a specific data and send reports via HTTP connections to a database that will be accessible to a number of different stakeholders, who will have access to different levels of information. Four categories of food will be introduced in the pilots:

- **Salami:** This pilot focuses on the retail sector, a specialist shop selling products sourced from across the Europe. The pilot will provide a number of near field RFID equipped mobile phones, which customers may borrow to scan the tagged products on sale, thereby gaining information on their origin and condition. The pilot will be extended backwards to cover the complete supply chain, through the wholesale, logistics, processing to the producer.
- **Wine:** Local wine producers and sellers need to prove to the consumers the genuineness of their products through nutritional characteristics and information about provenance. Identification and assessment of the conditions in which products are handled and transported is needed since the farm level. For example winery conveys pressed grapes to tankers and during fermentation and ageing, cellars and wine information can be monitored in order to help the enologists.
- **Fish:** Traceability of a fish farm activity provides the consumers the quality and safety of their fish. From hatchery to farm fish are carried in labeled tanks and it is necessary to report origin and transportation details. Also feeding data has to be monitored to provide quality, using bar code and labeling bags. At the slaughterhouse fish is prepared to the processing. During the transport quality can be assured by monitoring temperature
- **Cheese:** To provide product knowledge and confidence to customers, quality information for milk and cheese should consider the condition of the product at various stages of manufacture (condition of the cows producing the milk, temperature, farms, transport and storage). Every information can be retrieved in barcodes that will be part of the label and will be the interface between the traceability system and the final consumer.

VI. FUTURE TRENDS

For each new technology we should be aware of ‘What is today?’ and ‘What it hopes to be tomorrow?’ or even ‘What it has to offer?’. Current state of RFID is simply a fact that it can be an effective replacement technology of bar codes and can improve many other industrial or service processes. In the future, RFID has an almost unlimited potential. It could track an item throughout its lifecycle where applications might keep records of maintenance and repairs or tracking personal data

such as medical records and passport information. A tag could be attached to any object, implanted in animals or even embedded under a person’s skin. The potential of RFID depends on the standards, definitions that need to be adopted, their realization into actual equipment components, how expensive they are, and how they are received by the people regarding privacy and security issues.

The field of RFID applications is changing and evolving, with new ideas being tested and implemented. It is very difficult to predict the future, but several trends are expected in the development of RFID:

- A great deal of research is being done to improve the capabilities of RFID technology which is now recognised as a mature solution.
- An effort to combine RFID with other technologies is important to provide revolutionary business solutions. Combining RFID with GPS would allow identification and location of tagged objects around the world.
- A drive by many companies is to collect valuable information about consumer trends and habits using RFID technology.

Developments in many areas are still limited by two concerns. Firstly, most RFID systems are still very expensive to allow item-level tagging, which is needed to trace items directly to the end consumer. Secondly, for consumers and organizations privacy is an important, not yet resolved issue in such uses. When implementing this kind of data mining it should be considered how RFID technology can assure security of information to people where RFID tag cannot be read by illegitimate users and how to reassure the protection of their privacy.

REFERENCES

- [1] S. Ahson, M. Ilyas, *RFID Handbook, Applications, Technology, Security, and Privacy*, CRC Press, 2008.
- [2] V. D. Hunt, A. Puglia, M. Puglia, *RFID- A guide to radio frequency identification*, John Wiley&Sons, 2007.
- [3] J. M. Myerson, *RFID in Supply chain A Guide to Selection and Implementation*, Auerbach Publications, 2007.
- [4] D. Paret, “RFID and Contactless Smart Card Applications”, John Wiley&Sons, Ltd., 2006.
- [5] R. Want, “An Introduction to RFID Technology”, *IEEE Pervasive Computing*, vol. 5, no. 1, 2006, pp. 25-33.
- [6] Project F2F RFID from Farm to Fork, <http://www.rfid-f2f.eu> .

Statistička analiza osnovne frekvencije kod vokala srpskog jezika

Jovan Galić, Tatjana Pešić-Brđanin, Igor Janković

Elektrotehnički fakultet Banja Luka

Banja Luka

jgalic@etfbl.net, tatjanapb@etfbl.net, igorr.jan@gmail.com

Sadržaj—U radu je analizirana statistička raspodjela osnovne frekvencije glasa za vokale (samoglasnike) srpskog jezika. Za uzorak je korišćena snimljena baza glasova osoba muškog pola. Na osnovu određenih osnovnih frekvencija za sve vokale svih govornika, izračunati su statistički parametri osnovne frekvencije glasa. Testirana je hipoteza o saglasnosti raspodjele osnovne frekvencije sa normalnom i normalno-logaritamskom raspodjelom. Urađena je aproksimacija histogramске raspodjele osnovne frekvencije normalnom Gausovom raspodjelom.

Ključne riječi—osnovna frekvencija; statistički parametri; muški vokali; testovi saglasnosti

I. UVOD

Govorna komunikacija predstavlja najprirodniji i najpogodniji način komuniciranja između ljudi, tako da njen značaj nije umanjen ni u doba potpune informatizacije svih aspekata ljudskog života. Naprotiv, posljednjih godina došlo je do ogromne ekspanzije u istraživanjima, razvoju i primjeni govornih tehnologija (govorni automati i portali, upravljanje procesima glasom, mašinsko prevođenje sa jezika na jezik, autentifikacija glasom i dr.). Zahvaljujući razvoju novih govornih tehnologija ostvarena je govorna komunikacija između čovjeka i mašine.

Govorne tehnologije koje omogućavaju dvosmjernu komunikaciju između čovjeka i mašine jesu automatsko prepoznavanje govora (eng. *Automatic Speech Recognition-ASR*) i konverzija teksta u govor (eng. *Text-to-Speech-TTS*). Prepoznavanje i sinteza govora su tehnologije zavisne od jezika i neophodno je implementiranje niza detalja koji su poznati samo onima kojima je to maternji jezik. Dakle, za razliku od mnogih drugih savremenih tehnologija, potrebno je daleko veće angažovanje u cilju primjene savremenih aplikacija i servisa na našem govornom području - na srpskom jeziku [1].

Da bi se neka informacija kvalitetno sintetizovala i da bi mogla da bude percipirana na odgovarajući način neophodno je da takav govor ima sve neophodne elemente kao i prirodni govor, pored ostalog da sadrži i odgovarajuće prozodijske komponente (intonacija, akcent, amplitudska dinamika i sl.). Pored toga, u prepoznavanju govora i govornika, važni su i prozodijski i paralingvistički elementi, na osnovu kojih se može procijeniti starost, pol, emotivno stanje, zdravstveno stanje govornika i sl. Jedno od najznačajnijih individualnih akustičkih obilježja govornika jeste njegova osnovna frekvencija glasa (F_0). U literaturi se navodi da je ona jedan od najpouzdanijih parametara u forenzičkoj fonetici.

Osnovna frekvencija glasa je direktno povezana sa fizičkim karakteristikama larinksa, odnosno glasnica govornika. S druge strane, značaj i upotrebljivost ovog personalnog obilježja govornika je naglašen i činjenicom da su metode i algoritmi mjerenja osnovne frekvencije veoma robusni na uslove snimanja govora (ambijentalna buka, različite vrste interferencija i smetnji), tako da se taj parametar može dosta dobro estimirati i u takvim slučajevima, za razliku od nekih drugih vrlo važnih akustičkih obilježja govornika (npr. formantata) [2-4].

Za osnovnu frekvenciju glasa se ne može reći da je „čvrst“ intragovorni parametar, tj. ne može se reći da svaka osoba ima egzaktnu, fiksnu vrijednost osnovne frekvencije glasa. Osnovna frekvencija glasa se mijenja u toku govora što znači da se pod ovim terminom podrazumijeva neka srednja vrijednost, najčešće statistička srednja vrijednost. Varijacije osnovne frekvencije su značajno veće pod uticajem psihološkog faktora, kao što je govor u emotivnom stanju (ljutnja, strah, tuga) ili u komunikacijama prilikom izražavanja stavova (superioran stav i sl.) [5, 6]. Zbog nestacionarne prirode osnovne frekvencije glasa moraju se uzeti u obzir i drugi parametri vezani za nju (opseg promjena, standardna devijacija, intonaciona kontura, statistička raspodjela i dr.).

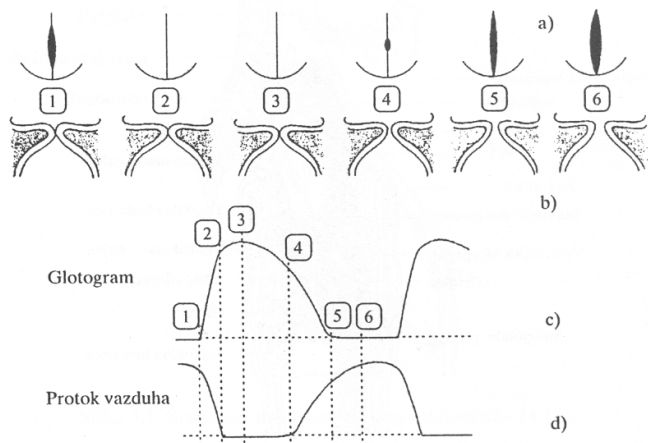
U ovom radu je urađena statistička analiza srednje vrijednosti i standardne devijacije osnovne frekvencije glasa. U eksperimentu je učestvovalo 50 govornika muškog pola, a cilj je bio određivanje osnovne frekvencije i statističkih parametara iste kod vokala srpskog jezika.

II. AKUSTIČKO-FIZIOLOŠKE KARAKTERISTIKE GLASNICA

Osnovna frekvencija F_0 predstavlja osnovni laringealni ton prisutan u izgovoru i on svoje porijeklo vodi od biomehaničkih karakteristika vokalnog trakta, a prije svega od načina funkcionisanja i vibriranja glasnica. Ne uzimajući u obzir njeno učešće u lingvističkom značenju, jedan od glavnih faktora koji određuju brzinu vibracija glasnica, i otud osnovne frekvencije, je veličina glasnica.

Glasnice se sastoje od dva bočna mišića smještena u unutrašnjosti larinksa i zategnuta između prednjeg i zadnjeg dijela larinksa. Prilikom gutanja hrane glasnice su potpuno primaknute i vrše zaštitu respiratornog trakta. Tokom disanja one su razmaknute i stvaraju trouglasti otvor, koji se naziva glotis. Na taj način glasnice obavljaju biološku funkciju. Druga funkcija, i to akustička, se ogleda u njihovim vibracijama kada nastaje laringealna zvučnost u vidu zvučnih talasa [7].

Rad glasnica se odvija na način prikazan na Slici 1. Na slikama (a) i (b) su prikazani poprečni presjeci glasnica, dok su na slikama (c) i (d) prikazani glotogram i protok vazduha kroz glotis. Naznačeni su i trenuci u kojima se glasnice nalaze. Glotogram se dobija mjerenjem impedanse larinksa, koja zavisi od otvora glotisa. Impedansa se mjeri pomoću generatora signala visoke frekvencije i najmanja je kada je glotis zatvoren, a najveća kada je otvoren. Glotogram prikazan na slici (c) predstavlja struju visoke frekvencije kroz larinks. Struja kroz larinks je najveća u trenucima (2) i (3), jer je glotis zatvoren i zaustavlja protok vazduha, pa je impedansa larinksa minimalna. U trenutku (4) dolazi do razmicanja glasnica, nastaje vazдушna struja, a impedansa larinksa se povećava, itd.



Slika 1. Šematski prikaz rada glasnica: (a) upravan pogled na glasnice, (b) poprečni presjek glasnica, (c) glotogram, (d) protok vazduha kroz glotis [7]

Da bi se generisao ton određene visine, potrebno je da se vazduh iznad glotisa zgusne i razrijedi, odnosno potreban je određen broj ponavljanja otvaranja i zatvaranja glasnica. Prema tome, svaki generisani glas je rezultat koordinisane zategnutosti glasnica i subglotalnog pritiska vazduha iz pluća. Propagacija zvučnih talasa se dalje nastavlja kroz vokalni trakt proizvodeći glotalni protok koji je impulsnog karaktera. Impulsi su približno trougaonog oblika zbog čega su u spektru bogati harmonicima. Frekvencija ponavljanja ovih impulsa odgovara osnovnoj frekvenciji govora. Kada su glasnice otvorene, veličina glotisa reguliše intenzitet vazdušne struje koja prolaskom kroz vokalni trakt generiše šumne glasove [7].

III. EKSPERIMENT

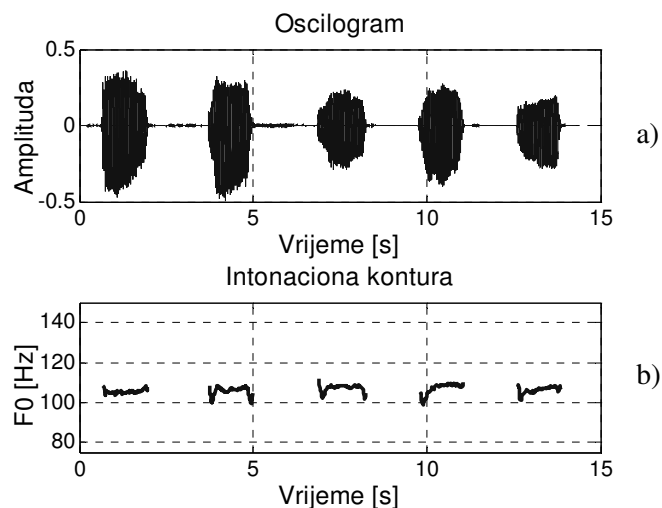
A. Uslovi eksperimenta

Kao govorni materijal za analizu osnovne frekvencije korišćena je baza izgovorenih samoglasnika studenata i asistenata Elektrotehničkog fakulteta u Banjoj Luci. Govorni materijal za analizu potiče od 50 govornika muškog pola starosti između 20 i 35 godina. Za snimanje je korišćen softverski paket *Sound Forge* [8]. Snimanje je vršeno u laboratorijskim uslovima (nivo spoljne buke 40dB(A) do 45dB(A)), 16-to bitnom zvučnom karticom i frekvencijom odmjeraavanja 22,05kHz. Govornici su izgovarali 5

samoglasnika srpskog jezika /a/, /e/, /i/, /o/, /u/, redom. Izgovaranje svakog samoglasnika je bilo neprekidno u trajanju do 2s, sa pauzom između samoglasnika.

Za analizu govornog uzorka se koristio softverski paket PRAAT [9], koji omogućava uvid u osobine glasa u vremenskom i frekvencijskom domenu (spektrogramska i formantna analiza, kao i određivanje osnovne frekvencije). U ovom radu, PRAAT je korišćen za određivanje osnovne frekvencije govora F_0 , pri čemu je korišćena autokorelaciona metoda računanja [10].

Na Slici 2 je prikazan oscilogram (a) i intonaciona kontura (b) za svaki samoglasnik jednog govornika.



Slika 2. Oscilogram (a) i intonaciona kontura (b) za pet izgovorenih vokala jednog govornika

B. Statističke mjere u analizi raspodjele osnovne frekvencije

U analizi su korišćena sljedeća statistička obilježja:

- srednja vrijednost osnovne frekvencije:

$$\bar{F}_0 = \frac{\sum_{i=1}^n F_{0,i}}{n} \quad (1)$$

- standardna devijacija osnovne frekvencije:

$$SD = \sqrt{\frac{\sum_{i=1}^n (F_{0,i} - \bar{F}_0)^2}{n-1}} \quad (2)$$

- Pritom je n broj elemenata uzorka.

IV. ANALIZA I DISKUSIJA REZULTATA

Na osnovu vrijednosti osnovnih frekvencija po vokalima, određenih pomoću softverskog paketa PRAAT, za svih 50 govornika, korišćenjem jednačina (1) i (2) dobijeni su rezultati prikazani u Tabeli I.

TABELA I. SREDNJE VRIJEDNOSTI OSNOVNE FREKVENCIJE I STANDARDNE DEVIJACIJE

Parametri	Vokali					Srednja vrijednost
	/a/	/e/	/i/	/o/	/u/	
\bar{F}_0 [Hz]	116.53	117.16	120.03	118.40	118.28	118.08
SD [Hz]	13.26	13.87	14.85	13.58	14.15	13.59

Rezultati iz Tabele I pokazuju da je srednja vrijednost F_0 najveća za vokal /i/, a da je najmanja za vokal /a/. Ovo se može objasniti na osnovu artikulacionih karakteristika vokala. Naime, kod generisanja vokala /i/ prednji dio jezika je najviše podignut (najbliže je nepcu), glasnice su najviše zategnute pa je i F_0 najviša. Kod vokala /a/ situacija je obrnuta, jezik je u najnižem središnjem položaju, laringealni sistem je maksimalno opušten i skoro se ne razlikuje od pozicije koju ima kod mirnog disanja, tako da su i glasnice najviše opuštena te je F_0 najniža. Dakle, jasna je korelisanost između srednje vrijednosti F_0 i rasporeda vokala prema mjestu artikulacije. Srednje vrijednosti F_0 za vokale /e/, /o/ i /u/ su veoma bliske i malo narušavaju ovu korelisanost. S obzirom na raspored vokala prema mjestu artikulacije [7], očekivana je veća srednja vrijednost F_0 za vokal /u/ u odnosu na vokal /o/. Standardna devijacija se pokazala kao još bolji indikator ove korelisanosti, jer se njena vrijednost za vokal /e/ nalazi upravo između vokala /o/ i /u/.

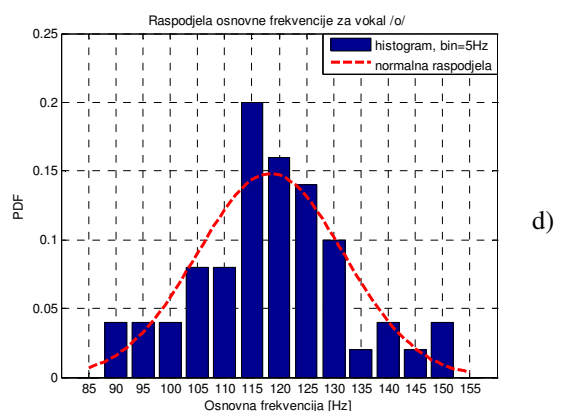
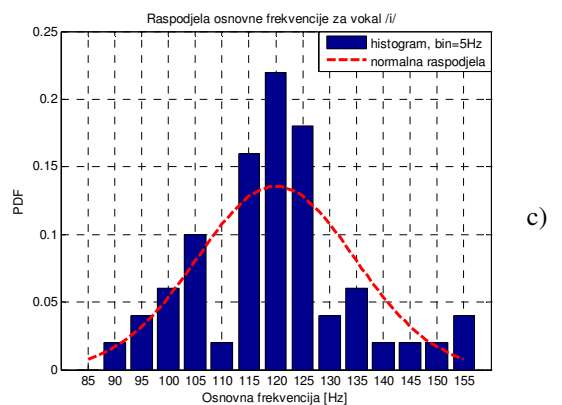
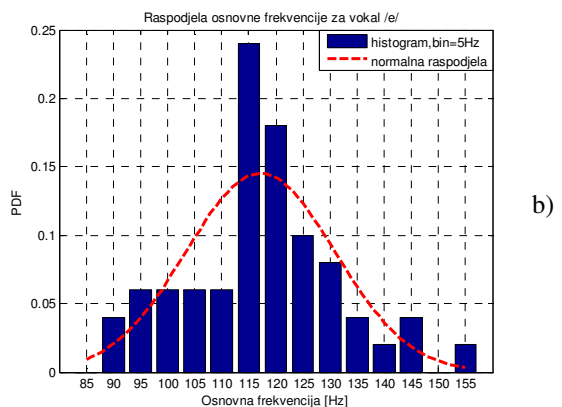
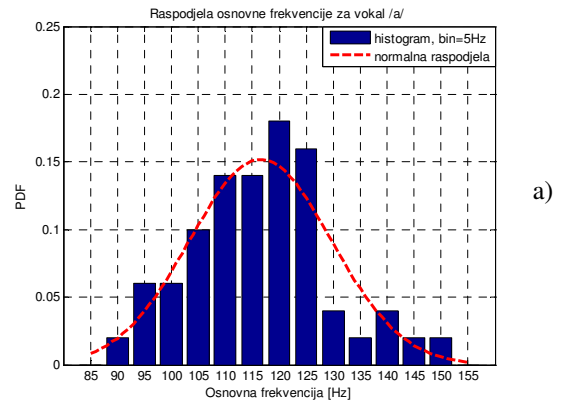
Srednja vrijednost osnovne frekvencije uzorka glasa iznosi oko 118Hz, dok je srednja vrijednost standardne devijacije 13,59Hz .

Analiza raspodjele osnovne frekvencije u formi histograma prikazana je na Slici 3 (a-f). Srednja osnovna frekvencija se dobija kao aritmetička sredina osnovnih frekvencija po vokalima, za svih 50 govornika.

Histogramska raspodjela osnovne frekvencije glasa može se aproksimirati normalnom i normalno-logaritamskom raspodjelom. Na osnovu Kolmogorov-Smirnov testa saglasnosti (sa nivoom značajnosti 0,05) pokazuje se vrlo dobra usklađenost histograma i normalne raspodjele. Isti test je pokazao dobru usklađenost i sa normalno-logaritamskom raspodjelom ali sa manjom p-vrijednosti (značajnosti). U Tabeli II su date p-vrijednosti za obje raspodjele. Na osnovu dobijenih vrijednosti pokazuje se da je aproksimacija histogramске raspodjele normalnom raspodjelom, koja je urađena u ovom radu, opravdana. Na slici 3, pored histogramске raspodjele, prikazana je funkcija gustine vjerovatnoće (eng. *Probability Density Function*-PDF) normalne raspodjele. Parametri normalne raspodjele su dobijeni metodom maksimalne vjerodostojnosti.

TABELA II. P-VRIJEDNOSTI ZA NORMALNU I NORMALNO-LOGARITAMSKU RASPODJELU

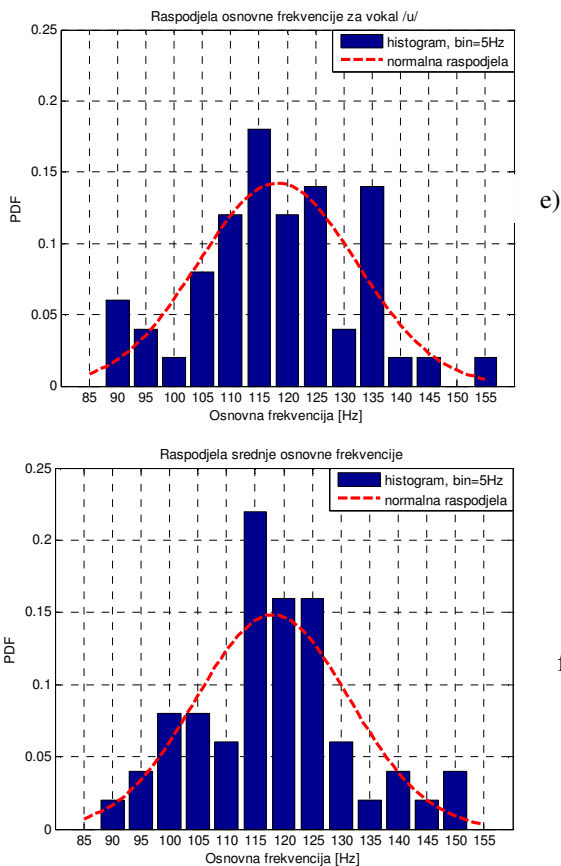
Raspodjela	p - vrijednost					
	/a/	/e/	/i/	/o/	/u/	Svi vokali
Normalna	0.83	0.73	0.42	0.81	0.99	0.81
Normalno-logaritamska	0.59	0.49	0.36	0.56	0.90	0.57



Autori se zahvaljuju svim kolegama koji su učestvovali u snimanju i kreiranju baze glasova.

LITERATURA

- [1] Sovilj-Nikić S., Delić V., "Arhitektura govornih portala i mogućnosti primene ASR i TTS u pozivnim centrima na srpskom govornom području," XIII Telekomunikacioni forum TELFOR 2005, Zbornik radova, Beograd, 22.-24. novembar 2005.
- [2] Rose, P., *Forensic Speaker Identification*, Taylor & Francis, London and New York, 2002.
- [3] M. Vojnović, "Uticaj klipovanja govornog signala na osnovnu frekvenciju glasa," XVI Telekomunikacioni forum TELFOR 2008, Zbornik radova, Beograd, 25.-27. novembar 2008.
- [4] M. Vojnović, "Uticaj klipovanja govornog signala na formantne frekvencije vokala," XVI Telekomunikacioni forum TELFOR 2008, Zbornik radova, Beograd, 25.-27. novembar 2008..
- [5] Đukić I., Jovičić S.T., Vojnović M., "Intonacione karakteristike emotivnih ekspresija u srpskom govornom diskursu," XI elekumunikacioni forum TELFOR 2003, Zbornik radova, Beograd, 25.-27. novembar 2003.
- [6] Bilibajkić R., "Analiza prozodijskih obilježja u govornim stavovima," XI Telekomunikacioni forum TELFOR 2003, Zbornik radova, Beograd, 25.-27. novembar 2003.
- [7] S. T. Jovičić, *Govorna komunikacija: fiziologija, psihoakustika i percepcija*, Nauka, Beograd, 1999.
- [8] <http://www.sonycreativesoftware.com/soundforgesoftware>, oktobar 2010. godine.
- [9] P. Boersma, D. Weenink, *Praat: Doing phonetics by computer*, <http://www.fon.hum.uva.nl/praat/>, oktobar 2010. godine.
- [10] L. Tan, and M. Karnjanadecha, "Pitch Detection Algorithm: Autocorrelation Method and AMDF," Proceedings of the 3rd International Symposium on Communications and Information Technology, Vol. II, pp. 541-546, Songkhla, Thailand, Sept., 3-5, 2003.



Slika 3. Histogram i funkcija gustine vjerovatnoće raspodjele osnovne frekvencije za samoglasnike srpskog jezika /a/ (a), /e/ (b), /i/ (c), /o/ (d), /u/ (e) i srednje osnovne frekvencije (f).

V. ZAKLJUČAK

U ovom radu prikazani su rezultati statističke analize osnovne frekvencije kod vokala srpskog jezika. U eksperimentu su učestvovali osobe muškog pola starosti od 20 do 35 godina, čiji su izgovoreni vokali formirali govornu bazu. Na osnovu ove baze, softverskim paketom PRAAT, određene su osnovne frekvencije vokala svih govornika. Statistička analiza osnovne frekvencije obuhvatila je analizu srednje vrijednosti i standardne devijacije. Pokazana je dobra korelisanost prethodna dva parametra i rasporeda vokala prema mjestu artikulacije. Na osnovu testa saglasnosti histograma i normalne raspodjele, kao i histograma i normalno-logaritamske raspodjele, pokazana je bolja saglasnost histograma i normalne raspodjele. Stoga je, u ovom radu, histogramaska raspodjela osnovne frekvencije aproksimirana normalnom raspodjelom.

Abstract—In this paper statistical distribution of fundamental frequency in Serbian language vowels had been analyzed. Recorded sounds database of male gender persons had been used for sample. Based on fundamental frequency determined for every vowel of all speakers, statistical parameters of fundamental frequency had been calculated. Goodness of fit tests for normal and log-normal distribution were done. Aproximation of histogram distribution with normal (Gauss) distribution had been selected as better.

Keywords—fundamental frequency, statistical parameters, male vowels, goodness of fit tests

Statistical Analysis of Fundamental Frequency in Serbian Language Vowels

Rotation of the Anisotropic Gaussian Kernel for Text Line Segmentation

Darko Brodic
 Technical Faculty Bor
 University of Belgrade
 Bor, Serbia
dbrodic@tf.bor.ac.rs

Zoran Milivojevic
 Technical College Nis
 Nis, Serbia
zoran.milivojevic@jotel.co.rs

Abstract—In this paper, an approach for text line segmentation by algorithm with the implementation of the anisotropic Gaussian kernel is presented. As a result of algorithm, the growing area around text is exploited for text line segmentation. To improve text line segmentation process, anisotropic Gaussian kernel is rotated. Furthermore, algorithm is evaluated under different text samples. Results are given and comparative analysis is made. From the obtained results, the optimal value of the parameters defining anisotropic Gaussian kernel dimension is proposed.

Keywords- *OCR; Elliptical Gaussian kernel; Text line segmentation*

I. INTRODUCTION

Text line segmentation is one of the major steps in a document analytic procedure. Hence, it is prerequisite for optical character recognition (OCR) methods. There are a few successful techniques for printed text line segmentation. But, processing of handwritten documents has been remained a key problem in OCR [1-2]. Most text line segmentation methods are based on the assumptions that distance between neighboring text lines is sufficiently large and text lines are reasonably straight. However, these assumptions are not always valid for handwritten documents. Hence, text line segmentation is a leading challenge in OCR.

Related work on text line segmentation can be categorized in few directions [3]: projection based methods, Hough transform methods, smearing methods, grouping methods, methods for processing overlapping and touching components, stochastic methods, and others method.

Algorithm proposed in [4] model text line detection as image segmentation problem by enhancing text line structure using a Gaussian kernel and adopting level set method to evolve text line boundaries. Author specified method as robust for different languages, but rotating text by angle of 10° or more has an impact on reference line hit rate. Method is further investigated in [5].

In this paper, the rotation of the anisotropic Gaussian kernel is proposed. It is simple and efficient method in terms of accuracy and computational effectiveness. Its primary role is to

perform text segmentation and to estimate the skew angle of document image. The proposed method is implemented and “measured” by different sample text examples and evaluated as well. At the end, based on measurement results, algorithm parameters optimization is proposed.

Organization of this paper is as follows. Sect. II includes proposed algorithm information and description. In Sect. III text experiments framework is defined. Further, in Sect. IV results are examined, compared and discussed. In Sect. V conclusions are made.

II. PROPOSED ALGORITHM

A. Document Text Image

At the beginning of the test process, original image is used. Document text image is obtained as product of original image scanning. Document text image is digital text image represented by matrix \mathbf{D} with M rows, N columns, and intensity with L discrete levels of gray. L is the integer number from the set $\{0, \dots, 255\}$. Currently, $D(i,j) \in \{0, \dots, 255\}$, where $i=1, \dots, M$ and $j=1, \dots, N$.

After applying intensity segmentation with binarization, intensity function is converted into binary intensity function given by:

$$B(i, j) = \begin{cases} 1 & , D(i, j) \geq D_{th} \\ 0 & , D(i, j) < D_{th} \end{cases}, \quad (1)$$

where D_{th} is given by Otsu algorithm [6] or equivalent algorithm [7-9]. It represents threshold sensitivity decision value.

Currently, document text image is represented as binary matrix \mathbf{B} featuring M rows by N columns. Consequently, it consists of the only black and white pixels where value 0 represents black pixels and value 1 white pixels.

B. Anisotropic Gaussian Filter

Establishing distinct areas that mutually separate text lines is the primary task of the region growing algorithm for text line

segmentation. Before applying the algorithm, text consists of letters, words or group of words. Algorithm's task is to join these text elements from the same text line into the same distinct continuous areas. Similarly, elements from the different text lines, is separated into different areas.

In this paper, algorithm based on the analogy with Gaussian probability density function (PDF) is established. This function given by [10]:

$$F(\mathbf{x}) = \frac{1}{\sqrt{(2\pi)^k |\Sigma|}} e^{\left[-\frac{1}{2}(\mathbf{x}-\boldsymbol{\mu})^T \Sigma^{-1}(\mathbf{x}-\boldsymbol{\mu})\right]}, \quad (2)$$

where \mathbf{x} and $\boldsymbol{\mu}$ are column vectors and Σ is covariance matrix. For 2D column vector \mathbf{x} is given as:

$$\mathbf{x} = \begin{bmatrix} x \\ y \end{bmatrix}, \quad (3)$$

while vector $\boldsymbol{\mu}$ as:

$$\boldsymbol{\mu} = \begin{bmatrix} \mu_x \\ \mu_y \end{bmatrix}, \quad (4)$$

Furthermore, covariance matrix Σ is given as:

$$\Sigma = \begin{bmatrix} \sigma_x^2 & 0 \\ 0 & \sigma_y^2 \end{bmatrix}, \quad (5)$$

while its determinant $|\Sigma|$ as:

$$|\Sigma| = \sigma_x^2 \sigma_y^2. \quad (6)$$

In (5) and (4) σ_x and σ_y represent the standard deviation defining curve spread parameter and μ_x and μ_y represent the mean in x and y direction, respectively. However, (2) is the starting point for creating anisotropic kernel. Hence, converting Gaussian PDF into point spread function (PSF) creates anisotropic Gaussian kernel. The idea of Gaussian smoothing is to use this 2-D distribution as a PSF. Since the image is stored as a collection of discrete pixels we need to produce a discrete approximation to the Gaussian function $F(\mathbf{x})$ named $F(i,j)$ before performing the convolution. However, the Gaussian distribution is non-zero everywhere, which would require an infinitely large convolution kernel. In practice, it is effectively zero for more than about $3\sigma_x$ and $3\sigma_y$ from the mean in x as well as in y direction. These values represent Gaussian threshold sensitivity level L_{gtsx} and L_{gtsy} . It truncates $3\sigma_x$ in x direction as well as $3\sigma_y$ in y direction of the kernel forming the ellipse. All pixels that belong inside ellipse form the same area with level

higher than L_{gtsx} or L_{gtsy} . Hence, anisotropic Gaussian kernel $I(i,j)$ is defined by $2P+1$ in x and $2R+1$ in y directions.

Converting all these pixels into the same region forms the areas named boundary growing areas. Boundary growing areas form control image with distinct objects that are prerequisite for the text segmentation of the document image. These black objects represent different text lines needful for text segmentation i.e. for disjoining text lines. Matrix \mathbf{X} is created by convolving the isotropic Gaussian kernel \mathbf{I} with the image represented by binary matrix \mathbf{B} as follows [11]:

$$X(i,j) = \sum_{k=-P}^P \sum_{l=-R}^R B(i+k, j+l) I(k,l), \quad (7)$$

where i is from P to $M-P$ and j is from R to $N-R$. Further, elements of matrix \mathbf{X} is obtained as follows: **IF** $X(i,j) \neq 0$ **THEN** $X(i,j) = 1$.

C. Rotated Anisotropic Gaussian Filter

Rotation of the anisotropic Gaussian kernel forms extended and rotated anisotropic Gaussian kernel \mathbf{E} . Hence, proposed kernel extension is made by rotating anisotropic Gaussian kernel \mathbf{I} for the angle ϕ . Due to the nature of rotation, kernel is extended in x direction as well as diminished in y direction. Furthermore, new kernel dimensions are given as $2S+1$ in x and $2T+1$ in y direction. Difference between two kernels could be illustrated as in Figure 1.

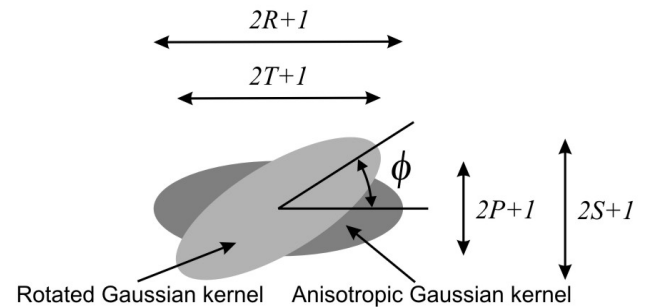


Figure 1. Rotated anisotropic vs. anisotropic Gaussian kernel.

Main difference between original algorithm [11] and this approach is in text segmentation domain. Currently, matrix \mathbf{Y} is defined by convolving the rotated anisotropic Gaussian kernel \mathbf{E} with the matrix \mathbf{B} as follows [11]:

$$Y(i,j) = \sum_{k=-S}^S \sum_{l=-T}^T B(i+k, j+l) E(k,l), \quad (8)$$

where i is from S to $M-S$ and j is from T to $N-T$. Further, elements of matrix \mathbf{Y} is obtained as follows: **IF** $Y(i,j) \neq 0$ **THEN** $Y(i,j) = 1$.

III. EXPERIMENT

Evaluation test for text parameters extraction algorithm consists of the multi-line text segmentation test. This is the only valid test for the evaluation of the algorithm that incorporates static skew. If we use handwritten text, then skew will be dynamic. Hence, it will need the evaluation of the text skew in each point of each text line. Further, this experiment is significant because it is prerequisite for obtaining other text parameters. If segmentation experiment miscarry, then further process examination will be meaningless. Hence, its importance is critical. Sample multi-line text with its skew angle parameter α is shown in Figure 2.

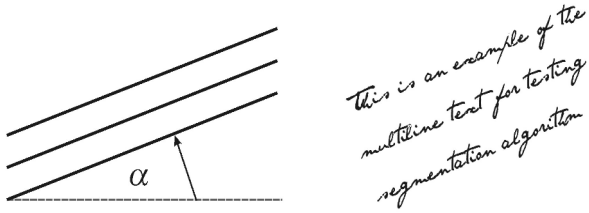


Figure 2. Multi-line text example.

Number of existing text objects in multi-line text image relate to text segmentation quality success. Hence, the less objects the better segmentation process, except the number may not be less than text lines number. As a quality measure, the root mean square error RMS_{seg} has been used. It is calculated as [12-13]:

$$RMS_{seg} = \sqrt{\frac{1}{N} \sum_{n=1}^N (Oref^n - Oest^n)^2}, \quad (9)$$

where n is the number of examined text samples, $Oref^n$ is the number of referent objects in text i.e. number of text lines, and $Oest^n$ is the number of obtained objects in text by the applied algorithm.

IV. RESULTS AND COMPARATIVE ANALYSIS

In [5], optimized parameter set for the text attributes by [14] is proposed. This set is given by two parameters: R and λ . Furthermore, $2R+1$ represents x dimension of the Gaussian kernel. Consequently, λ represents the ratio of the y and x dimension of the Gaussian kernel i.e. R/P . Hence, y dimension of the Gaussian kernel is $2R\lambda+1$. In our case, for the rotated Gaussian kernel, $S = cR$ and $T = cR\lambda$ are valid, where c is coefficient that depends on the rotation angle ϕ . Following parameter sets are used for the evaluation and testing:

- a) $S = \{10, 15, 20\}$;
- b) $\lambda = \{2, 3, 4\}$;
- c) $\phi = \{0^\circ, 15^\circ, 30^\circ, 45^\circ\}$,

where ϕ represents the rotation angle. The results are shown in Table I, II and III.

TABLE I. TEST SEGMENTATION RESULTS FOR K=10

ϕ	0°	15°	30°	45°	0°	15°	30°	45°	0°	15°	30°	45°
λ	2				3				4			
α	S = 10											
0°	62	62	47	43	27	27	10	17	23	23	7	7
5°	62	62	61	43	27	27	12	12	19	19	9	7
10°	62	62	61	43	17	17	10	10	10	10	7	7
20°	42	42	42	43	10	10	7	7	7	7	7	7
30°	43	43	41	41	20	20	8	7	11	11	7	7
40°	42	43	43	43	32	8	7	10	11	7	7	7
50°	42	42	42	43	38	9	8	8	24	7	7	7
60°	43	43	43	43	42	7	9	16	29	7	7	7
70°	43	43	60	59	41	9	7	15	31	7	7	8
80°	45	43	42	62	43	9	7	17	33	7	7	11
RMS_{seg}	42.52	42.43	42.03	39.95	25.18	10.45	2.21	6.24	15.70	6.52	0.63	1.30

* results are given by $Oest^n$ while columns with $\phi = 0^\circ$ represents anisotropic Gaussian kernel

TABLE II. TEST SEGMENTATION RESULTS FOR K=15

ϕ	0°	15°	30°	45°	0°	15°	30°	45°	0°	15°	30°	45°
λ	2				3				4			
α	S = 15											
0°	7	7	8	12	7	7	7	7	7	7	7	4
5°	7	7	7	11	7	7	7	7	8	8	7	7
10°	8	8	7	7	8	8	7	7	8	8	7	7
20°	8	8	7	7	7	7	7	7	7	7	7	7
30°	15	15	8	7	7	7	7	7	6	6	7	7
40°	22	7	7	7	7	7	7	7	3	7	7	7
50°	34	8	7	7	6	7	7	7	6	7	7	7
60°	39	7	7	11	16	7	7	7	16	7	7	3
70°	41	8	7	10	25	7	7	7	3	7	7	7
80°	41	8	7	7	28	7	7	7	5	7	7	7
RMS_{seg}	20.87	2.63	0.45	2.57	9.21	0.32	0.00	0.00	3.48	0.55	0.00	1.58

* results are given by $Oest^n$ while columns with $\phi = 0^\circ$ represents anisotropic Gaussian kernel

TABLE III. TEST SEGMENTATION RESULTS FOR K=20

ϕ	0°	15°	30°	45°	0°	15°	30°	45°	0°	15°	30°	45°
λ	2				3				4			
α	S = 20											
0°	7	7	7	7	9	9	7	2	9	9	7	1
5°	7	7	7	7	8	7	7	4	9	9	7	4
10°	7	7	7	7	7	7	7	7	7	7	7	3
20°	7	7	7	7	7	7	7	7	6	6	7	7
30°	7	7	7	7	2	2	7	7	1	1	7	7
40°	8	7	7	7	1	7	7	7	1	7	7	3
50°	5	7	7	7	5	7	7	7	5	4	7	7
60°	9	7	7	7	9	7	7	2	1	7	7	1
70°	19	7	7	7	2	7	7	7	2	7	7	4
80°	25	7	7	7	2	7	7	7	2	5	7	7
RMS_{seg}	6.91	0.00	0.00	0.00	3.52	2.79	0.00	2.43	4.14	2.41	0.00	3.49

* results are given by $Oest^n$ while columns with $\phi = 0^\circ$ represents anisotropic Gaussian kernel

The referent number of the objects *Oref* in our testing examples is typically equal to 7. From Tables I, II and III., the optimal value of the parameters is established. The parameter set $\{S, \lambda, \phi\}$ is meaningful. Particularly, the best segmentation results is obtained for the following parameter set: $\{10, 4, 30\}$, $\{15, 3, 15\}$, $\{15, 3, 30\}$, $\{15, 3, 45\}$, $\{15, 4, 30\}$, $\{20, 2, 15\}$, $\{20, 2, 30\}$, $\{20, 2, 45\}$, $\{20, 3, 30\}$, $\{20, 4, 30\}$.

Decision of the *S* value is mandatory for the efficient of the algorithm for the text line segmentation. However, the other two parameters have also significance. From the all above results the choice of $S = 10$ has the only one efficient selection. However, using the *S* from set $\{15, 20\}$ is optimal. Besides, the selection of $S = 15$ requests the bigger values of the λ , while for $S = 20$ smaller values of λ are adequate. Hence, the optimal parameter pairs $\{S, \lambda\}$ are: $\{15, 3\}$, and $\{20, 2\}$. Further, the optimal rotation angle of the kernel is $\phi = 30^\circ$. For the typical text of 100 px [14], dimension of the optimal Gaussian kernel $m \times n$ is given by:

$$m = 2S + 1 \quad , \quad (10)$$

and

$$n = 2S\lambda + 1 \quad . \quad (11)$$

This leads to $m \approx 30-40$ px, $n \approx 80-90$ px, and $\phi = 30^\circ$.

V. CONCLUSION

In this paper, an approach to Gaussian kernel algorithm for text line segmentation is presented. The proposed improvement method assumes creation of boundary growing area around text based on Gaussian kernel algorithm extended by rotation. Those growing areas form control image with distinct objects that are prerequisite for text line segmentation. Algorithm quality and robustness is examined by multi-line text experiments [12]. Results are evaluated by *RMS* method. All results are presented and compared with the anisotropic Gaussian kernel method without rotation. Furthermore, comparative analysis and discussion is made. The strength of this approach in text segmentation domain is mandatory. Its improvement is based on the expansion of the growing areas under specified angle around the text. Still, careful decision-making about choosing adequate parameter values is necessary. Optimized Gaussian kernel for the parameter set $\{S, \lambda, \phi\}$ are: $\{10, 4, 30\}$, $\{15, 3, 15\}$, $\{15, 3, 30\}$, $\{15, 3, 45\}$, $\{15, 4, 30\}$, $\{20, 2, 15\}$, $\{20, 2, 30\}$, $\{20, 2, 45\}$, $\{20, 3, 30\}$, $\{20, 4, 30\}$. These information leads to the calculation of the optimal Gaussian kernel dimensions. They are strongly related to the

text letter heights. For the typical text values of $h_{ch}=100$ px according to [14], the optimal Gaussian kernel has dimension 30-40% of h_{ch} x 80-90% of h_{ch} rotated by 30° .

At the end, to make proposed algorithm more efficient, further investigation should be made toward measuring initial skew step. This way, text line segmentation will be more errorless prone, further leading to more robust algorithm.

REFERENCES

- [1] Amin A., Wu S. Robust Skew Detection in Mixed Text/Graphics Documents. Proceedings of the 8th ICDAR '05, pp.247-251, Seoul, Korea, 2005.
- [2] Basu S., Chaudhuri C., Kundu M., Nasipuri M., Basu D.K. Text Line Extraction from Multi-Skewed Handwritten Document. Pattern Recognition, 2006, Vol.40, pp.1825-1839.
- [3] Likforman-Sulem L., Zahour A., Taconet B. Text Line Segmentation of Historical Documents: A Survey. ICDAR, 2007, Vol.9, No.2-4, pp.123-138.
- [4] Li Y., Zheng Y., Doermann D., Jaeger S. A New Algorithm for Detecting Text Line in Handwritten Documents. Proceedings of the 18th ICPR '06, vol.2, pp.1030-1033, Hong Kong, China, 2006.
- [5] Brodić, D. Optimization of the Anisotropic Gaussian Kernel for Text Segmentation and Parameter Extraction, *Theoretical Computer Science (Proceedings of the 6th IFIP TC 1/WG 2.2 International Conference, TCS 2010, Part of WCC 2010, Brisbane, Australia)*; Cristian S. Calude and Vladimiro Sassone, Eds.; Springer: Boston, USA, **2010**; IFIP Advances in Information and Communication Technology, Vol.323, 140–152.
- [6] Otsu N. A threshold selection method from gray-level histograms. IEEE Transactions on Systems, Man, and Cybernetics, 1979, Vol.9, No.1, pp.62-66.
- [7] Sauvola, L., Pietikainen, M. Adaptive Document Image Binarization, Pattern Recognition, Vol.33, No.2, 2000, pp. 225-236.
- [8] Bukhari, S. S., Shafait, F., Bruesl T. M. Adaptive Binarization of Unconstrained Hand-Held Camera-Captured Document Images, Journal of Universal Computer Science, Vol.15, No.18, 2009, pp. 3343-3363.
- [9] Khashman A., Sekeroglu B. Document Image Binarisation Using a Supervised Neural Network. International Journal of Neural Systems, Vol.18, No.5, 2008, pp. 405-418.
- [10] Jähne, B. *Digital Image Processing*, 6th ed.; Springer-Verlag: Berlin Heidelberg, Germany, 2005.
- [11] Gonzales R.C., Woods R.E. Digital Image Processing, 2nd Ed. Upper Saddle River: Prentice-Hall, 2002, pp.116-118.
- [12] Brodić D., Milivojević D.R., Milivojević Z. Basic Test Framework for the Evaluation of Text Line Segmentation and Text Parameter Extraction. Sensors, 2010, Vol.10, No.5, pp.5263-5279.
- [13] Bolstad W.M. Introduction to Bayesian Statistics. New York: John Wiley & Sons, 2004, pp.42-44.
- [14] Brodić D., Dokić B. Initial Skew Rate Detection Using Rectangular Hull Gravity Center, 14th International Conference on Electronics - E'2010, Sect.3.24, pp.1-6, Vilnius, Lithuania, 2010.

Identification of the Initial Skew Rate for Printed Text

Darko Brodic
 Technical Faculty Bor
 University of Belgrade
 Bor, Serbia
dbrodic@tf.bor.ac.rs

Branko Dokic
 Faculty of Electrical Engineering
 University of Banja Luka
 Banja Luka, RS, BiH
bdokic@etfbl.net

Abstract—In this manuscript the algorithm for identification of the initial skew rate for printed text is presented. Proposed algorithm creates rectangular hull around all text characters. Combining nearby rectangular hulls form objects. After applying mathematical morphology on it, the biggest object is characterized as well as selected. Rectangular hull gravity center forms reference points on these objects used as a base for calculation i.e. estimation of the initial skew rate. Using the least square method, initial skew rate is calculated. Comparative analysis of the origin and estimated skew rate is presented as well as discussed. Algorithm is examined with a number of printed text examples. Proposed algorithm showed robustness for skewness of printed text in the wide range.

Keywords—OCR; algorithms, skew rate; printed text

I. INTRODUCTION

Nowadays, most of the information is saved in electronic form. However, old documentation is primarily in the printed form. Converting documentation is tedious job. Scanners can convert documentation from paper to electronic form. The main stage in this process is transformation of digital document image into ASCII characters. Optical character recognition is a system responsible for that role. However, OCR works fine if the scanned document is not skewed. To achieve its complete accuracy document should be skewness and noiseless. Hence, the skew identification is the main role in the processing stage prior to the process of the character recognition in OCR system [1]. In addition, text documentation is completely built from printed text. Printed text is characterized by well-formed text type. Hence, it has strong regularity in shape. If different text lines have any orientation then it is very similar. Therefore, they have so-called uniform skewness. Further, their orientations are not significantly variable on same page of the text. Also, descendant and ascendant characters from neighbor text lines have decent spacing. So, they are not linked with each other's. In this way, distances between the lines have enough space to split it up. Besides, words in text lines are formed regularly with quite similar distance and their inter word spacing is decent as well. Hence, printed text from the documentation is quite predictable one.

Existing skew identification techniques can be classified in the following types [2]:

- Projection profile,
- Nearest neighbor clustering,
- Fourier transform,

- Cross-correlation,
- Other models.

Main characteristics of the skew identification techniques are algorithm accuracy and its computational complexity. Techniques classified as other models mostly represent morphological and geometrical transformation algorithms or its derivations. Those algorithm are computational inexpensive. Hence, those methods are in the scope of the paper.

In this paper, the method based on the rectangular hull and its gravity center points presented in [3] as well as its modification in [4] is further improved. Consequently, the method is upgraded and simplified. Original paper constraints are overcome leading algorithm to be more applicable.

Organization of this paper is as follows. Section 2 includes brief description and information on proposed algorithm based on rectangular hull gravity center. In Section 3 text experiment is defined. In Section 4 obtained results are examined and discussed. In Section 5 conclusion is made as well as further investigation direction is pointed out.

II. PROPOSED ALGORITHM

The principal stages in OCR system are scanning, binarization, region segmentation, text parameter extraction, text recognition and conversion to ASCII. However, document processing procedure can be represented with three main stages as shown in Figure 1.

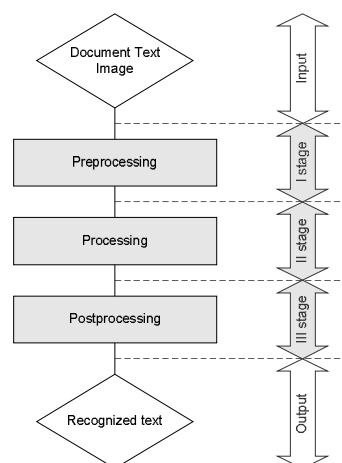


Figure 1. Document image processing procedure

In preprocessing stage, algorithms for document text image binarization are applied. During the processing stage, algorithms for text segmentation as well as for reference text line estimation and skew rate identification are enforced. After that, skew angle is corrected. At the end, in postprocessing stage character recognition process is applied. Final sub-stage is data conversion to ASCII characters.

A few assumptions should be made before algorithm description. In this paper, there is an element of processing. Main tasks are text segmentation as well as text parameter extraction, specifically skew rate estimation.

At the beginning of the test process, original image is used. Assume that original image is continual function $f(x,y)$. Document text image is obtained as product of original image scanning. Hence, the values of the coordinates (x,y) become discrete quantities. Now, document text image is digital text image represented by matrix \mathbf{D} with M rows, N columns, and intensity with L discrete levels of gray. L is the integer number from the set $\{0, \dots, 255\}$. Hence, the intensity of matrix \mathbf{D} is represented as [5]:

$$D(r,c) = f(x,y) , \quad (1)$$

where origin of the function $f(x,y)$ is point $(x,y) = (0,0)$, while origin of the matrix \mathbf{D} is $(r,c) = (1,1)$. Hence, row $r \in \{1, \dots, M\}$ replaces $x \in \{0, \dots, M-1\}$ and column $c \in \{1, \dots, N\}$ replaces $y \in \{0, \dots, N-1\}$.

After applying intensity segmentation, intensity function is converted into binary intensity function given by:

$$X(r,c) = \begin{cases} 1 & \text{for } D(r,c) \geq D_{th} \\ 0 & \text{for } D(r,c) < D_{th} \end{cases} , \quad (2)$$

where D_{th} is given by Otsu algorithm [6]. It represents threshold sensitivity decision value. Similar binarization methods proposed in [7-8] can be used as well.

Currently, document text image is represented as black and white image. It consists of the only black and white pixels. Each character or word consists of the only black pixels. This circumstance is shown by document text image fragment in Figure 2.

Hence, digitized document image is defined by matrix \mathbf{X} featuring M rows by N columns. In the rest of the paper row r is exchanged with i , and column c with j for the sake of the convention [9].

The first step of the algorithm is the extraction of the bounding box over the text objects. This is the prerequisite in new approach. A finite number of linear inequalities specify interior of the bounding box. Special case of the bounding box is a rectangular region whose edges are parallel to their coordinate axes. It is defined by its maximum and minimum extents for all axes. Hence, each pixel $X(i,j)$ belongs to the box is given by [10]:

$$X(i,j) \mid (x_{min} \leq i \leq x_{max}) \wedge (y_{min} \leq j \leq y_{max}) . \quad (3)$$

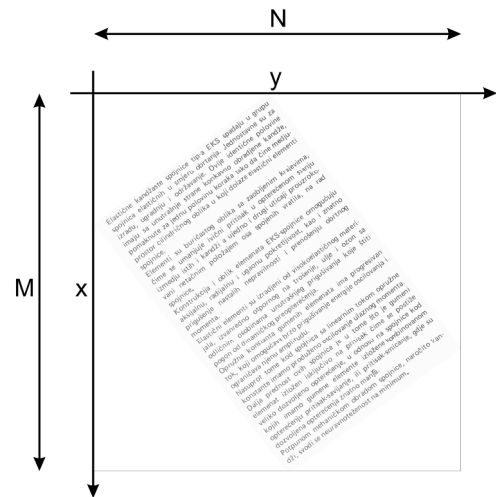


Figure 2. Document text image

Consequently, bounding box is defined by its endpoints $x_{min}, y_{min}, x_{max}, y_{max}$. Inclusion of the point $X(i,j)$ in a box is tested by verifying these four inequalities in (3). If any one of them fails, then the point is not inside. Bounding box definition is shown in Figure 3.

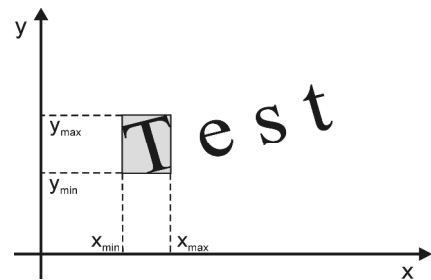


Figure 3. Bounding box definition

Original algorithm main constraint [3] was assumption that text line spacing is always sufficient. Thus, growing region made by algorithm that extends text areas will not connect nearby text lines. Algorithm makes rectangular hull around every character or text object. To distinct every text line, each rectangular hull is growing in all directions to the nearby rectangular hull of the next character or text object. This process facilitates text line segmentation, but may lead to joining and merging nearby text lines. In real situation, above assumption is ambiguous. Definition of the printed text line spacing is given in Figure 4.

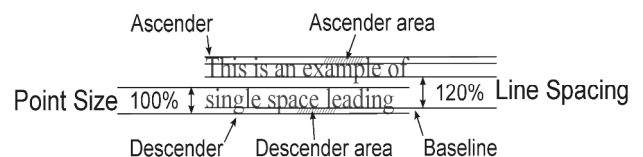


Figure 4. Definition of the typical printed text line spacing

Rectangular hull growing around character by 10% in each direction may lead to merging nearby text lines. Still, making justified text alignment led to extended text space barrier between words. Hence, algorithm ought to extend growing area joining rectangular hull objects.

In our method, boundary-growing approach is based on rectangular hull gravity center as well. Steps in Figure 5. a.-f. give boundary growing and its text gravity center points.

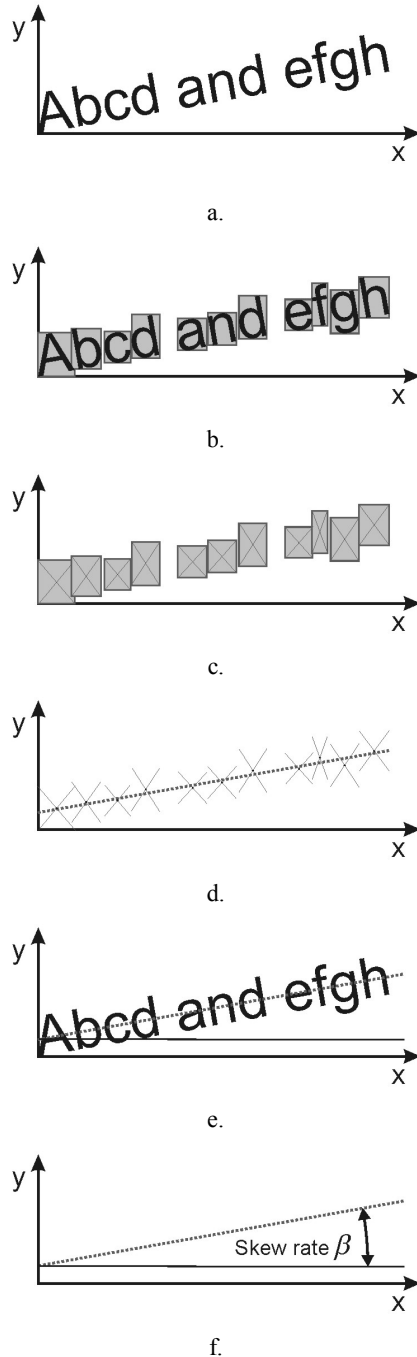


Figure 5. Initial skew rate estimation process: a. Initial text, b. Rectangular hull around each character, c. Rectangular hull objects, d. Rectangular hull gravity center points, e. Initial skew rate estimation, f. Initial skew rate identification

All characters or part of word is surrounded by rectangular hull, merging with each others and making boundary-growing area. Every rectangular hull around text is represented by its gravity center. Each rectangular object gravity center is given by pixel. Those pixels are corner stone for referent text line estimation. Further, obtained estimated referent text line is a prerequisite for initial skew rate identification. Scanned document text image with rectangular hulls object is given in Figure 6.

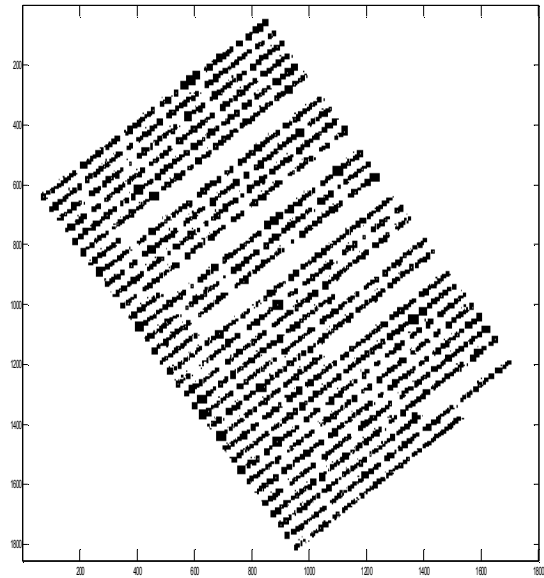


Figure 6. Document image with rectangular hull object

Main difference between original algorithm [3] and our approach are in text segmentation approach. In our case, current rectangular hull is not growing equally in all directions to the nearby rectangular hull of the next character. Thus, main assumption on sufficient text line spacing is unnecessary. Characters close to each other make rectangular hulls mutually connected forming longer object containing set of different gravity center points.

The key point is the definition of the longest object in the document image with rectangular hull object [11]. Therefore, the longest few objects O_L , extracted by morphological erosion from the set of objects O_{ALL} , are used. Erosion structuring element $S_{2,F}$ defined as variable width line is used. Erosion is given by:

$$X y S_{2,F} \quad (4)$$

where $F = 1, \dots, U$, and $L = 1, \dots, V$. It is assumed $U = 3$ and $V = 5$. It means three variable width lines and the longest five objects are used. From the experiment, results show that extending the number of structuring elements beyond defined number of F is unnecessary [11]. This way, the above number of F is sufficient for extracting initial skew rate. In addition,

extending the number of the longest objects is computationally expensive and results are not better [11].

Each object O_L is represented by the set of rectangular hulls as its integral parts. Similarly, each of those rectangular hulls characterized its gravity center points. Gravity center pixels defined by its rectangular hull maximum and minimum of x and y coordinates i.e. x_{\max} , x_{\min} , y_{\max} , y_{\min} , respectively. Definition of the gravity center pixel is given by:

$$GC_{K,L}(x,y) = \left(\frac{x_{\min} + x_{\max}}{2}, \frac{y_{\min} + y_{\max}}{2} \right) \quad (5)$$

Furthermore, array of $GC_{K,L}(x,y)$ is defined for $K = 1, \dots, R_L$, where R_L represents the number of rectangular hulls of the longest objects O_L and as stated $L = 5$. Gravity center definition (5) is general, but in our case can be applied for gravity center points adhered to rectangular hulls forming the longest objects O_L . Due to the linear aspect of the referent text line, its restoring can be made by some numerical method. To solve this problem, least square method is used. First-degree polynomial function approximation is given by:

$$y = a_L \cdot x + b_L, \quad (6)$$

where the slope a_L , and y -intercept b_L are calculated as [12]:

$$a_L' = \frac{\left(\sum_{i=1}^{n_L} y_{K,L}^i \right) * \left(\sum_{i=1}^{n_L} x_{K,L}^i \cdot y_{K,L}^i \right) - n_L * \left(\sum_{i=1}^{n_L} x_{K,L}^i \cdot y_{K,L}^i \right)}{\left(\sum_{i=1}^{n_L} x_{K,L}^i \right)^2 - n_L * \left(\sum_{i=1}^{n_L} x_{K,L}^i \right)} \quad (7)$$

and

$$b_L' = \frac{\left(\sum_{i=1}^{n_L} x_{K,L}^i \right) * \left(\sum_{i=1}^{n_L} x_{K,L}^i \cdot y_{K,L}^i \right) - \left(\sum_{i=1}^{n_L} y_{K,L}^i \right) * \left(\sum_{i=1}^{n_L} x_{K,L}^i \right)}{\left(\sum_{i=1}^{n_L} x_{K,L}^i \right)^2 - n_L * \left(\sum_{i=1}^{n_L} x_{K,L}^i \right)} \quad (8)$$

In (7) and (8) $i = 1, \dots, n_L$ represents the number of data points of the array $GC_{K,L}$. After completing calculation, reference text line defined by (6) is estimated. From the obtained reference text line, skew rate is identified. For each object L , calculated referent text line has been represented by group of pixels $GC_{K,L}(x_{K,L}, y_{K,L})$. Initial skew rate for each object is defined as:

$$\beta_L = \tan^{-1}(a_L). \quad (9)$$

Still, each object skew rate is similar, but different. Estimated initial skew rate obtained by averaging the skew rate set of the longest objects are [3,13]:

$$\beta_{EST} = \frac{\sum_{L=1}^V \beta_L}{V}. \quad (10)$$

After obtaining initial skew rate, document text image is rotated for that angle. Real skew rate is close to the initial skew rate. However to be entirely correct, a final adjustment is needed. It can be made on rotated text image by repeating above method i.e. iterating it.

Similarly, to accomplish text line segmentation, other methods can be applied altogether. After obtaining initial skew rate, document text image can be rotated for that angle. Currently, applying the horizontal and vertical projection profile will lead to correct text line segmentation. However, this process is out of scope of this paper.

III. EXPERIMENT

For the experiment, printed sample text rotated up to 90° by step of 5° to 10° around x -axis is used. Example of printed sample text is given in Figure 7.

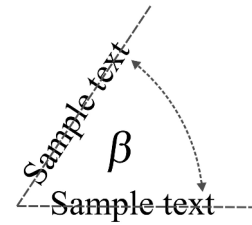


Figure 7. Printed text experiment

This sample text reference line is represented by:

$$y = a \cdot x + b. \quad (11)$$

Furthermore, referent line hit rate i.e. $RLHR$ represents the algorithm succeed measure of retracing original referent text line. It is based on the relative error declination. Its definition is given by [14-15]:

$$RLHR = 1 - |RE| = 1 - \left| \frac{\Delta\beta}{\beta} \right| = 1 - \left| \frac{\beta_{REF} - \beta_{EST}}{\beta_{REF}} \right|, \quad (12)$$

where RE is the relative error of the β . Still, for the referent value β , β_{REF} is used. Similarly, declination of the β is represented by $\Delta\beta$ where it is given as the difference between referent and estimated value of the β . Besides, the β_{REF} is \tan^{-1} of a from (11) and β_{EST} is \tan^{-1} of a_L from (6).

IV. RESULTS AND DISCUSSION

After applying proposed algorithm to the printed sample text in the whole region $\{0^\circ, \dots, 90^\circ\}$ obtained $RLHR$ is presented in Table I.

In this case, proposed algorithm without morphological erosion given in (4) is applied. But, it is strictly applied on the single text line. This experiment is valid for examination of the proposed algorithm quality, accuracy and usability. Data from Table I. are given in Figure 8.

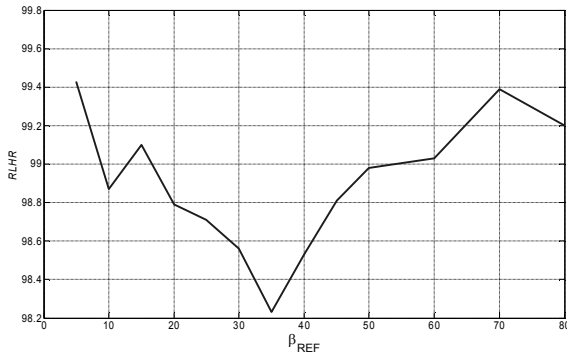


Figure 8. *RLHR* of the rectangular hull gravity center (RHGC) algorithm without erosion

RLHR for printed sample text, in examined rotation angle region i.e. whole region of $\{0^\circ, \dots, 90^\circ\}$, is very good. Besides, examined algorithm retraces original referent text line almost completely accurate.

Further, proposed algorithm is applied on multi line text. This experiment is used for initial skew rate extraction. In this experiment, proposed algorithm is extended by morphological erosion (4). Parameter linked with image erosion represents the remaining number of the objects O_{ALL} , after applying it. However, after each erosion iteration enforcement, the number of the remaining image objects is decreasing. From remained number of still existing objects, only the longest five is chosen for initial skew rate estimation. For experiment, printed text samples were multi line text rotated in the region $\{0^\circ, \dots, 90^\circ\}$ by step 10° . Obtained results are presented in Table II.

Different table parts A. and B. represent results that depend on the remained object number O_{ALL} . Data from Table II. are shown in Figure 9.

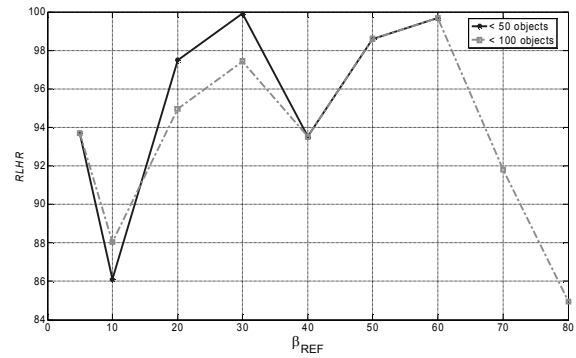


Figure 9. Initial *RLHR* of the RHGC algorithm with erosion

It is clear the initial skew rate detection using proposed algorithm is quite accurate in its whole range $\{0^\circ, \dots, 90^\circ\}$, but especially up to 70° . Compared to the algorithms [16-17], the results are much better in the wider-angle region. If the proposed algorithm is used for final adjustment then text segmentation process is not needed. Due to that, it is clear that proposed method is computationally inexpensive. In addition, it does not depend on column text type. Hence, it is suitable for single or multi column text. However, proposed method in this original form can be applied only to printed text. Its extension to the handwritten text needs the incorporation of the additional algorithms.

V. CONCLUSIONS

In the paper, boundary-growing method based on rectangular hull gravity center is presented. Method is based on rectangular shape text region expansion. Gravity center of the rectangular object is corner stone for collecting data necessary

TABLE I. *RLHR* OF THE RECTANGULAR HULL GRAVITY CENTER ALGORITHM

Text Angle	05°	10°	15°	20°	25°	30°	35°	40°	45°	50°	60°	70°	80°
β_{REF}	0.0874	0.1763	0.2679	0.3639	0.4663	0.5773	0.7002	0.8391	1.0000	1.1917	1.732	2.7474	5.6713
β_{EST}	0.0879	0.1783	0.2703	0.3683	0.4723	0.5856	0.7126	0.8514	1.0119	1.2038	1.7488	2.7642	5.7169
<i>RLHR</i>	99.43%	98.87%	99.10%	98.79%	98.71%	98.56%	98.23%	98.53%	98.81%	98.98%	99.03%	99.39%	99.20%

TABLE II. INITIAL *RLHR* OF THE RHGC ALGORITHM EXTENDED BY EROSION: A. ITERATION STEP WITH ≤ 50 OBJECTS, B. ITERATION STEP WITH ≤ 100 OBJECTS

Text Angle	5°	10°	20°	30°	40°	50°	60°	70°	80°
A.	β_{REF}	0.0874	0.1763	0.3639	0.5773	0.8931	1.1917	1.7320	5.6713
	β_{EST}	0.0819	0.1518	0.373	0.5779	0.8351	1.175	1.7265	-
	<i>RLHR</i>	93.71%	86.10%	97.50%	99.90%	93.51%	98.60%	99.68%	-

TABLE II. (CONTINUED)

Text Angle	5°	10°	20°	30°	40°	50°	60°	70°	80°
β_{REF}	0.0874	0.1763	0.3639	0.5773	0.8931	1.1917	1.7320	2.7474	5.6712
β_{EST}	0.0819	0.1552	0.3455	0.5625	0.8351	1.175	1.7265	2.5221	4.8169
<i>RLHR</i>	93.71%	88.03%	94.94%	97.44%	93.51%	98.60%	99.68%	91.80%	84.94%

for reference text line calculation as well as for initial skew rate estimation. Algorithm's experiment gives good *RLHR* in the whole rotation angle region. Hence, method proves its correctness and usefulness for printed text. In addition, extension of the algorithm with applied erosion is examined. It is suitable for multi line and multi column printed text without segmentation. Obtained results for initial skew rate are promising. In addition, extended method is computationally inexpensive.

Future work would be oriented toward examining different methods for final adjustments of the skew rate obtained from initial skew rate.

REFERENCES

- [1] Likforman-Sulem L., A. Zahour, B. Taconet, Text Line Segmentation of Historical Documents: A Survey. *International Journal on Document Analysis and Recognition (IJ DAR)*, Vol. 9, No. 2-4, pp.123-138, 2007.
- [2] Amin A., Wu S., Robust Skew Detection in mixed Text/Graphics Documents, *Proceedings of 8th ICDAR '05*, Seoul, Korea, 2005.
- [3] Shivakumara P., Kumar G.H., Guru D.S., Nagabhusan P., A Novel Technique for Estimation of Skew in Binary Text Document Images based on Linear Regression Analysis, *Sādhanā*, Vol.30, Part 1, 2005.
- [4] Dhandra B.V., Malemath V.S., Millikarjun H., Hegadi R., Skew Detection in Binary Image Documents Based on Image Dilatation and Region Labeling Approach, *Proceedings of 18th ICPR '06*, Hong Kong, China, 2006.
- [5] Sonka M., Hlavac V., Boyle R., *Image Processing, Analysis and Machine Vision*, Toronto: Thompson, 2008.
- [6] Otsu N., A threshold selection method from gray-level histograms. *IEEE Transactions on Systems, Man, and Cybernetics*, Vol.9, No1, pp. 62-66, 1979.
- [7] Sauvola, L., Pietikainen, M., Adaptive Document Image Binarization, *Pattern Recognition*, Vol.33, No.2, pp. 225-236, 2000.
- [8] Bukhari S. S., Shafait F., Bruesl T. M., Adaptive Binarization of Unconstrained Hand-Held Camera-Captured Document Images, *Journal of Universal Computer Science*, Vol.15, No.18, pp. 3343-3363, 2009.
- [9] Gonzalez R.C., Woods R.E., *Digital Image Processing*, 2nd ed., New Jersey: Prentice-Hall, 2002.
- [10] Preparata F. P., Shamos M. I., *Computational Geometry: An Introduction*. Berlin: Springer, 1985.
- [11] Brodić, D. Dokić, B. Initial Skew Rate Detection Using Rectangular Hull Gravity Center, *Proceeding of the 14th International Conference on Electronics (E'2010)*, Vilnius, Lithuania, 2010.
- [12] Bolstad W.M., *Introduction to Bayesian Statistics*, New Jersey: John Wiley & Sons, 2004.
- [13] Brodić, D., Milivojević, Z., An Approach to Modification of Water Flow Algorithm for Segmentation and Text Parameters Extraction. *Emerging Trends in Technological Innovation, IFIP AICT*, 314, pp. 324-331, Springer, Boston (U.S.A.), 2010.
- [14] Brodić D., Milivojević D.R., Milivojević Z., Basic Test Framework for the Evaluation of Text Line Segmentation and Text Parameter Extraction. *Sensors*. Vol. 10, No. 5, pp. 5263-5279, 2010.
- [15] Popov V.S., Principles of Symmetry and Relative Errors of Instrumentation and Transducers, *Automation and Remote Control*, Vol. 62, No. 5, 2001, pp. 842-846. (Translated from *Avtomatika i Telemekhanika*, No. 5, 2001, pp. 183-189.)
- [16] Brodić D., Milivojević Z., Modified Water Flow Method for Reference Text Line Detection, *Proceedings of 5th ICCS '2009*, Sofia, Bulgaria, 2009.
- [17] Brodić D., Milivojević Z., Using Anisotropic Gaussian Window for Printed and Handwritten Text Parameters Extraction, *Proceedings of Unitech '09*, Gabrovo, Bulgaria, 2009.



Sekcija TO-7

MODELOVANJE, IDENTIFIKACIJA I UPRAVLJANJE PROCESIMA

M. R. Stojić, D. M. Stojić	EXTRACTION OF EXTERNAL TORQUE DISTURBANCE IN POSITIONING SERVOMECHANISM	252
T. B. Šekara, M. B. Trifunović	OPTIMALNO PODEŠAVANJE PID REGULATORA SA REDNO VEZANIM DIFERENCIJALNIM KOMPENZATOROM U FREKVENCIJSKOM DOMENU .	258
A. Rakić, P. Matić	ROBUST MODELING AND REFERENCE TRACKING CONTROL OF VOLTAGE ANGLE CONTROLLED INDUCTION MOTOR IN FIELD WEAKENING REGIME	262
A. Dubravić, Z. Šehić	COMPARISON STUDY OF GPC, PID AND MPC BASED ON ORTHONORMAL FUNCTIONS, FOR A WIDE RANGE OF PROCESSES	268
A. Рибих	НАСТАВАК РАЗВОЈА ПИД РЕГУЛАТОРА	272
S. Lubura, G. S. Đorđević, V. Zerbe	APARATURA ZA PROUČAVANJE PROCESA MOTORNOG UČENJA U BALISTIČKIM ZADACIMA POGAĐANJA METE	279
J. Kosev, A. Vanovski	DATA PROCESSING CODE OPTIMIZATION BY IMPLEMENTING POINTER-BASED MODULES IN PLC PROGRAMMING	284
M. Савић, М. Божић	УПОТРЕБА ВЈЕШТАЧКИХ НЕУРОНСКИХ МРЕЖА ЗА НАДЗОР ФУНКЦИОНИСАЊА ВВmSAM СИСТЕМА	288
D. Kosić, V. Đalić, P. Marić	ISPITIVANJE PONOVLJIVOSTI MANIPULATORA KORIŠTENJEM STEREO VIDA	293

Extraction of External Torque Disturbance in Positioning Servomechanism

Invited Paper

Milić R. Stojić

Faculty of Electrical Engineering
Belgrade, Serbia
estojic@etf.rs

Dorđe M. Stojić

Institute of Electrical Engineering
Belgrad, Serbia
djolestojic@yahoo.com

Abstract—This paper presents the design of the digitally-controlled positioning servomechanism whose steady state target position is unaffected by arbitrary class of load torque disturbances. For rejection of the torque disturbance effects on the steady state value of motor target angular position, the IMPACT (Internal Model Principle and Control Together) controlling structure is proposed. As an example, the servomechanism is considered in which the output drive torque is produced by using IFOS (Indirect Field Oriented Control) of an induction motor. Some improvements of the controlling structure are proposed in order to eliminate the ringing of control variable and thus to enable easier physical realization of the positioning servomechanism. The theoretical results are confirmed by simulation.

Keywords—Positioning servomechanism; Load torque disturbance; IMPACT controlling structure

I. INTRODUCTION

One of the key tasks in the design of feedback control systems is to eliminate, or to suppress as much as possible, the influence of external immeasurable disturbances on the steady state value of controlled variable (system output). To perform this task, a number of various controlling structures has been proposed, which can be classified into two main groups: (i) the control schemes that use the IMP (Internal Model Principle), and (ii) the schemes using IMC (Internal Model Control), which are often referred to as the pseudo inverse control.

The IMP based solutions have been proposed in a number of papers [1-5]. Similar task has been performed by using the disturbance observer [6] and a “phase-locked loop” structure [7], for extraction of sinusoidal disturbances. Starting from the idea of Ya. Z. Tsytkin [4], the authors of the survey paper [8] gave the review of previous results based on the application of IMP, focusing on the development of adaptive control for the case of immeasurable time-varying frequency narrow disturbances applied on an active suspension. As a special case, variable frequency sinusoidal disturbances were considered.

A new disturbance observer (DOB) is proposed in [9], is based on the IMC with the improved performance by modifying the original DOB structure. Furthermore, the proposed observer is adapted to the extended task space formulation. In [10], the state and disturber observer algorithm

for linear time-invariant systems is proposed, with the disturbance estimation treated as a plant inversion problem. Since the inverse of a physical system is usually noncausal, the derivatives of output signals, causing that the accurate values of output derivatives become difficult to obtain, which is a common problem for numerous output feedback-disturbance observers. In [10], the tuning parameter is introduced, which can be adjusted to reduce the effects of measuring noise.

Although the disturbance observer, IMP, and IMC based solutions effectively eliminate the influence of immeasurable loads, in general, to a certain degree they suffer from the increased sensitivity to the measuring noise in the feedback signal. In these cases, the problem of measuring noise cannot be completely solved by filtering the feedback signal, since the inclusion of a low-pass digital filter causes an error in the disturbance estimation and rejection of the immeasurable load influence from the feedback control.

In this paper, the IMPACT controlling structure is applied for design of a digitally-controlled positioning servomechanism. The proposed structure eliminates the effects of arbitrary load torque disturbances on the steady state value of the motor target angular position, while keeping the dynamics of the adopted position control loop almost intact. This task is completed by using suitable modification of the original IMPACT structure proposed in [11]. The paper is organized as follows. After the Introduction in Section I, In Section II, the IMPACT controlling structure, adopted for the position control of electrical drive with an induction motor, is described. It will be shown that the proposed structure enables that the desired continuous-time set-point transient response of closed-loop system and rejection of load torque disturbance are achieved independently. Section III gives a set of simulation results that illustrates the efficiency of the proposed IMPACT structure in rejecting of three typical disturbances from the steady state value of the target angular position of the drive. Section IV considers the problem of ringing of control variable.

II. IMPACT STRUCTURE OF POSITIONING SERVOMECHANISM

Fig. 1 shows the IMPACT structure primarily proposed by Ya.Z. Tsytkin [11]. Actually, Fig. 1 represents the original IMPACT structure modified for application to the design of

position-controlled servo drive with induction motor. Likewise, the modification of general IMPACT structure suitable for control of disturbance invariant processes having large dead-times has been proposed in [12]. In [13], similar control structure has been used in the design and realization of speed-controlled electrical drives.

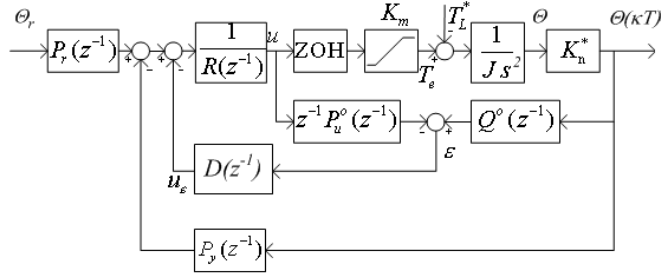


Figure 1. IMPACT controlling structure of digitally-controlled positioning servomechanism.

The control portion of the structure comprises: two-input nominal plant model, control polynomials $P_r(z^{-1})$, $P_y(z^{-1})$, $R(z^{-1})$, and prediction polynomial $D(z^{-1})$ included into the minor local feedback loop of the structure. The nominal model of the plant consists of the vector-controlled torque driven induction motor and counting-type shaft encoder measuring the motor speed [13]. The encoder generates feedback variable

$$\theta^*(kT) = \frac{K_n}{2\pi} \theta(t) = K_n^* \theta(t) \quad (1)$$

where $\theta(t)$ denotes shaft angular position in radians, T is the sampling period, and K_n is the total number of quantum marks on the encoder disc. Notice that the control portion of the structure in Fig. 1 includes both the two-input nominal plant model explicitly and the model of external disturbance embedded implicitly into the prediction polynomial $D(z^{-1})$.

The zero-hold equivalent nominal model of the plant comprising the vector-controlled induction motor and shaft encoder may be approximated, in the linear regime, by

$$W^0(z^{-1}) = \frac{\theta^*(z^{-1})}{u(z^{-1})} = Z \left[\frac{K_m K_n^* (1 - e^{-Ts})}{J s^3} \right] \quad (2)$$

wherefrom one obtains

$$W^0(z^{-1}) = \frac{z^{-1} P_u^0(z^{-1})}{Q_0(z^{-1})} = C_m \frac{z^{-1}(1+z^{-1})}{(1-z^{-1})^2} \quad (3)$$

where $C_m = K_m K_n^* T^2 / 2J$ is the synthetic plant parameter and K_m , K_n^* , and J denote respectively the electromagnetic torque coefficient, number of quantum marks per radian, and motor

inertia. Hence, in the IMPACT structure of Fig. 1, $z^{-1} P_u^0(z^{-1}) = C_m z^{-1}(1+z^{-1})$ and $Q^0(z^{-1}) = (1-z^{-1})^2$.

For minimal phase plants, the proper choice of polynomial $R(z^{-1})$ is $R(z^{-1}) = P_u^0(z^{-1}) = C_m(1+z^{-1})$ [4, 11, 13]. In the nominal case, $P_u(z^{-1}) = P_u^0(z^{-1})$, $Q(z^{-1}) = Q^0(z^{-1})$ and for $R(z^{-1}) = P_u^0(z^{-1})$, the closed-loop transfer function $\theta^*(z^{-1}) / \theta_r(z^{-1})$ is easily derived from Fig. 1 as

$$\frac{\theta^*(z^{-1})}{\theta_r(z^{-1})} = \frac{z^{-1} P_r(z^{-1})}{Q^0(z^{-1}) + z^{-1} P_y(z^{-1})} \quad (4)$$

After approximation of torque disturbance $T_L(t)$ by $T_L^*(t) = T_L(t)$ for $kT \leq t < (k+1)T$, $k = 0, 1, 2, \dots$, the system closed-loop transfer function $\theta^*(z^{-1}) / T_L^*(z^{-1})$ becomes

$$\frac{\theta^*(z^{-1})}{T_L^*(z^{-1})} = \frac{Q^0(z^{-1}) [1 - z^{-1} D(z^{-1})]}{Q^0(z^{-1}) + z^{-1} P_y(z^{-1})} W_L(z^{-1}) \quad (5)$$

where

$$W_L(z^{-1}) = Z \left[\frac{K_n^*}{J} \frac{1 - e^{-Ts}}{s^3} \right] = \frac{K_n^* T^2}{2J} \frac{z^{-1}(1+z^{-1})}{(1-z^{-1})^2} \quad (6)$$

A. Rejection of Disturbance

From Eqs. (5) and (6) and $Q^0(z^{-1}) = (1-z^{-1})^2$, the steady-state error in the presence of a known class of external disturbances $T_L^*(t)$ will become zero, after a certain finite number of sampling periods, i.e.,

$$\lim_{z \rightarrow 1} (1-z^{-1}) \frac{[1 - z^{-1} D(z^{-1})]}{Q^0(z^{-1}) + z^{-1} P_y(z^{-1})} \frac{K_n^* T^2 z^{-1}(1+z^{-1})}{2J} T_L^*(z^{-1}) = 0 \quad (7)$$

Since

$$\lim_{z \rightarrow 1} \frac{1}{Q^0(z^{-1}) + z^{-1} P_y(z^{-1})} \frac{K_n^* T^2 z^{-1}(1+z^{-1})}{2J} \neq 0 \quad (8)$$

equation (7) is satisfied if

$$\lim_{z \rightarrow 1} (1-z^{-1}) [1 - z^{-1} D(z^{-1})] T_L^*(z^{-1}) = 0 \quad (9)$$

Suppose that the class of load torque disturbances is known and given by its z -transform $T_L^*(z^{-1}) = A(z^{-1}) / B(z^{-1})$. Then Eq. (9) is satisfied and consequently the disturbance is completely rejected in the steady-state if

$$1 - z^{-1}D(z^{-1}) = B(z^{-1}) \quad (10)$$

wherefrom one obtains the prediction polynomial

$$D(z^{-1}) = \frac{1 - B(z^{-1})}{z^{-1}}. \quad (11)$$

For example, for the constant, ramp, parabolic, and sinusoidal ($T_L(t) = \sin \omega t$) torque disturbances, the denominator of disturbance model $B(z^{-1})$ equals $1 - z^{-1}$, $(1 - z^{-1})^2$, $(1 - z^{-1})^3$, and $1 - 2z^{-1} \cos \omega T + z^{-2}$, respectively. Furthermore, the disturbance polynomial $B(z^{-1})$ can also be determined for the cases of more complicated disturbances. For example, for the composed disturbance of superposed ramp and sinusoidal signals, the disturbance model $B(z^{-1}) = (1 - z^{-1})^2(1 - 2z^{-1} \cos \omega T + z^{-2})$ should be used for the IMPACT structure design. In such way, for any kind of single or more complicated class of disturbances, the corresponding prediction polynomial $D(z^{-1})$ can be immediately determined by using Eq. (11). Nevertheless, torque disturbance $T_L(t)$ is usually slow varying and therefore the implementation of disturbance polynomial $B(z^{-1}) = (1 - z^{-1})^2$ or the corresponding prediction polynomial $D(z^{-1}) = 2 - z^{-1}$, which corresponds to extraction of ramp disturbances, will effectively reject the influence of torque disturbance on the steady state value of the angular target position of the motor shaft. Moreover, the use of $B(z^{-1}) = (1 - z^{-1})^2$ for calculation of prediction polynomial $D(z^{-1})$ by Eq. (11) will strongly suppress low frequency stochastic disturbances that can be generated by double integration of white noise.

B. Parameter Setting

Control polynomials $P_r(z^{-1})$ and $P_y(z^{-1})$ in the main control loop of the structure in Fig. 1 may be determined by the specified closed-loop system pole spectrum or by the desired closed-loop system transfer function. Since the closed-loop system is of the second order, the set-point closed-loop continuous system response may be specified by the closed-loop system transfer function

$$\frac{\theta(s)}{\theta_r(s)} = \frac{\sigma^2}{(s + \sigma)^2} \quad (12)$$

which guarantees a strictly aperiodical and sufficiently fast set-point response.

Let us suppose the desired bandwidth of the closed-loop system $f_c \approx 6$ Hz. Then, with sampling period $T = 0.01$ s, one calculates $e^{-\sigma T} = e^{-2\pi f_c T} = 0.6859$ and $\sigma = 37.7$.

The zero-hold equivalent pulse transfer function of (12) is

$$\frac{\theta(z^{-1})}{\theta_r(z^{-1})} = Z \left[\frac{1 - e^{-sT}}{s} \frac{37.7^2}{(s + 37.7)^2} \right] = \frac{0.05549z^{-1} + 0.04316z^{-2}}{1 - 1.3720z^{-1} + 0.4705z^{-2}}. \quad (13)$$

After substituting $Q^0(z^{-1}) = (1 - z^{-1})^2$ into (4) and then equating identically Eqs. (4) and (13), one determines control polynomials $P_r(z^{-1})$ and $P_y(z^{-1})$ as

$$P_r(z^{-1}) = 0.05549 + 0.04316z^{-1} \quad (14a)$$

$$P_y(z^{-1}) = 0.6280 - 0.5295z^{-1}. \quad (14b)$$

III. SIMULATION

In order to examine the efficiency of the IMPACT structure in extraction of load torque disturbances, several simulation runs have been carried out. In the considered positioning servomechanism [14], the employed induction motor has inertia of $J = 0.0459$ kg·m². The incremental encoder giving 2500 pulses per revolution is used. The synthetic parameter $C_m = K_m K_n^* T^2 / 2J = 0.025$ is adopted. Note that this parameter can be easily measured on an experimental setup. Thus, other parameters required for the simulation are: $K_n^* = 2500 / \pi = 397.887$, $K_m = 2C_m J / K_n^* T^2 = 0.05768$, and $K_m K_n^* / J = 500$. In all simulation runs that follow, the disturbance model polynomial $B(z^{-1}) = (1 - z^{-1})^2$ and the corresponding prediction polynomial $D(z^{-1}) = 2 - z^{-1}$ calculated from (11) are used. Recall that these polynomials correspond to extraction of the constant, ramp, and slow varying disturbances.

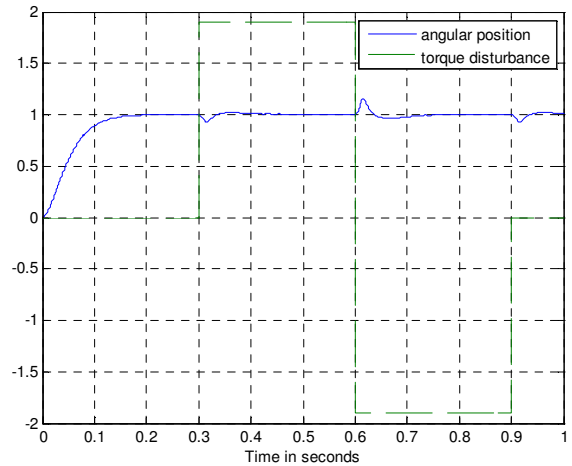


Figure 2. Extraction of constant step disturbance.

In the first simulation run, two successive step constant torque disturbances are applied. Fig. 2 shows that the influence of the disturbance on the steady state value of target position is completely eliminated after relatively brief transient responses.

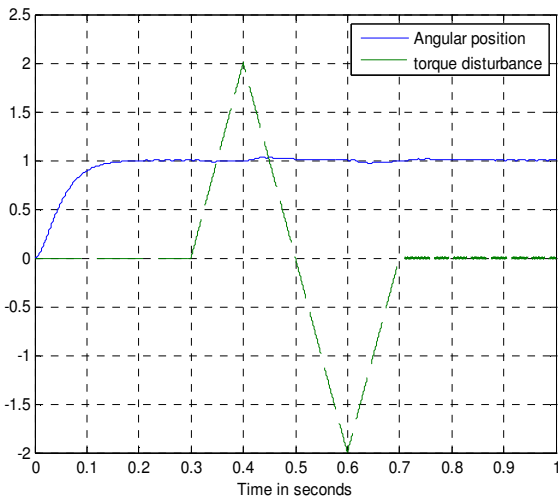


Figure 3. Extraction of ramp disturbances.

In the second simulation run, the combined ramp torque disturbance shown in Fig. 3 is applied. Fig. 3 shows that the controlling structure completely rejects the disturbance from the steady state value of the servomechanism angular position.

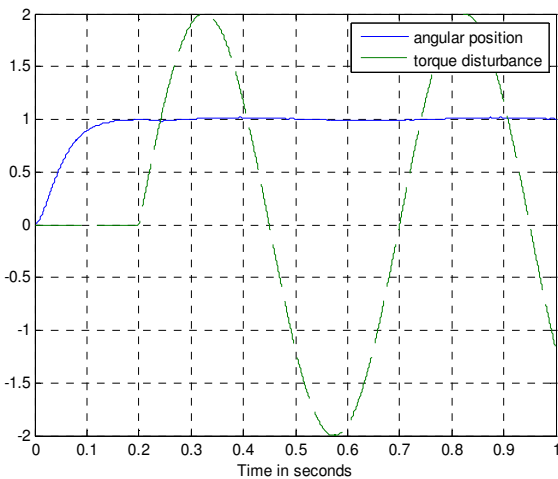


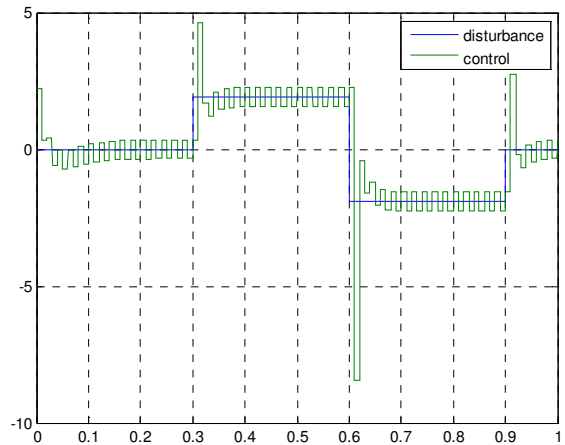
Figure 4. Extraction of sinusoidal disturbance.

Finally, the sinusoidal torque disturbance shown in Fig. 4 is applied. Fig. 4 illustrates the efficiency of the proposed IMPACT structure in extraction of this kind of external disturbances. Namely, Fig. 4 shows that the disturbance practically does not affect the steady state target position of the positioning servomechanism.

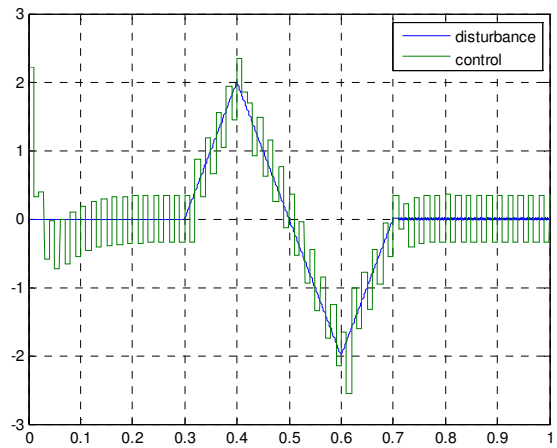
IV. RINGING OF CONTROL

Figs. 2, 3 and 4 show the efficiency of the IMPACT controlling structure in rejection of different external torque disturbances from the steady state target position of the servomechanism. Nevertheless, the physical realization of the servomechanism requires the additional analysis of the shape and amplitude of control variable. To this end, in Fig. 6 the disturbances and their controls are shown. From the figure, it is

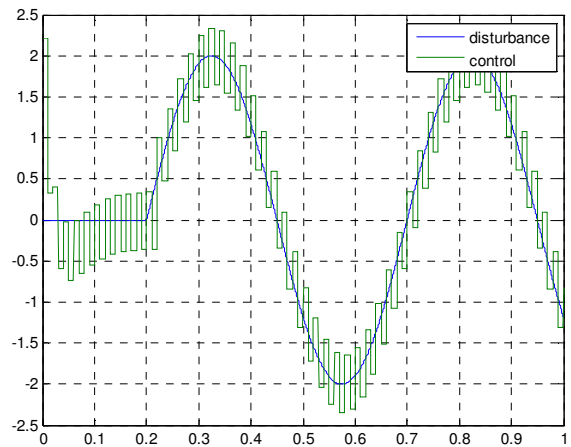
seen that in all cases the controls exhibit fluctuations that are often called “ringing of control”, which could produce serious difficulties in practical realization of driving inverter.



(a)



(b)



(c)

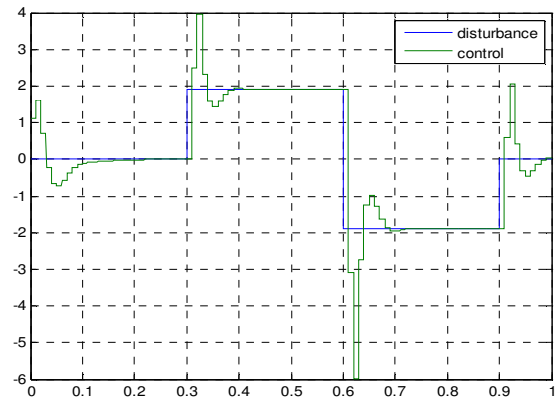
Figure 5. Ringing of control variables for different types of torque disturbances: (a) constant, (b) ramp, and (c) sinusoidal.

The fluctuations arise due to the present of pole $z = -1$ in the cascade filter $R(z) = z/0.025(z+1)$ within the control portion of the IMPACT structure. This pole generates periodical fluctuations of control variable, having the period equal to $T/2$. To prevail over these difficulties, one can use the idea of Dahlin, which consists in eliminating the critical pole, and thus the ringing of control, by setting $z=1$ in $R(z)$ to obtain $R(1) = 1/0.05$. In doing so, the new structure similar to the IMPACT is obtained. The structure was simulated and the results of simulation runs are shown in Fig. 5. By comparing Figs. 4 and 5, it is noticed that the ringing of control does not exist anymore.

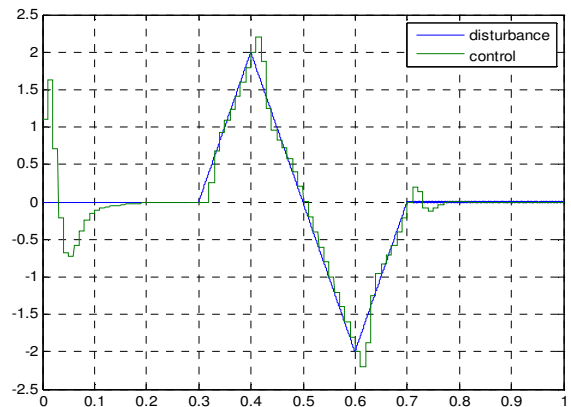
After substitution of $R(z) = z/0.025(z+1)$ by $R(1) = 1/0.05$, the obtained controlling structure is not the proper IMPACT structure any longer and therefore its quality of disturbance transient response and ability of extraction of external disturbances are reduced. This is illustrated by simulation of the new structure and simulation results are given in Figs. 7, 8, and 9. Comparing Figs. 2, 3, and 4 with the corresponding Figs. 7, 8, and 9, one can conclude that, in the new control structure, the setting time and overshoot of disturbance transient response prolongs and increases, respectively. Furthermore, the ability of the new structure in rejection of torque disturbances is slightly reduced. Namely, in the steady state, a small amount of disturbances is noticed. However, this disadvantage of the modified IMPACT structure does not disqualify its practical application in designing of positioning mechanisms.

V. CONCLUSION

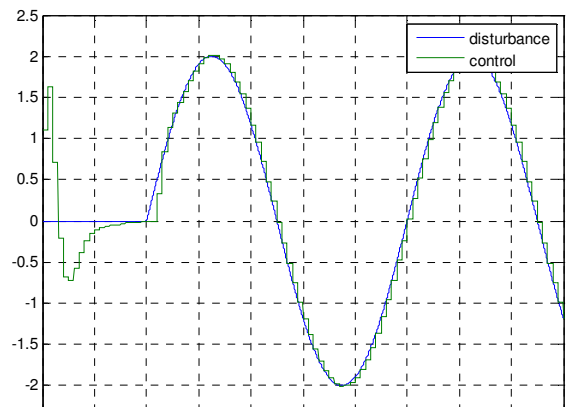
One of the tasks of a control system is that in the presence of external disturbances it tracks the reference signal without steady-state error. In most practical applications, some a priori information about the class of disturbances is available. In such cases, extraction of immeasurable external disturbance is possible by using the IMPACT controlling structure proposed in this paper. The structure has been applied for design of positioning servomechanism in which the steady state target angular position of motor shaft is invariant in respect of external load torque disturbances. For any kind of known class of disturbance it is possible to design the controlling structure that completely rejects or suppresses the influence of disturbance on the steady state value of motor angular position. The simulation results confirm the ability of the structure for disturbance extraction. For the sake of clarity, the procedure outlined in this paper is illustrated by the design of disturbance invariant positioning servomechanism in which the control plant includes a vector controlled induction motor. It is of particular interest to note that the procedure stays unchanged if some other type of driving motor is used. The only difference is the inclusion of the corresponding nominal plant model.



(a)



(b)



(c)

Figure 6. Control variables without ringing for different types of torque disturbances: (a) constant, (b) ramp, and (c) sinusoidal.

REFERENCES

- [1] Francis B.A, Wonham W.M. (1976) The internal model principle of control theory. *Automatica* vol. 12, pp. 457-465
- [2] Johnson C.D. (1976) Theory of disturbance-accommodating controllers. In Leondes C.T. (Ed.), *Control of dynamic systems* vol. 12, pp. 387-489
- [3] Bengtsson G. (1977) Output regulation and internal models – a frequency domain approach. *Automatica* vol. 13: 333-345
- [4] Tsytkin Ya.Z. and Holmberg U. (1995) Robust stochastic control using the internal model principle and internal model control. *International Journal of Control* vol. 61, no. 4, pp. 809-822
- [5] Amara F.B, Kabamba P.T. and Ulsoy A.G. (1999) Adaptive sinusoidal disturbance rejection in linear discrete-time systems. Parts 1 and 2, *Journal of Dynamic Systems Measurement and Control* vol. 121, pp. 648-659
- [6] Marino M, Santosuosso G.I. and Tomei P. (2000) Robust adaptive compensation of biased sinusoidal disturbances with unknown frequency. *Automatica* vol. 39, pp. 1755-1761
- [7] Bodson M, Douglas S.C. (1997) Adaptive algorithms for the rejection of sinusoidal disturbances with unknown frequency. *Automatica* vol. 33, pp. 2213-2221
- [8] Landau I.D. Constantinescu A, Rey D (2005) Adaptive narrow band disturbance rejection applied to an active – suspension – an internal model principle approach. *Automatica* vol. 41, pp. 563-574
- [9] Oh Y. and Chung W.K. (1999) Disturbance-observer-based motion control of redundant manipulators using inertially decoupled dynamics. *IEEE/ASME Trans on Mechatronics* vol. 4, no 2, pp. 133-145
- [10] Liu C.S and Peng H. (2002) Inverse-dynamics based state and disturbance observers for linear time-invariant systems. *Journal of Dynamic Systems, Meas. and Control* vol. 124, pp. 375-381
- [11] Tsytkin Ya.Z, Holmberg U (1995) Robust stochastic control using the internal model principle and internal model control. *Intern. Journal of Control* vol. 61, no 4, pp. 809-822
- [12] Stojić M.R., Matijević M.S. and Draganović Lj.S. (2001) A robust Smith predictor modified by internal models for integrating process with dead time. *IEEE Trans. on Automatic Control* vol. 46, no 8, pp. 1293-1298
- [13] Stojić M.R. and Stojić Dj.M. (2006) Design of the disturbance-invariant speed-controlled drive with Tesla's induction motor. *Proc. of the Sixth International Symposium Nikola Tesla*, 65-69, Academic Mind, Belgrade
- [14] Stojić M.R. (1984) Design of microprocessor-based system for DC motor speed control. *IEEE Trans. on Industrial Electronics* vol. EI-31, no 3, pp. 243-249
- [15] Stojić M. R., Vukosavić S. N. (1991) Design of microprocessor-based system for positioning servo-mechanism with induction motor, *IEEE Trans. on Industrial Electronics*, vol. IA-38, no 5, pp 369-378

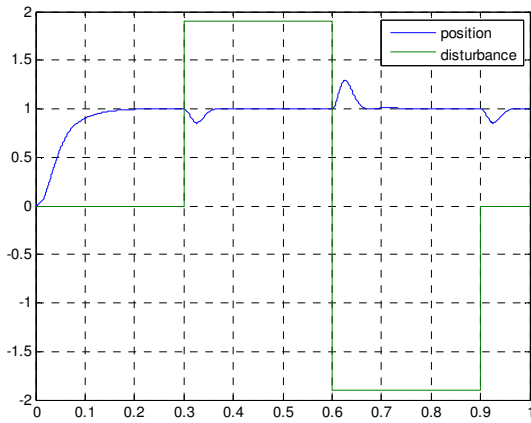


Figure 7. Extraction of constant step disturbances.

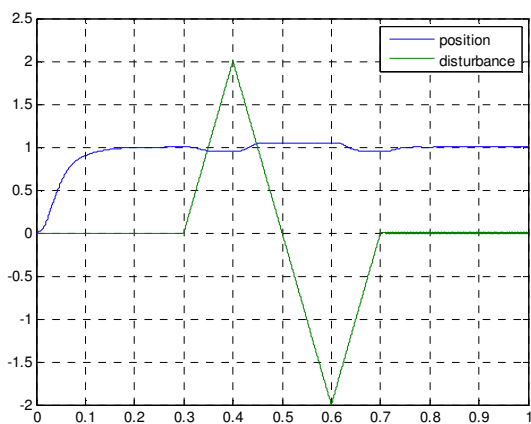


Figure 8. Extraction of ramp disturbance.

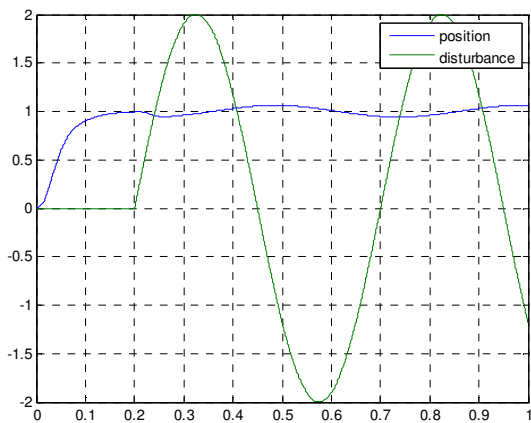


Figure 9. Extraction of sinusoidal disturbances.

Optimalno podešavanje PID regulatora sa redno vezanim diferencijalnim kompenzatorom u frekvencijskom domenu

Tomislav B. Šekara
Elektrotehnički fakultet
Beograd, Srbija
tomi@etf.rs

Miloš B. Trifunović
Elektrotehnički fakultet
Beograd, Srbija
miloshtrifunovic@gmail.com

Sadržaj - U radu je razvijen novi algoritam za optimizaciju PID regulatora sa redno vezanim diferencijalnim kompenzatorom (PIDC) u frekvencijskom domenu. Podešljivi parametri su proporcionalno pojačanje k , integralno pojačanje k_i , faktor relativnog prigušenja nula PID regulatora ζ i nula diferencijalnog kompenzatora $-1/\alpha$. Optimizaciona procedura je zasnovana na maksimizaciji integralnog ili proporcionalnog pojačanja, za zadate veličine maksimalne osjetljivosti M_s i osjetljivosti na mjerni šum M_n . Rješavanjem optimizacione procedure dobijaju se parametri PIDC regulatora koji daju minimum IAE (Integrated Absolute Error). Ova metoda je upoređena sa najboljom do sada predloženom metodom za PID regulator sa redno vezanim kompenzatorom drugog reda (PIDC2). Pokazalo se da je optimalni PIDC efikasniji od PIDC2.

Gljučne riječi – PID regulator, PIDC regulator, Optimizacija, Robusnost, Frekvencijski domen

I. UVOD

Prema [1] oko 94% povratnih sprega u industriji realizovano je preko PI/PID regulatora, a istraživanje [2] je prema [3] pokazalo da u petrohemijskoj industriji taj procenat iznosi preko 97%. Ovakav značaj PI/PID regulatora bio je i motiv za dalji razvoj efikasnih i jednostavnih procedura za podešavanje parametara industrijskih regulatora [4,5,6,7]. S druge strane, posljednjih godina intenzivno se radi i na razvoju optimizacionih procedura [7-20] kojima se parametri PI/PID regulatora određuju tako da se minimizira IAE pri ograničenjima na robusnost, što zadovoljava kriterijum Shinskeyog [21]. Po tom kriterijumu kvalitetan industrijski regulator mora da bude podešen tako da, na step poremećaj na ulazu, daje minimum IAE i minimum maksimalnog odstupanja e_p izlaza od nominalnog režima uz ograničenja na robusnost.

Ideja dodatnog poboljšavanja performansi sastoji se u proširivanju PID regulatora redno vezanim diferencijalnim kompenzatorom (PIDC):

$$C_{\text{PIDC}}(s) = G_{\text{PID}} C_d(s) = \gamma \frac{ks + k_i + k_d s^2}{s(T_f s + 1)} \frac{\alpha s + 1}{T_f s + 1} \quad (1)$$

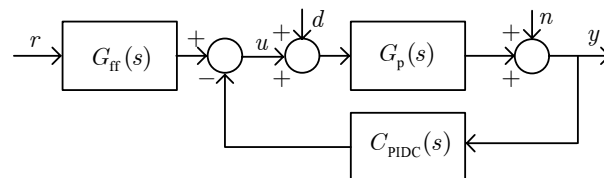
Peto-parametarska (k, k_i, k_d, T_f, α) optimizacija PIDC regulatora zasnovana je na $\max(k_i)$ metodi ili $\max(k)$ metodi [8-20]. Takođe, kao kod četverparametarske optimizacije PID regulatora, zadaje se parametar M_n umjesto vremenske konstante filtra T_f koji definiše željeni nivo osjetljivosti na mjerni šum pri visokim učestanostima, što je od izuzetnog značaja kod primjene regulatora.

U ovom radu, razvijen je modifikovani $\max(k_i)$ metod ($m\text{-}\max(k_i)$) i modifikovani $\max(k)$ metod ($m\text{-}\max(k)$) za optimizaciju PIDC u frekvencijskom domenu u cilju ostvarivanja minimuma IAE uz adekvatnu robusnost.

Kroz niz simulacija na tipičnim procesima izvršeno je poređenje metoda: $m\text{-}\max(k_i)$, $m\text{-}\max(k)$ za PIDC i metode Shamsuzzoha i Lee (ShLee) iz [22] za PIDC2.

II. MODIFIKOVANA MAX(k_i) METODA

Upravljačka struktura sa PIDC regulatorom prikazana je na slici 1.



Slika 1. Upravljačka struktura

Funkcija povratnog prenosa $L(s)$ ovakve upravljačke strukture je

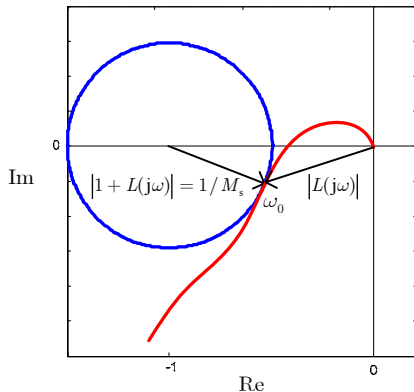
$$L(s) = C_{\text{PIDC}}(s)G_p(s) \quad (2)$$

Ako je pojačanje procesa $G_p(s)$ pozitivno tada je parametar $\gamma = 1$, dok je za negativno pojačanje procesa $\gamma = -1$. Realizacija upravljanja je definisana relacijom:

$$U(s) = k(hR(s) - Y_f(s)) + k_i(R(s) - Y_f(s))/s - k_d s Y_f(s), \quad (3)$$

gdje su $Y_f(s) = (\alpha s + 1)Y(s)/(T_f s + 1)^2$ i $0 \leq h \leq 1$.

Na slici 2, u odnosu na maksimalnu osjetljivost M_s , data je Nyquistova kriva koja u tački ω_0 tangira zadati krug poluprečnika $R = 1/M_s$ sa centrom u tački $(-1, j0)$. U $\max(k_i)$ i $\max(k)$ metodi, pored M_n , kao podešljivi parametar usvaja se i M_s , za stabilne procese i procese sa integralnim dejstvom iz opsega $M_s \in [1.4, 2]$.



Slika 2. Nyquistov dijagram $L(j\omega)$ u odnosu na zadato M_s

Da bi primijenili predloženu optimizacionu proceduru za određivanje optimalnih parametara PIDC regulatora, uz relaciju (2) neophodno je definisati funkciju $F(\omega, k, k_i, k_d, \alpha)$

$$F(\omega, k, k_i, k_d, \alpha) = |1 + L(j\omega)|^2 - 1/M_s^2 \quad (4)$$

i adekvatnu reparametrizaciju k_d i T_f preko podešljivih parametara $k_d = k/\sqrt{4\zeta k_i}$, $T_f = \sqrt{k_d \alpha / M_n}$ gdje je $M_n = \lim_{\omega \rightarrow \infty} |C_{PIDC}(j\omega)/(1 + L(j\omega))| = k_d \alpha / T_f^2$.

Tada modifikovana $\max(k_i)$ metoda za optimizaciju PIDC regulatora dobija sljedeću formu:

$$\max_{\omega, k, \zeta, \alpha} (k_i), \quad (5)$$

$$F(\omega, k, k_i, \zeta, \alpha) = 0, \quad (6)$$

$$\frac{\partial F(\omega, k, k_i, \zeta, \alpha)}{\partial \omega} = 0, \quad (7)$$

$$\frac{\partial \left| \frac{k_i G_p(j\omega) C_d(j\omega)}{\omega(1 + L(j\omega))} \right|^2}{\partial \omega} \Big|_{\omega=\omega_x} = 0, \quad (8)$$

$$\left| \frac{k_i G_p(j\omega) C_d(j\omega)}{\omega(1 + L(j\omega))} \right|_{\omega=\omega_x} = Q, \quad Q = 1.01, \quad (9)$$

Relacije (6)-(7) predstavljaju ograničenja na Nyquistovu krivu $L(j\omega)$ da tangira krug poluprečnika $1/M_s$ sa centrom u tački $(-1, j0)$. Relacije (8)-(9) predstavljaju dodatna dva ograničenja koja se dobijaju na osnovu analize metode dobijene u radovima [10,12] gdje je pokazano da vrijedi $J_v = \max_{\omega} |G_p(j\omega)/(1 + L(j\omega))/\omega| \approx 1/k_i$. Modifikujući kriterijum

J_v dobija se $J_{v0} = \max_{\omega} |k_i C_d(j\omega) G_p(j\omega)/(1 + L(j\omega))/\omega| = Q$ u $\omega = \omega_x$. J_{v0} kriterijum rezultuje u ograničenje premašaja na odskočnu referencu. Pokazalo se da se za parametar Q može uzeti $Q = 1.01$ koji obezbjeđuje dobijanje $\min(\text{IAE})$ u slučaju PIDC regulatora, sa prihvatljivim premašajem.

Napomena: m-max(k) metoda primijenjena za PIDC ima istu formu kao prethodno opisana m-max(k_i) metoda sa razlikom da se vrši maksimizacija proporcionalnog pojačanja uz ista ograničenja (6)-(9).

Rješavanjem optimizacione procedure (5)-(9) pod ograničenjima tipa jednakosti za zadate veličine M_s , M_n dobijaju se optimalni parametri PIDC regulatora

$$k = k_0, \quad k_i = k_{i0}, \quad \zeta = \zeta_0, \quad \alpha = \alpha_0, \quad (9)$$

Za početna pogađanja optimalnog PIDC regulatora se koriste dobijeni parametri $(k^*, k_i^*, \zeta^*, \omega^*, \omega_x^*)$ optimalnog PID regulatora po metodi $\max(k)$, tako da je:

$$k = k^*, \quad k_i = 1.1k_i^*, \quad \zeta = \zeta^*, \quad \omega = 1.2\omega^*,$$

$$\omega_x = 1.2\omega_x^*/7, \quad \alpha = 3k^*/(M_n \sqrt{\zeta^* k_i^*}).$$

III. UPOREDNA ANALIZA I SIMULACIJE

Uspoređenje m-max(k) i m-max(k_i) metode je dato u Tabeli 1 za šest reprezentanata tipičnih dinamičkih karakteristika industrijskih procesa:

$$G_{p1}(s) = \frac{1}{(s+1)^4}, \quad G_{p2} = \frac{e^{-5s}}{(s+1)^3}, \quad G_{p3} = \frac{1-2s}{(s+1)^3},$$

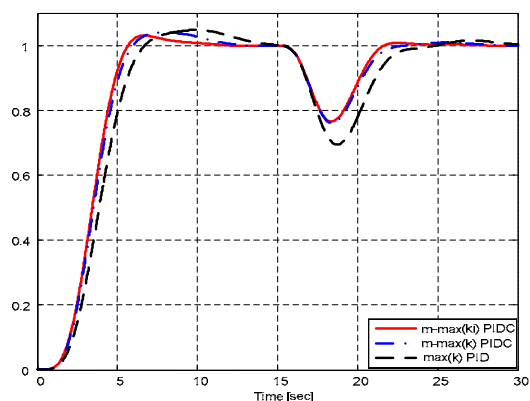
$$G_{p4} = \frac{1}{\cosh(\sqrt{2}s)}, \quad G_{p5} = \frac{1}{s(s+1)^3}, \quad G_{p6} = \frac{4e^{-2s}}{4s-1}.$$

Iz Tabele 1 vidimo da metoda m-max(k_i) u odnosu na metodu m-max(k) optimizacije PIDC regulatora za procese $G_{pj}(s)$, $j=1,2,\dots,6$, daje poboljšanje performansi za isto M_s i M_n uz neznatno narušavanje robusnosti u odnosu na optimalni PID regulator. Takođe se može pokazati da optimalni PIDC

TABELA 1. UPOREĐENJE METODA M-MAX(k_i) I M-MAX(k) ZA PIDC I OPTIMALNO PODEŠENOG PID [17,18] NA ŠEST REPREZENTANATA TIPIČNIH INDUSTRIJSKIH PROCESA. $T_f = \sqrt{k_d \alpha / M_n}$.

Metod/ Proces	M_s	M_n	k	k_i	k_d	α	IAE	M_p
m-max(k_i)/ G_{p1} PIDC	2.0	80	2.898	1.433	2.219	0.944	0.74	1.48
m-max(k)/ G_{p1} PIDC	2.0	80	3.081	1.346	2.970	0.900	0.80	1.43
max(k)/ G_{p1} PID	2.0	80	2.514	0.949	2.983	-	1.15	1.35
m-max(k_i)/ G_{p2} PIDC	2.0	40	0.529	0.162	0.740	1.690	6.66	1.03
m-max(k)/ G_{p2} PIDC	2.0	40	0.628	0.152	1.100	0.254	7.31	1.03
max(k)/ G_{p2} PID	2.0	40	0.626	0.150	1.115	-	7.44	1.03
m-max(k_i)/ G_{p3} PIDC	2.0	40	0.549	0.259	0.319	0.721	5.21	1.14
m-max(k)/ G_{p3} PIDC	2.0	40	0.595	0.249	0.451	0.309	5.44	1.11
max(k)/ G_{p3} PID	2.0	40	0.581	0.234	0.479	-	5.71	1.08
m-max(k_i)/ G_{p4} PIDC	2.0	100	7.072	23.97	0.456	0.07	0.046	1.58
m-max(k)/ G_{p4} PIDC	2.0	100	7.280	23.13	0.579	0.05	0.048	1.52
max(k)/ G_{p4} PID	2.0	100	6.747	19.27	0.652	-	0.058	1.45
m-max(k_i)/ G_{p5} PIDC	2.0	30	0.875	0.206	0.985	1.332	5.25	1.65
m-max(k)/ G_{p5} PIDC	2.0	30	0.903	0.196	1.241	1.055	5.62	1.56
max(k)/ G_{p5} PID	2.0	30	0.649	0.101	1.268	-	11.06	1.46
m-max(k_i)/ G_{p6} PIDC	2.8	5	0.488	0.035	0.306	0.64	31.62	2.98
m-max(k)/ G_{p6} PIDC	2.8	5	0.490	0.035	0.352	0.56	32.06	2.95
max(k)/ G_{p6} PID	2.8	5	0.473	0.029	0.439	-	39.38	3.02

regulator ostvaruje bolje praćenje reference uz veće potiskivanje poremećaja u odnosu na optimalni PID regulator što je prikazano na slici 3.



Slika 3. Step odziv na referencu i na poremećaj za $G_{pi}(s)$, $h=0$ iz (3).

Uporedimo nedavno objavljenu metodu za podešavanje PID regulator sa redno vezanim kompenzatorom drugog reda (PIDC2) [22]

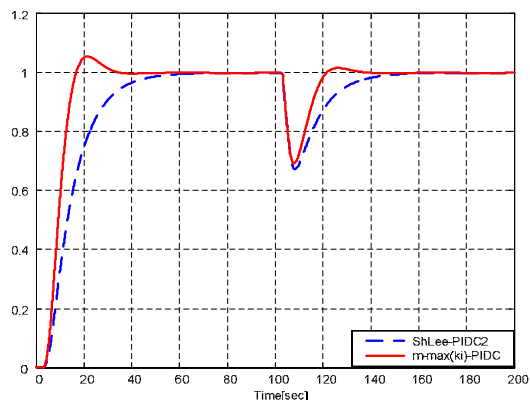
$$C_{ShLee}(s) = K_c \left(1 + \frac{1}{T_i s} + T_d s \right) \frac{1 + cs + ds^2}{1 + as + bs^2}, \quad (11)$$

i metodu m-max(k_i) u Tabeli 2 na sljedećim procesima [22]

$$G_{p7} = \frac{e^{-3s}}{(10s+1)}, \quad G_{p8} = \frac{e^{-4s}}{(100s^2+10s+1)}, \quad G_{p9} = \frac{0.2e^{-7.4s}}{s}$$

$$G_{p10} = \frac{2e^{-s}}{(10s+1)(5s+1)}, \quad G_{p11} = \frac{(1-5s)e^{-5s}}{(100s^2+10s+1)}$$

Pravila za podešavanja regulatora (11) definisana su za procese prvog i drugog reda (sa astatizmom, vremenskim kašnjenjem, nulama u desnoj i lijevoj poluravni) [22].



Slika 4. Step odziv na referencu i na poremećaj za proces $G_{p7}(s)$.

Optimalni PIDC po metodi m-max(k_i), $h=0$ iz (3) i PIDC2 po metodi ShLee za istu vrednost $M_s=1.6$.

Prednost metode m-mak(k_i) za optimalno podešavanje PIDC u odnosu na metodu ShLee je ta što koristi svu dinamiku procesa. Metoda ShLee zahtijeva redukciju procesa nekom od aproksimacija i time gubitak određene dinamike koja degradira kvalitet regulacije procesa.

TABELA 2. UPOREĐENJE METODE M-MAX(k_i) I SHLEE METODE ZA PROCESSE $G_{pi}(s)$, $J=7,8,\dots,11$.

Metod/ Proces	M_s	M_n	k	k_i	k_d	α	T_i	LAE	M_p
m-max(k_i)(G _{p7})	1.6	5	2.020	0.309	2.286	1.063	0.472	3.04	1.22
ShLee(G _{p7})	1.6	5	0.298	0.198	0.149	-	-	5.01	1.00
*parametri kompenzatora su: a=0.605, b=0.302, c=10, d=0									
mmax(k_i)(G _{p8})	1.6	50	1.649	0.151	8.222	4.326	0.843	8.13	1.40
ShLee(G _{p8})	1.6	inf	0.298	0.149	0.198	-	-	9.09	1.00
*parametri kompenzatora su: a=0.807, b=0.538, c=10, d=100									
mmax(k_i)(G _{p9})	1.9	5	0.526	0.024	1.123	2.202	0.701	46.7	1.62
ShLee(G _{p9})	1.9	inf	0.095	0.019	0.176	-	-	51.6	1.58
*parametri kompenzatora su: a=0.202, b=0.034, c=15, d=50									
mmax(k_i)(G _{p10})	1.6	20	3.209	0.503	5.850	1.852	0.736	2.35	1.54
ShLee(G _{p10})	1.6	inf	0.149	0.298	0.025	-	-	3.35	1.00
*parametri kompenzatora su: a=3.0952, b=0, c=26.59, d=0									
mmax(k_i)(G _{p11})	1.6	10	0.442	0.045	3.995	4.741	1.376	27.49	1.00
ShLee(G _{p11})	1.6	inf	0.106	0.042	0.088	-	-	29.42	1.00
*parametri kompenzatora su: a=2.611, b=4.945, c=10, d=100									

Iz Tabele 2 je očigledno da m-max(k_i) metod optimalnog PIDC u odnosu na PIDC2 regulator, daje bolje rezultate u smislu performansi i adekvatnu robusnost.

ZAKLJUČAK

Predloženi novi metod m-max(k_i) kao i m-max(k) za optimizaciju PIDC regulatora omogućava da se optimizacija vrši u frekvencijskom domenu, ostvarujući dobre performanse i adekvatnu robusnost. Na osnovu korišćenih reprezentanata industrijskih procesa može se zaključiti da efekat diferencijalnog kompenzatora dodatog na PID regulator daje veći doprinos performansi za procese sa manjim transportnim kašnjenjem uz adekvatnu robusnost.

REFERENCE

- [1] S. Yamamoto and I. Hashimoto, "Present status and future needs: the view from Japanese industry", In Arkun and Ray, Eds., *Chemical Process Control-CPCIV. Proc. 4th Inter. Conf. on Chemical Process Control*, TX, 1991.
- [2] L. Desbournough, R. Miller, "Increasing customer value of industrial control performance monitoring—Honeywell's experience", in: *Sixth International Conference on Chemical Process Control, AIChE Symposium Series Number 326, Vol. 98*, 2002.
- [3] K.J. Åström, T. Hägglund, "Revisiting the Ziegler-Nichols step response method for PID control", *Journal of Process Control*, vol. 14, pp. 635-650, September 2004.
- [4] M. R. Mataušek, G. S. Kvaščev, "A unified step response procedure for autotuning of PI controller and Smith predictor for stable processes", *Journal of Process Control*, Vol. 13, pp. 787-800, 2003.
- [5] S. Skogestad, "Simple analytic rules for model reduction and PID controller tuning", *Journal of Process Control*, Vol. 13, pp. 291-309, 2003.
- [6] M. Shamsuzzoha, M. Lee, "IMC-PID controller design for improved disturbance rejection of time-delayed processes", *Industrial & Engineering Chemistry Research*, vol. 46, no.7, pp. 2077-2091, 2007.
- [7] M. R. Mataušek, T. B. Šekara, "PID controller frequency-domain tuning for stable, integrating and unstable processes, including dead-time", *accepted for publication in Journal of Process Control* 2010.
- [8] H. Panagopoulos, K.J. Åström and T. Hägglund, "Design of PID controllers based on constrained optimization", *IEE Proceedings-Control Theory and Applications*, vol. 149, pp. 32-40 January 2002.
- [9] A. Wallén, K.J. Åström, and T. Hägglund, "Loop-shaping design of PID controllers with constant T_i/T_d ratio", *Asian Journal of Control*, vol. 4, pp. 403-409, December 2002.
- [10] C. Hwang and C-Y. Hsiao, "Solution of non-convex optimization arising in PI/PID control design", *Automatica* vol. 38, pp. 1895-1904, November 2002.

- [11] B. Kristiansson and B. Lennartson, "Evaluation and simple tuning of PID controllers with high-frequency robustness", *Journal of Process Control*, vol. 16, pp. 91-102, February 2006.
- [12] B. Kristiansson and B. Lennartson, "Robust tuning of PI and PID controllers: using derivative action despite sensor noise" *IEEE Control Systems Magazine*, pp. 55-69, February 2006.
- [13] A.J. Isaksson and S.F. Graebe, "Derivative filter is an integral part of PID design", *IEE Proceedings-Control Theory and Applications*, vol. 149 pp. 41-45, January 2002.
- [14] A. Karimi, M. Kunze and R. Longchamp, "Robust controller design by linear programming with application to a double-axis positioning system", *Control Engineering Practice*, vol. 15, pp. 197-208, February 2007.
- [15] T. B. Šekara, M. R. Mataušek, "A simple effective method to obtain a well-tuned PID controller", Zbornik radova 51 Konf. ETRAN, AU3.1, Crna Gora, Herceg Novi, jun 2007.
- [16] T.B. Šekara, M.R. Mataušek, "Optimalno podešavanje PI/PID regulatora za procese definisane racionalnom funkcijom prenosa", INFOTEH Vol. 6, Ref. A-2, p. 6-9, Bosna i Hercegovina, Jahorina Mart 2007.
- [17] T.B. Šekara and M.R. Mataušek, "Optimization of PID controller based on maximization of the proportional gain under constraints on robustness and sensitivity to measurement noise ", *IEEE Trans. Automatic Control*, vol. 54, no.1, pp.184-189, Jan. 2009.
- [18] T.B. Šekara and M.R. Mataušek, "Revisiting the Ziegler-Nichols process dynamics characterization", *J. Process Control* vol. 20, pp. 360-363, 2010.
- [19] T. B. Šekara, M. R. Mataušek, "Četvero-parametarska optimizacija PID regulatora", Zbornik radova 52 Konf. ETRAN, AU1.8, Srbija, Palić, Jun 2008.
- [20] T.B. Šekara, M.R. Mataušek, "Optimalno podešavanje PID regulatora u frekvencijskom domenu", INFOTEH , Ref. A-6, p. 24-27, Bosna i Hercegovina, Jahorina Mart 2009.
- [21] F.G. Shinsky, "How good are our controllers in absolute performance and robustness?", *Measurement and Control*, vol. 23, pp. 114-121, May 1990.
- [22] M. Shamsuzzoha, M. Lee, "Analytical design of PID controller cascaded with a lead-lag filter for time-delay processes", *Korean J. Chem. Eng.*, vol. 26, pp. 622-630, 2009.

Abstract – A constrained optimization in the frequency domain for the PIDC controller, PID in series with a first-order lead-lag filter, is proposed. The set of adjustable parameters is defined by the proportional gain k , integral gain k_i , damping ratio of the controller zeros ζ and a zero $-1/\alpha$ of the first-order lead-lag filter. Given desired value of the sensitivity to measurement noise M_n and desired value of the maximum sensitivity M_s , maximization of k results into the minimum of IAE (Integrated Absolute Error). The proposed controller is successfully compared with the best PIDC2 controller. Proposed optimization method requires less computational effort

Key words – PID controller, PIDC controller, Optimization, Robustness, Frequency domain

Optimization in the frequency domain of the PID controller in series with a lead-lag filter

Robust Modeling and Reference Tracking Control of Voltage Angle Controlled Induction Motor in Field Weakening Regime

Aleksandar Rakić

Signals & Systems Department
University of Belgrade, School of Electrical Engineering
Belgrade, Serbia
rakić@etf.rs

Petar Matić

Department of Power Engineering
University of Banja Luka, School of Electrical Engineering
Banja Luka, Republic of Srpska, Bosnia and Herzegovina
pero@etfbl.net

Abstract—Robust modeling and reference tracking control of voltage angle controlled induction motor (IM) in field weakening regime are presented in the paper. Non-linear state-space IM model is linearized in order to adopt appropriate nominal model and modeling uncertainty bound. Robust reference tracking control design setup is proposed and three classes of controllers which can be used in robust direct torque control (DTC) in field weakening regime are analyzed through computer simulations.

Keywords—Induction Motors, Field Weakening, Torque Control, Robust Control, Reference Tracking Control.

I. INTRODUCTION

In induction motor drives, torque and flux are coupled in the field weakening regime, due to the voltage limit [1-8]. The only independent control variable is stator voltage angle. It is shown that by controlling the angle, through the gain-scheduling structure, both torque and flux can be controlled simultaneously, without outer flux reference generation and without the inner current loop [1]. The gain scheduling enables optimal aperiodic transient response of the system with full DC bus disturbance rejection.

Robustness of the solution found in [1] is further analyzed in this paper, in order to improve DTC performances by appropriate regulator in robust control scheme. Optimization procedure, based on the closed loop sensitivity and complementary sensitivity functions, yields optimal controller parameters. The analysis is performed both in the frequency as well as in the time domain.

The paper is organized as follows. In Section II nonlinear state-space model of IM is developed. The model is based on the assumption that the drive, operating in the field weakening mode, makes full utilization of the DC bus voltage. In order to get an insight into torque dynamics, a small signal model is developed. Instead of search for the accurate transfer function of the linearized model, a simplified nominal transfer function is adopted. The uncertainty bounds of the function are defined also. Robust reference tracking control design in the frequency domain is presented in Section III. Three classes of controllers, which can be used in DTC, are analyzed: proportional-integral controller, integral controller and proportional-integral with lag

controller. Closed-loop multiplicative uncertainty, sensitivity and reference tracking performance for each of the three controllers are analyzed through the set of computer simulations. Results are discussed and remarks are given on controller performance. Conclusion is given in Section IV.

II. ROBUST MODELING

A. Nonlinear Model of Induction Motor

The nonlinear model of the IM, in the space of normalized (in per-unit [p.u] values), is given as follows:

$$\frac{d\Psi}{dt} = \mathbf{A}(\omega_e, s)\Psi + \omega_b [U \ 0 \ 0 \ 0]^T, \quad (1)$$

$$\mathbf{A}(\omega_e, s) = \omega_b \begin{bmatrix} 1/T_s' & \omega_e & k_r/T_s' & 0 \\ -\omega_e & -1/T_s' & 0 & k_r/T_s' \\ k_s/T_r' & 0 & -1/T_r' & s\omega_e \\ 0 & k_s/T_r' & -s\omega_e & -1/T_r' \end{bmatrix}, \quad (2)$$

$$t_e = \frac{1}{\sigma_s'} (\Psi_D \Psi_q - \Psi_Q \Psi_d). \quad (3)$$

where state variable vector with stator and rotor fluxes is:

$$\Psi = [\Psi_d \ \Psi_q \ \Psi_D \ \Psi_Q]^T. \quad (4)$$

The model assumes synchronous frequency ω_e as the control variable, motor torque t_e as the output variable, mechanical transients much slower than electrical ones, and the reference frame aligned with stator voltage:

$$u_{sd} = U, \ u_{sq} = 0. \quad (5)$$

In the model (1) – (4), s stands for relative motor slip, ω_b is base speed, R_s and R_r are stator and rotor resistance, L_s and L_r are stator and rotor self-inductances, M is mutual inductance, $k_s = M/L_s$ and $k_r = M/L_r$ are stator and rotor coupling coefficients, $T_s' = \omega_b \sigma L_s / R_s$ and $T_r' = \omega_b \sigma L_r / R_r$ are stator and rotor transient time constants in [p.u], $\sigma = 1 - M^2 / L_s L_r$ is leakage coefficient and l_s is stator inductance in [p.u].

B. Linearized Model

For the given operation regime $(\omega_e, s) = (\omega_e^0, s^0)$, nonlinear model (1) – (3) gives steady-state vector of fluxes:

$$\Psi^0(\omega_e^0, s^0) = -\mathbf{A}^{-1}(\omega_e^0, s^0) \omega_b [U \ 0 \ 0 \ 0]^T \quad (6)$$

and linearized model in the form:

$$\dot{\mathbf{x}} = \mathbf{A}(\omega_e^0, s^0) \mathbf{x} + \mathbf{B}(\omega_e^0, s^0) u, \quad y = \mathbf{C}(\omega_e^0, s^0) \mathbf{x}, \quad (7)$$

where: $\mathbf{A}(\omega_e^0, s^0)$ is given in (2) for $(\omega_e, s) = (\omega_e^0, s^0)$, and:

$$\mathbf{B}(\omega_e^0, s^0) = \omega_b \begin{bmatrix} 0 & 1 & 0 & 0 \\ -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & -1 & 0 \end{bmatrix} \Psi^0(\omega_e^0, s^0), \quad (8)$$

$$\mathbf{C}(\omega_e^0, s^0) = \frac{k_r}{\sigma l_s} \Psi^{0T}(\omega_e^0, s^0) \begin{bmatrix} 0 & 0 & 0 & -1 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ -1 & 0 & 0 & 0 \end{bmatrix}. \quad (9)$$

C. Nominal Linear Model

Since analytic solution for the transfer function out of state-space representation (7)–(9) was found [1] to be rather complicated, in that paper approximated fourth order transfer function was adopted, in which the static gain and pairs of complex-conjugate stator-related and rotor-related poles have been included as the functions of operation regime (ω_e^0, s^0) , while the finite zeros have been neglected.

However, further analysis of the state-space model (7)–(9) revealed a finite zero near the rotor natural frequency and another zero far outside the open-loop bandwidth. Instead of further improvement of the approximated model from [1], in this paper nominal linear model is aimed to catch just the static gain approximation and the identified essential dynamic properties in the open-loop bandwidth: two rotor-related poles with the natural frequency ω_b/T_r' and approximated full damping, two stator-related poles with the natural

frequency ω_b/T_s' and approximated full damping, and the finite zero at the rotor natural frequency ω_b/T_r' .

Since the finite zero and one of the rotor-related poles cancel each other, the nominal linear model is given by the simplified third order transfer function:

$$G_{nom}(p) = \frac{G_{0nom}}{\left(\frac{p}{\omega_b/T_r'} + 1\right) \left(\frac{p}{\omega_b/T_s'} + 1\right)^2}, \quad (10)$$

$$G_{0nom} = \frac{U^2 k_s T_r'}{L_e^2 \omega_e^2}, \quad (11)$$

where complex variable is denoted by p .

Opposite to the nominal model (10) – (11), set of linearized models (6) – (9) for various operation regimes (ω_e^0, s^0) is denoted as the set of the perturbed plants in the rest of the paper. Frequency plots of the nominal model and the set of perturbed plants for the test motor with parameters given in the Appendix and the adopted range of operation regimes:

$$\omega_e^0 \in [1 \text{ p.u.}, 2 \text{ p.u.}], \quad s^0 \in [0, 0.1 \text{ p.u.}] \quad (12)$$

are shown on Fig. 1 (3×10 realization at the speed of $\omega_e = 1 \text{ p.u.}$, $\omega_e = 1.5 \text{ p.u.}$, and $\omega_e = 2 \text{ p.u.}$, with various random values of s^0 within the given range).

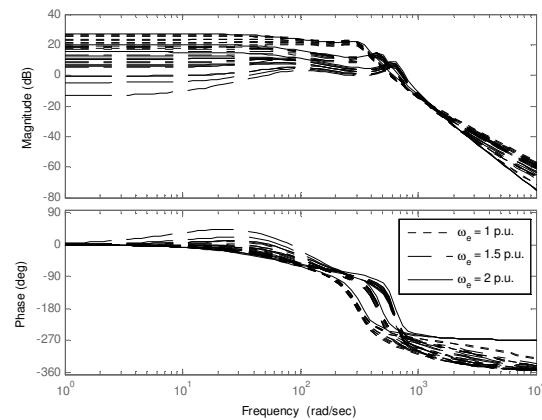


Figure 1. Frequency plots of nominal linear model (solid lines) and the set of perturbed plants for the test motor (dashed and dotted lines).

D. Uncertainty Bound

The idea of the robust control refers to control performance and stability, not only to the nominal model, but also to the whole family of models in the area of permitted modeling uncertainty (set of perturbed plants).

In order to describe the model uncertainty, standard model of unstructured multiplicative input uncertainty is used:

$$G(p) = G_{nom}(p)(1 + W_{miu}(p)\Delta_{miu}), \quad (13)$$

where $G(p)$ is the real plant, $G_{nom}(p)$ – nominal model, $W_{miu}(p)$ – bound of allowed multiplicative input uncertainty of robust modeling and Δ_{miu} represents unknown, but unity normed ($\|\Delta_{miu}\| \leq 1$), unstructured uncertainty.

Bound of the multiplicative input uncertainty should asymptotically describe the uncertainty: on low frequencies it should have the value of the maximal static gain error and on high frequencies it has to rise for dynamics of the real plant neglected in the nominal model. Uncertainty bound is adopted in the form:

$$W_{miu}(p) = \frac{\left(\frac{p}{10(\omega_b / T_r')} + 1\right)^2}{\left(\frac{p}{100(\omega_b / T_r')} + 1\right)^2}. \quad (14)$$

ensuring static gain uncertainty of 1 (100%) up to one decade after the frequency of rotor-related poles. Additional poles two decades after the rotor-related poles are introduced to preserve causality of the transfer function $W_{miu}(p)$.

On the other hand, discrepancy of the nominal model $G_{nom}(p)$ and plant realization $G(p)$ within the perturbation set is characterized by the frequency plot of the obtained multiplicative uncertainty:

$$MIU(j\omega) = \frac{|G(j\omega) - G_{nom}(j\omega)|}{|G_{nom}(j\omega)|}. \quad (15)$$

Multiplicative input uncertainty bound W_{miu} should cover uncertainty plots (15) of all perturbations within the perturbation set. Frequency plots of the adopted uncertainty bound and the obtained uncertainties in the set of perturbed plants for the test motor with parameters given in Appendix are shown on Fig. 2.

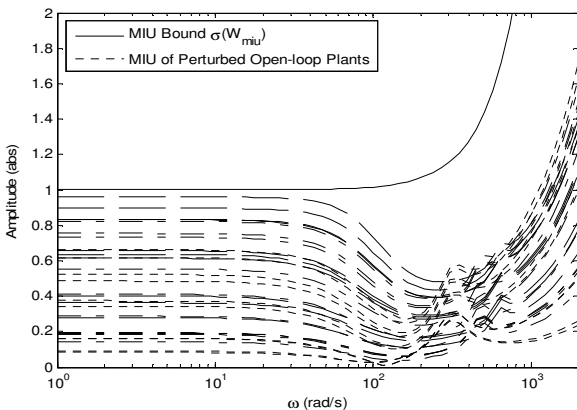


Figure 2. Multiplicative input uncertainty frequency plots of the adopted uncertainty bound and the set of perturbed plants for the test motor.

III. ROBUST REFERENCE TRACKING CONTROL DESIGN

A. Frequency Domain Setup

The block diagram of robust reference tracking control design setup is presented in Fig. 3, with following signals denoted: r – the reference (set point) signal, $e = r - y$ is the error in reference tracking, e' – the performance weighted error, and u – the control signal.

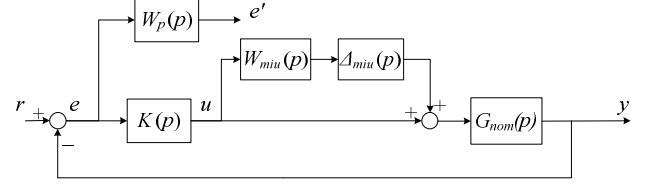


Figure 3. Block diagram of robust reference tracking control setup.

Relevant transfer functions are: $G_{nom}(p)$ – the nominal linear model (10)–(11), $K(p)$ – the linear robust controller to be designed, $W_{miu}(s)$ – uncertainty weighting function i.e. the multiplicative input uncertainty bound (14), $\Delta_{miu}(p)$ – an unknown multiplicative uncertainty of modeling, and $W_p(p)$ – the performance weighting function.

The remaining performance weighting function is adopted in the form:

$$W_p(p) = \frac{1}{M_s^*} \frac{p + M_s^* \omega_0^*}{p}, \quad (16)$$

ensuring robust performance (worst-case specification of performance for any of the perturbed plants) in reference tracking: closed-loop bandwidth of at least ω_0^* and maximum sensitivity of M_s^* . The parameters are chosen as:

$$M_s^* = 1.2 \quad (17)$$

for tight tracking [9], and

$$\omega_0^* = \frac{\omega_b / T_r'}{10} \quad (18)$$

for the worst-case closed-loop bandwidth of one tenth of rotor-related poles' natural frequency.

For the single-input single-output model of the motor under consideration, robust reference tracking performance optimization is going to be carried out by minimization [9]:

$$\mu = \min_{K(p)} \max_{\omega} \left(\left| W_p(j\omega) S_{nom}(j\omega) \right| + \left| W_{miu}(j\omega) T_{nom}(j\omega) \right| \right), \quad (19)$$

where $S_{nom}(j\omega) = 1/(1 + KG_{nom}(j\omega))$ is the nominal sensitivity function and $T_{nom}(j\omega) = 1 - S_{nom}(j\omega)$ is the nominal complementary sensitivity function.

B. Classes of Controllers

Proportional plus integral (PI) controller was tuned in [1]:

$$K_{PI}(p) = \frac{K_c(p/\omega_c + 1)}{p} = K_c \left(\frac{1}{\omega_c} + \frac{1}{p} \right), \quad (20)$$

$$\omega_c = \frac{\omega_b / T_r'}{2}, \quad K_c = \frac{\omega_c}{G_{0nom}}. \quad (21)$$

The tuning resulted in satisfactory closed-loop transients, but the influence of the controllers' proportional action is relatively small comparing to integral one. This conclusion gave rise to the following ideas:

- integral controller is worth considering,
- structure and tuning of PI controller could be optimized for robust performance.

Therefore, two classes of controllers will be considered. First one is integral controller (INT) in the form:

$$K_{INT}(p) = \frac{K_c}{p} = \frac{K_{c\,norm} \cdot (\omega_b / T_r') / G_{0nom}}{p}, \quad (22)$$

where the tuning parameter can be expressed as the absolute value of the integral gain K_c or it can be normalized as $K_{c\,norm}$ with respect to the approximation of the nominal model parameters (which is more suitable for the implementation).

The second class of the controllers is PI plus lag (PIL) controller in the form:

$$K_{PIL}(p) = \frac{K_c(p/\omega_c + 1)}{p(p/(10\omega_c) + 1)}, \quad (23)$$

where the PI-related parameters K_c and ω_c are tunable and the position of the additional controller pole is fixed to one decade after the frequency of the controller zero ω_c for the reduction of the optimization dimensionality. Similar to the parameterization in integral controller (20), the PIL controller parameters can also be expressed in the normalized form:

$$K_c = K_{c\,norm} \cdot \frac{\omega_b}{T_r'} / G_{0nom}, \quad \omega_c = \omega_{c\,norm} \cdot \frac{\omega_b}{T_r'}. \quad (24)$$

C. Optimization Results

The reference PI controller (20) has the predefined tuning (21), while the parameters of INT and PIL controllers are the subjects of optimization (19). The tuning and the obtained robust performance are summarized in Table I.

TABLE I. TUNING AND ROBUST PERFORMANCE

Controller	Parameter $K_{c\,norm}$	Parameter $\omega_{c\,norm}$	Robust Performance μ
PI	0.5	0.5	1.89
INT	0.22	∞	1.57
PIL	0.43	1.0	1.37

While PIL controller achieves the best robust performance, INT controller also shows improved robust performance in comparison to the reference PI controller.

Further analysis of robustness and performance of the controllers in the closed-loop is conducted in both the frequency and the time domain for the set of the perturbed plants $G(p)$. Frequency plots of achieved closed-loop multiplicative input uncertainty function $MIU(j\omega) = (1 + KG(j\omega))/KG(j\omega)$ vs. adopted uncertainty bound (14) are presented for reference PI controller in Fig. 4. Frequency plots of sensitivity $S(j\omega) = 1/(1 + KG(j\omega))$ vs. adopted performance bound (16) are given also for reference PI controller in Fig. 5. Closed-loop transients in reference tracking are presented in Fig. 6. The same set of plots is given in Figs. 7 – 9 for INT controller and in Figs. 10 – 12 for PIL controller.

Multiplicative input uncertainty frequency plots for all analyzed closed-loop controls in Figs. 4, 7 and 10 are located above the plot of adopted uncertainty bound. Therefore, all the controllers (PI, INT and PIL) achieve robust stability over the set of perturbed plants.

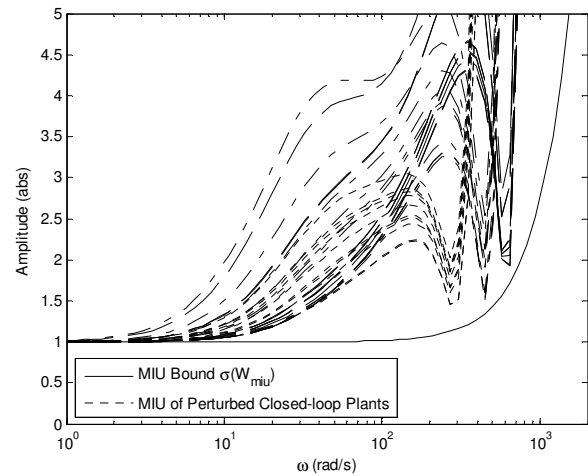


Figure 4. Closed-loop multiplicative uncertainty frequency plots for PI controller.

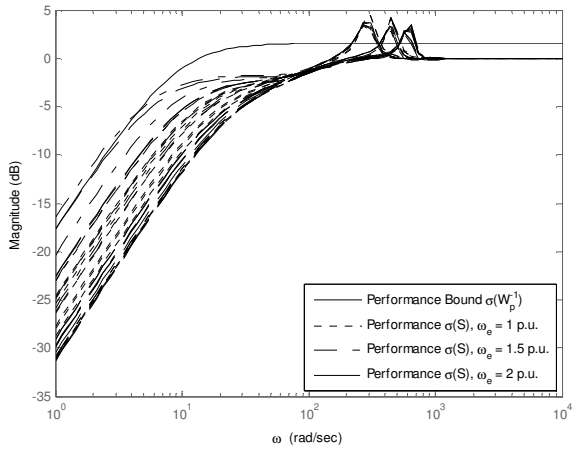


Figure 5. Sensitivity frequency plots for PI controller.

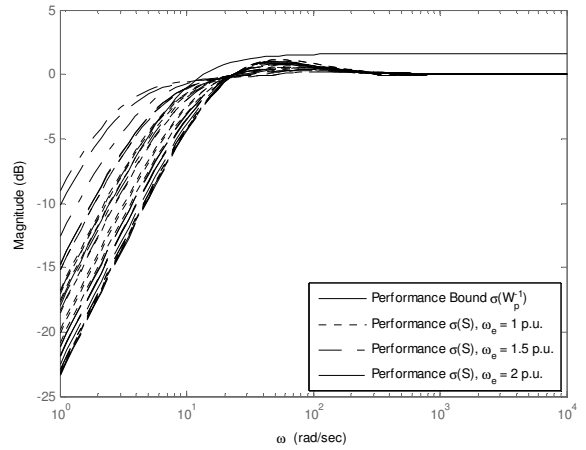


Figure 8. Sensitivity frequency plots for INT controller.

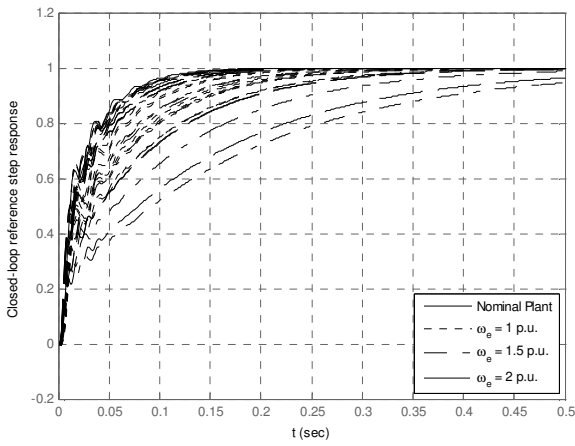


Figure 6. Reference tracking transient for PI controller.

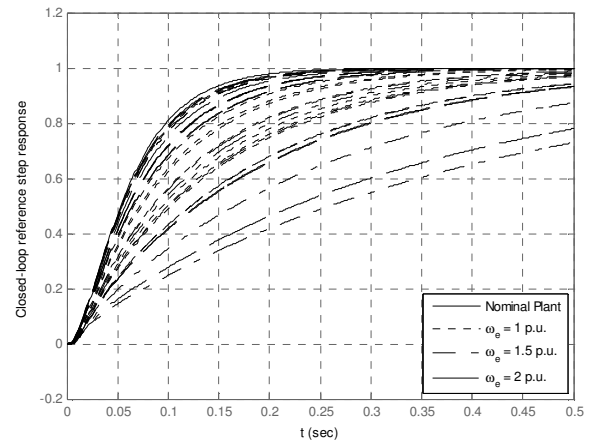


Figure 9. Reference tracking transient for INT controller.

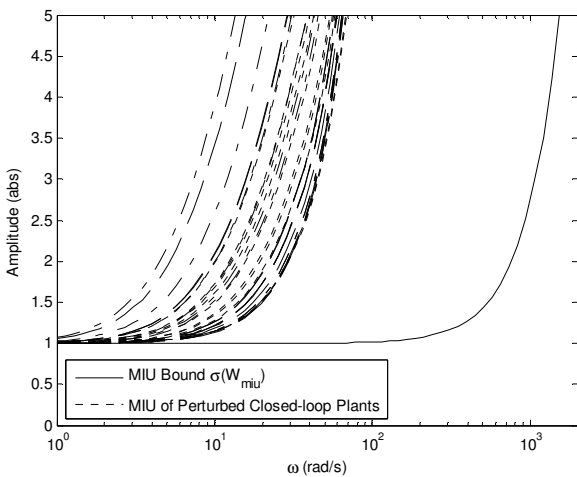


Figure 7. Closed-loop multiplicative uncertainty frequency plots for INT controller.

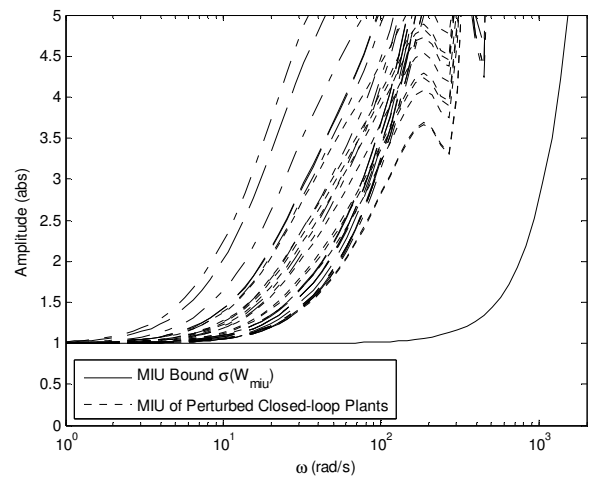


Figure 10. Closed-loop multiplicative uncertainty frequency plots for PIL controller.

IV. CONCLUSION

In the paper robust modeling was utilized to establish frequency domain setup for robust linear reference tracking control design of voltage angle controlled IM. Previous results in this specific control arrangement for IM were analyzed and improvements in control design were proposed. It was shown the all analyzed controllers (PI, INT and PIL) ensure robust stability on the adopted set of perturbed plants. Proposed INT and PIL controllers were optimally tuned and they achieved better robust reference tracking performance in comparison to the existing PI controller.

Proposed modeling and control were directed to the solution of the reference tracking problem. Further work could be directed toward more complex control design setup, which could handle both robust reference tracking and robust disturbance rejection. The later issue is even more important for optimal operation of IM in the field weakening regime.

APPENDIX

Motor parameters used for verification of proposed modeling and control are: 750W , 380V , 50Hz , 1450rpm , $R_s = 10.5\Omega$, $R_r = 11\Omega$, $M = 0.557H$, $L_s = 0.579H$, $L_r = 0.579H$.

REFERENCES

- [1] P. Matic, A. Rakić, and S.Vukosavić, "Stator Flux Vector Control of Induction Motor in Field Weakening Based on Flux Angle Control," in Proc. 14th Int. Power Electronics and Motion Control Conf., Ohrid, Macedonia, Sep. 6–8, 2010.
- [2] Z. Sorchini, P. Krein: "Formal Derivation of Direct Torque Control for Induction Machines", *IEEE Transactions on Power Electronics*, Vol. 21, No.5, pp. 1428-1436, September 2006.
- [3] N. Oikonomou, J. Holtz: "Stator Flux Trajectory Tracking Control for High-Performance Drives", The Forty-First IAS Annual Meeting 2006, *Conference Record*, Vol. 3, pp.1268-1275, 8-12. October 2006.
- [4] M. Mengoni, L. Yarri, A. Tani, G. Serra, D. Casadei: "Stator Flux Vector Control of Induction Motor Drive in the Field Weakening Region", *IEEE Transactions on Power Electronics*, Vol. 23, No. 2, pp. 941-949, March 2008.
- [5] A. Jidin, N. Idris, A. Yatim, M. Elbuluk: "A Novel Overmodulation and Field Weakening Strategy for Direct Torque Control of Induction Machines", The Forty-Third IAS Annual Meeting, Conference Record, pp.1-8, 5-9. October 2008.
- [6] P. Matic, B. Blanuša, S. N. Vukosavić, "A Novel Direct Torque and Flux Control Algorithm for the Induction Motor Drive", IEEE International Electric Machines and Drives Conference, IEMDC'03, *Proceedings*, Vol. 2, pp. 965-970, 1-4. June 2003.
- [7] Dj. M. Stojic, S. N. Vukosavic: "A New Induction Motor Drive Based on the Flux Vector Acceleration Method", *IEEE Transactions on Energy Conversion*, Vol. 20, No. 1, pp.173-180, March 2005.
- [8] N. T. West, R. D. Lorenz: "Implementation and Evaluation of a Stator and Rotor Flux Linkage-Based Dead-Beat, Direct Torque Control of Induction Machines at the Operational Voltage Limits", The Forty-Second IAS Annual Meeting 2007, *Conference Record*, pp.690-695, 23-27. September 2007.
- [9] S. Skogestad, I. Postlethwaite, *Multivariable Feedback Control*. England: John Wiley & Sons, 1996..

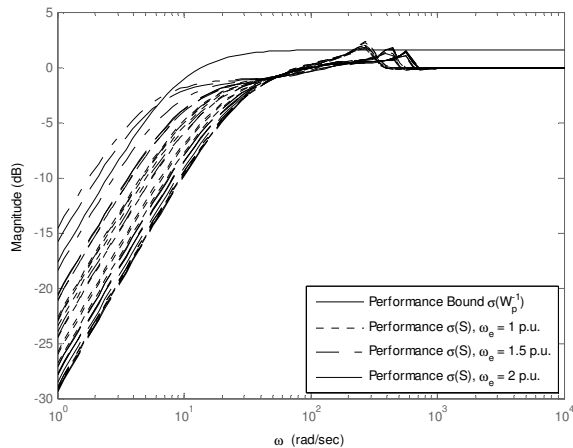


Figure 11. Sensitivity frequency plots for PIL controller.

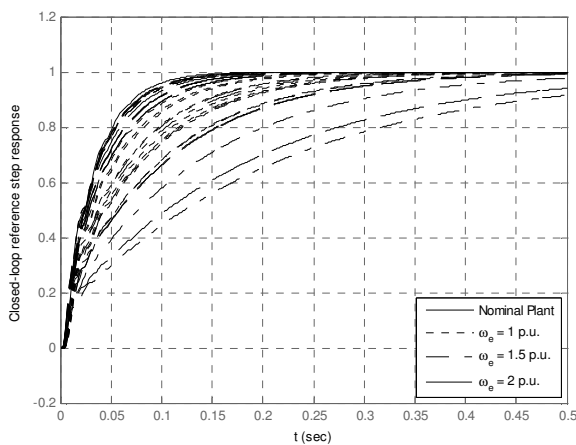


Figure 12. Reference tracking transient for PIL controller.

Breaches of adopted performance bound can be observed for some realizations of perturbed plants at low frequencies on sensitivity plots in Figs. 5, 8 and 11, i.e. for all controllers, but at significant level only for INT controller. These breaches result in narrower closed-loop bandwidth than projected for some realizations of perturbed plant and this effect can be observed also in the generally slower transients of INT control in Fig. 9, comparing to transients of PI and PIL control in Figs. 6 and 12, respectively. High frequency breaches of PI sensitivity in Fig. 5 result in (dumped but existing) high frequency oscillations of transients in Fig. 6. These sensitivity breaches are suppressed in PIL control (Fig. 11) as well as the transient oscillations (Fig. 12).

Overall performance conclusions are: INT performed better than PI for narrower closed-loop bandwidth, and PIL improved PI performance for optimal tuning and better controller structure.

Comparison Study of GPC, PID and MPC Based on Orthonormal Functions, for a Wide Range of Processes

Amila Dubravić

Faculty of Electrical Engineering
University of Tuzla
Tuzla, Bosnia and Herzegovina
amila.dubravac@untz.ba

Zenan Šehić

Faculty of Electrical Engineering
University of Tuzla
Tuzla, Bosnia and Herzegovina
zenan.sehic@untz.ba

Abstract—MPC controllers were obtained for stable, unstable and non-minimum phase processes. Step set point and step disturbance were treated. Simulations were run in Matlab environment.

Keywords: Model Predictive Control (MPC), Generalized Predictive Control (GPC), Laguerre functions, stable process, unstable process, non-minimum phase process

I. INTRODUCTION

Since 1970s, MPC (Model Predictive Control) has been introduced as a way of controlling a wide range of processes. It does not represent one specific control strategy, but a wide range of control methods, which explicitly use model of the process to obtain a control law by minimizing cost function. The result is a linear controller. MPC has number of advantages over other methods: relatively easy tuning, it can be used for a wide range of processes, it can easily be used with MIMO processes, it can compensate measurable disturbance etc. Besides advantages, it has certain drawbacks. One of them is that even the control law is easily implemented, its derivation is more complex than with the classical PID. With adaptive control, all computation has to be repeated in each sampling interval. When adding constraints, the amount of computation is even bigger. Main drawback is that it needs a model of the process, so the difference between the model and the real process will affect benefits of MPC. [1]

II. GPC ALGORITHM AND TREATED PROCESSES

Since MPC can be used for a wide range of processes, the paper deals with such a controller used to control stable, unstable and non-minimum phase processes. The algorithm used to obtain a controller is GPC (Generalized Predictive Control). GPC predictions are based on Controller Auto-Regressive Integrated Moving-Average model represented by following equation:

$$A(z^{-1})y(t) = B(z^{-1})z^{-d}u(t-1) + C(z^{-1})\frac{e(t)}{\Delta} \quad (1)$$

with

$$\Delta = 1 - z^{-1}$$

GPC algorithm is based on a control sequence, which minimizes following function:

$$J(N_1, N_2, N_u) = \sum_{j=N_1}^{N_2} \delta(j) [\hat{y}(t+j|t) - w(t+j)]^2 + \sum_{j=1}^{N_u} \lambda(j) [\Delta u(t+j-1)]^2 \quad (2)$$

where $\hat{y}(t+j|t)$ is optimal output prediction j steps ahead for data until time t , N_1 and N_2 are minimum and maximum horizons, N_u is control horizon, $\delta(j)$ and $\lambda(j)$ are weight sequences, and $w(t+j)$ is future reference.

III. SIMULATION

A. First Order Stable Process

For a chosen stable process,

$$H(z) = \frac{0.3z^{-1} + 0.5z^{-2}}{1 - 0.6z^{-1}}, \quad T_s = 0.1 \text{ s} \quad (3)$$

with $N_1 = 1$, $N = N_u = 3$, and $\lambda = 0.7$ GPC controller gave following response for a step set point shown in figure 1.

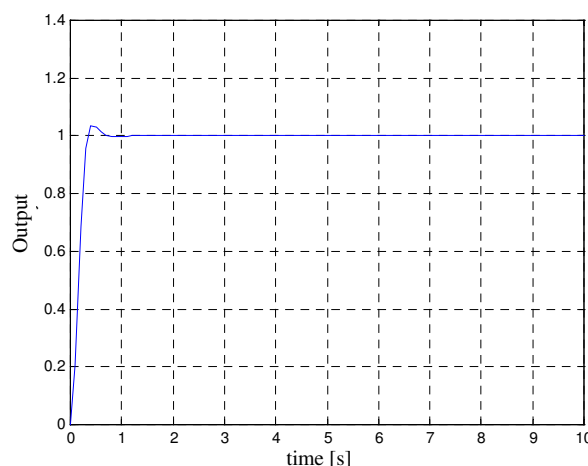


Figure 1. Step response of a stable process controlled with GPC controller

The process was also controlled with PID controller. The set of simulations were run and the best way for tuning PID for

the particular stable process was when using Chien-Hrones-Reswick recommendations for aperiodic response, shown in figure 2. Obtained parameters are $P = 0.825$, $I = 3$, $D = 0.0413$. Still, GPC controller gave better results.

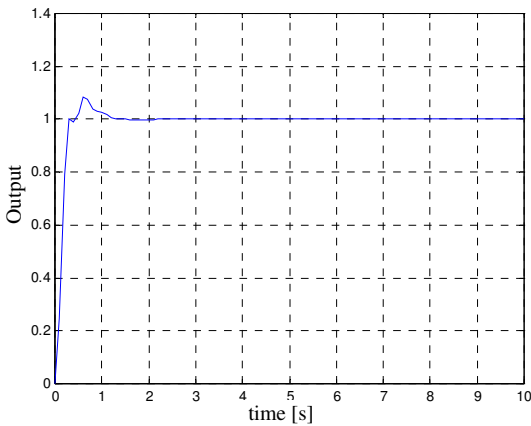


Figure 2. Step response of a stable process controlled with PID controller tuned using Chien-Hrones-Reswick recommendations for aperiodic response

Figure 3 shows output of the stable system controlled with GPC when step disturbance is applied in the fifth second.

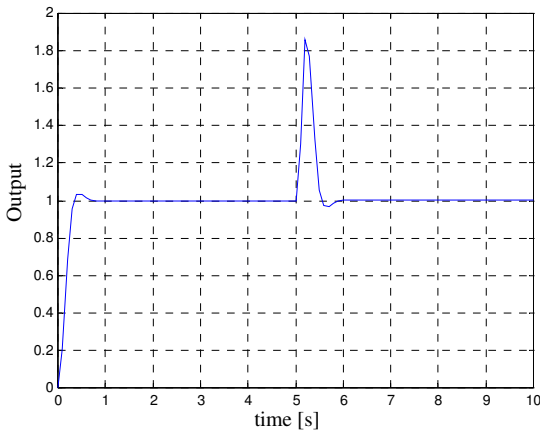


Figure 3. Step response of a stable process controlled with GPC controller when unit step disturbance is applied in fifth second

B. First Order Unstable Process

For a chosen unstable process of first order,

$$H(z) = \frac{0.3z^{-1} + 0.5z^{-2}}{1 - 1.1z^{-1}}, T_s = 0.1 \text{ s} \quad (4)$$

with $N_1 = 1$, $N = N_u = 3$, and $\lambda = 0.7$, GPC controller gave following response for a step set point shown in figure 4. Figure 5 shows output of the unstable system controlled with GPC when disturbance is applied in the fifth second. PID controller was unable to control treated system.

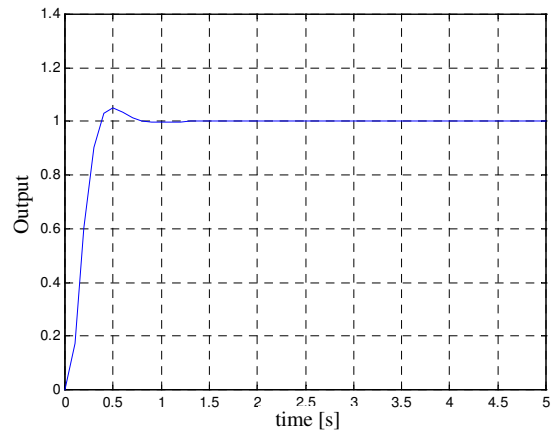


Figure 4. Step response of unstable process controlled with GPC controller

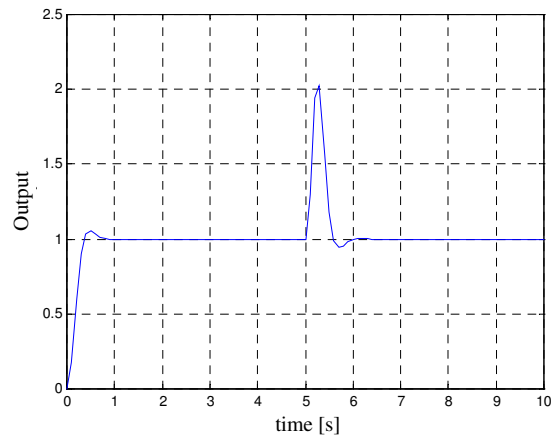


Figure 5. Step response of unstable process controlled with GPC controller when unit step disturbance is applied in fifth second

C. First Order Non-minimum Phase Process

For a chosen non-minimum phase process,

$$H(z) = \frac{z^{-1} + 1.5z^{-2}}{1 - 0.6z^{-1}}, T_s = 0.1 \text{ s} \quad (5)$$

with $N_1 = 1$, $N = N_u = 3$, and $\lambda = 0.7$, GPC controller gave following response for a step set point shown in figure 6.

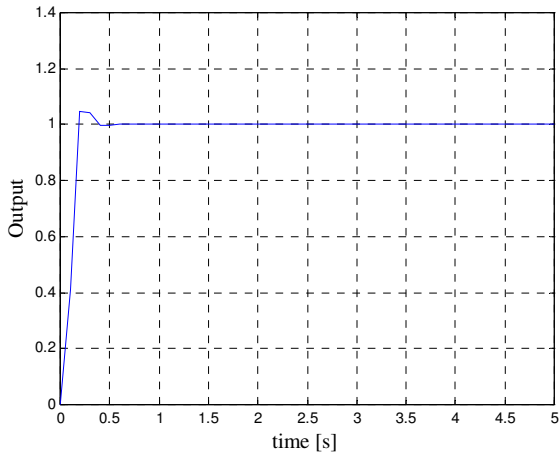


Figure 6. Step response of non-minimum phase process controlled with GPC controller

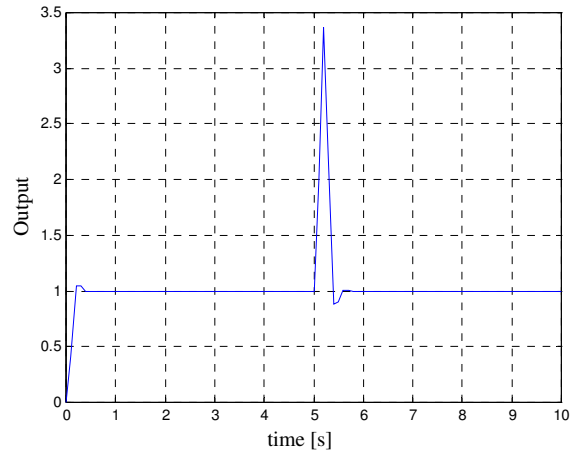


Figure 8. Step response of a non-minimum phase process controlled with GPC controller when unit step disturbance is applied in fifth second

The process was also controlled with PID controller. The set of simulations were run and the best way for tuning PID for the particular non-minimum phase process was when using Chien-Hrones-Reswick recommendations for aperiodic response, shown in figure 7. Obtained parameters are $P = 0.366$, $I = 1.2$, $D = 0.0146$. Still, GPC controller gave better results.

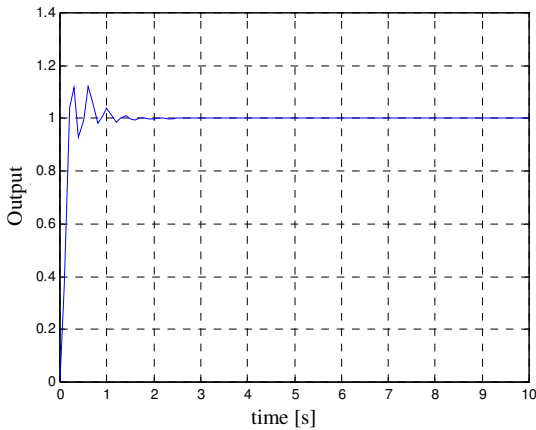


Figure 7. Step response of a non-minimum phase process controlled with PID controller tuned using Chien-Hrones-Reswick recommendations for aperiodic response

D. MPC with Laguerre Functions

Algorithm for the design of MPC controller using Laguerre functions is described in [8] and following introduction is made based on [8].

A set of Laguerre functions, $l_1(k)$, $l_2(k)$, \dots , $l_N(k)$ are used to capture the dynamic response with a set of Laguerre coefficients that are to be determined from the design process. Based on this,

$$\Delta u(k_i + k) = \sum_{j=1}^N c_j(k_i) l_j(k) \quad (6)$$

where k_i is the initial time of the moving horizon window and k is the future sampling instant, N is the number of terms used in the expansion, c_j , $j = 1, 2, \dots, N$, are the coefficients being functions of the initial time of the moving horizon window, k_i . In this way, the control horizon N_c from the earlier approach has vanished. Now, the number of terms N along with the parameter a is used to capture the trajectory. [8]

Equation (6) can also be expressed in a vector form:

$$\Delta u(k_i + k) = L(k)^T \eta \quad (7)$$

Where η has N Laguerre coefficients:

$$\eta = [c_1 \quad c_2 \quad \dots \quad c_N]^T \quad (8)$$

So, the coefficient vector η is optimized and computed in the design.

The task is finding the coefficient vector η to minimize the cost function:

$$J = \sum_{m=1}^{N_p} x(k_i + m|k_i)^T Q x(k_i + m|k_i) + \eta^T R_L \eta \quad (9)$$

$Q \geq 0$ and $R_L > 0$ being weighting matrices.

Having optimal parameter vector η , the receding horizon control law is realized as

$$\Delta u(k_i) = L(0)^T \eta \quad (10)$$

For all three types of processes, MPC controllers were designed using Laguerre functions with $a = 0.7$, $N = 10$, $N_p = 3$ and following results shown in figures 9 through 11 were obtained.

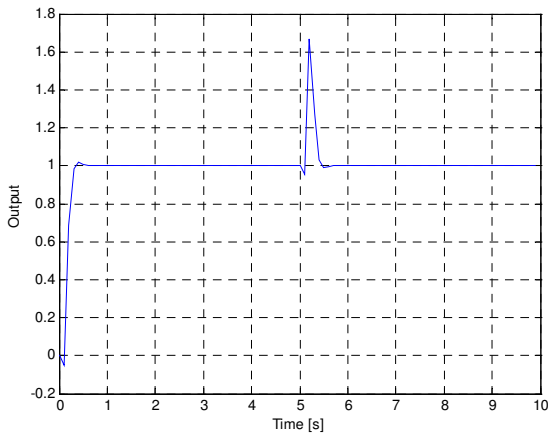


Figure 9. Step response of stable process controlled with MPC controller using Laguerre functions when unit step disturbance is applied in fifth second

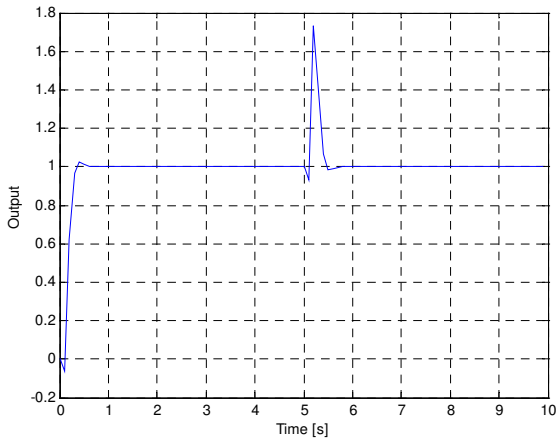


Figure 10. Step response of unstable process controlled with MPC controller using Laguerre functions when unit step disturbance is applied in fifth second

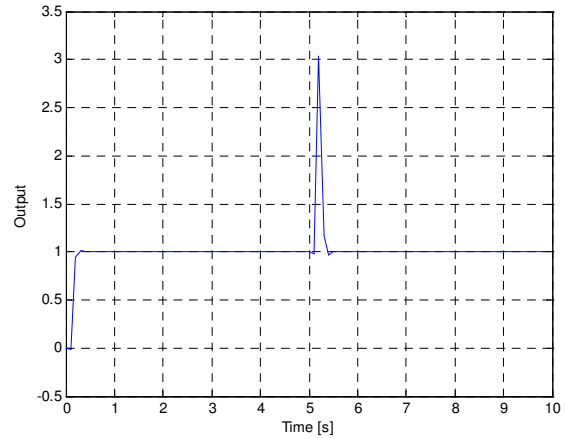


Figure 11. Step response of non-minimum phase process controlled with MPC controller using Laguerre functions when unit step disturbance is applied in fifth second

IV. CONCLUSIONS

The paper presents results obtained in the set of simulations run in *Matlab* environment. Best results for the proposed processes were obtained when using MPC controller designed using Laguerre functions.

V. REFERENCES

- [1] E.F.Camacho, C. Bordons, Model Predictive Control, Springer-Verlag, (1999).
- [2] K. J. Astrom and T. Haggund, PID Controllers: Theory, Design and Tuning, Instrument Society of America, (1995).
- [3] L. Wang, Model Predictive Control System Design and Implementation Using MATLAB®, Springer-Verlag, (2009)
- [4] D.W. Clarke, C. Mohtadi, P.S. Tuffs, Generalized Predictive Control, Part I. The basic algorithm, Automatica, 23(2), 137-148, (1987).
- [5] D.W. Clarke, C. Mohtadi, P.S. Tuffs, Generalized Predictive Control, Part II. The extensions and interpretations, Automatica, 23(2), 149-160, (1987).
- [6] Z.Vukić, Lj. Kuljača, Automatsko upravljanje – analiza linearnih sustava, Kigen, Zagreb, (2004).
- [7] A. Dubravić, Magistarski rad – Model bazirano prediktivno upravljanje, Tuzla (2007).
- [8] L. Wang, Model Predictive Control System Design and Implementation Using MATLAB®, Springer-Verlag, (2009)
- [9] A. Dubravić, Z.Šehić, Discrete Model Predictive Control Using Exponential Orthonormal Laguerre Functions, Proceedings of the Nineteenth International Electrotechnical and Computer Science Conference ERK 2010, 20. - 22. September 2010, Portorož, Slovenia

Наставак развоја ПИД регулатора

Рад по позиву

Александар Рибич
Институт Михајло Пупин
Београд, Србија
aleksandar.ribic@pupin.rs

Садржај—У раду је описан регулатор који представља наставак развоја регулатора са Пропорционалним, Интегралним и Диференцијалним дејством (ПИД). Полазећи од упрошћеног модела процеса првог или другог реда, добијен је универзални регулатор, сличан ПИД-у, који даје бољи или једнак однос перформансе и робусности од ПИД регулатора или компензатора транспортног кашњења. Дата су правила подешавања заснована на упрошћеним моделима првог реда као и процедура подешавања у случајевима непараметарских модела, као што су фреквенцијске карактеристике процеса. Подешавање и функционисање регулатора, као и његове перформансе, демонстрирано је на лабораторијском процесу бесконачног реда, описаном парцијалним диференцијалним једначинама.

Кључне ријечи: ПИД регулатор; компензатори кашњења; упрошћени модели; робусност; перформансе;

I. УВОД

Упркос бројним покушајима да се пронађе значајно савршенији индустријски регулатор, истраживања нпр [1] показују да је класични ПИД регулатор заступљен са више од 90% у свим повратним спрегама у индустрији. Анализе показују да ће овај регулатор још задуго чинити основу система управљања у индустрији. Показује се, наиме, да је ПИД регулатор врло ефикасан у отклањању поремећаја, и да је разним напредним регулаторима тешко постићи бољи однос индекса перформансе и робусности [2].

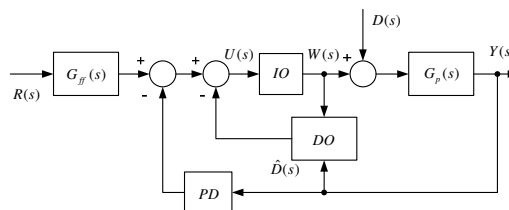
Осим ПИД регулатора, за процесе са једним улазом и једним излазом, релативно велику пажњу истраживача закупају регулатори са компензацијом транспортног кашњења [3], као што су Смитов Предиктор (СП) и његове Модификације (МСП). Показује се, наиме, да се ови регулатори могу ефикасно примијенити и на процесе који не садрже транспортно кашњење, тако што се транспортним кашњењем апроксимира динамика вишег реда у односу на доминанту. За праксу су нарочито интересантни модели првог реда са кашњењем, који се релативно лако могу добити из одскочног одзива процеса.

Поставља се питање када је погодније користити ПИД, а када регулаторе са компензацијом кашњења, или другим ријечима, који регулатор, за дати процес, даје нижи индекс перформансе, уз ограничења на робусност стабилности и евентуално осјетљивости на појачање шума. Један покушај одговора на ово питање дат је у [4].

У наставку рада биће приказан регулатор који је врло сличан ПИД регулатору, може да се параметризује као СП, а зависно од процеса даје боље или у најгорем случају исте перформансе од ових регулатора, за иста ограничења у погледу робусности и појачања мјерног шума.

II. СТРУКТУРА РЕГУЛАТОРА

Као полазна основа за усавршену верзију ПИД регулатора усвојена је структура приказана на слици 1.



Сл.1. Структура предложеног регулатора.

Структура је заснована на опсерверу поремећаја DO , који даје процјену поремећаја $D(s)$ и ПД регулатора за додатну стабилизацију и/или убрзавање прелазног процеса код отклањања поремећаја. Један такав регулатор представљен је у [5]. Претпоставља се да поремећај дјелује „на истом мјесту“ као и управљачка величина w . Сигнали R и Y означавају поставну и постигнути положај извршног органа. Блоком $G_{ff}(s)$ подешава се одзив на референцу. Регулатор је назван ГПДОП (Генерализовани ПД регулатор са Опсервером Поремећаја).

Ако претпоставимо модел процеса у облику функције преноса другог реда са кашњењем

$$G_m(s) = \frac{e^{-Ls}}{B_2(s)}, \quad B_2(s) = b_2s^2 + b_1s + b_0, \quad (1)$$

тада се опсервер поремећаја добија у форми

$$\hat{D}(s) = F(s)(B_2(s)Y(s) - e^{-Ls}W(s)), \quad (2)$$

$$F(s) = \frac{1}{(T_f s + 1)(T_f s + 1)},$$

гдје су T_i и T_f подесиви параметри – временске константе нископропусног филтра. Избор ових параметра одређен је компромисом између брзине реаговања и ограничења на робусност и појачање шума. На овај начин добијамо

$$\hat{D}(s) = F(s)e^{-Ls}D(s). \quad (3)$$

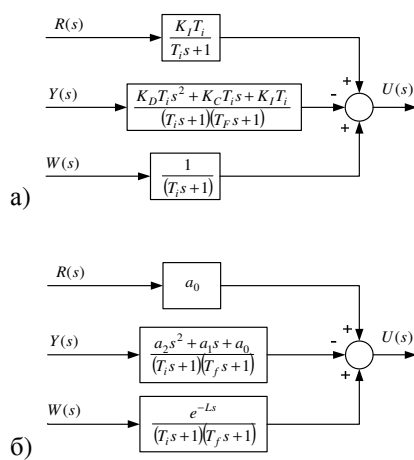
ПД регулатор дефинишемо у облику

$$G_{PD}(s) = C_2(s)F(s), C_2(s) = c_2s^2 + c_1s + c_0, \quad (4)$$

гдје су c_0, c_1 и c_2 подесиви параметри. Блок $G_{ff}(s)$ сада дефинишемо као

$$G_{ff}(s) = b_0 + c_0. \quad (5)$$

Овако дефинисани регулатор има велику сличност са *antiwindup* реализацијом ПИД регулатора [6]. Структуре предложеног ГПДОП и ПИД регулатора упоређене су на слици 2.



Сл.2. а) Структура antiwindup ПИД регулатора, б) Структура предложеног ГПДОП регулатора.

Полином $A_2(s)$ одређен је са

$$A_2(s) = a_0 + a_1 s + a_2 s^2 = B_2(s) + C_2(s). \quad (5)$$

III. ОСОБИНЕ РЕГУЛАТОРА

Претпостављајући да је извршни орган процеса идеалан, односно

$$W(s) = U(s), \quad (6)$$

добијамо функцију преноса регулатора

$$G_C(s) = -\frac{U(s)}{Y(s)} = \frac{A_2(s)}{(T_i s + 1)(T_f s + 1) - e^{-Ls}}. \quad (7)$$

У случају модела процеса првог реда са кашњењем ($b_2 = 0$), можемо усвојити и $a_2 = T_f = c_2 = 0$, односно добијамо еквивалент ПИД регулатора

$$G_{C1}(s) = \frac{a_1 s + a_0}{T_i s + 1 - e^{-Ls}}, \quad (8)$$

који по функцији преноса (8) сличи основном СП регулатору. Еквиваленција са СП добија се за случај када није потребна додатна стабилизација, односно $C_2(s) = 0$.

Ако умјесто кашњења e^{-Ls} имамо нулу у десној полуравни $e^{-Ls} \sim 1 - Ls$, тада се функција преноса регулатора (7) своди на ПИД регулатор

$$G_C(s) = \frac{A_2(s)}{(T_i + T_f + L)s(T_f s + 1)}, T_f = \frac{T_i T_f}{T_i + T_f + L}. \quad (9)$$

Интуитивно је јасно да је ПИД најбољи регулатор управо за ову врсту процеса, а то ће касније бити и показано. Исто тако, ПИД регулатор се добија ако у имплементацији на сл.2б) ставимо $L = 0$.

Структура са сл.2б) инхерентно садржи и заштиту од навијања (*windup*) интегратора. Наиме, ако раскинемо спрегу $U \rightarrow W$, било због zasiћења извршног органа, било преласка на ручно вођење процеса или дјеловања приоритетног (*overriding*) регулатора, управљачки сигнал $u(t)$ увијек садржи компоненту процјене поремећаја и компоненту стабилизације (која је у својој основи пропорционалног типа) тако да приликом поновног успостављања везе $U \rightarrow W$ не долази до наглих удара, већ се процес регулације наставља природним током.

IV. ПОДЕШАВАЊЕ

A. Грубо подешавање засновано на моделима првог реда са кашњењем

Ако нам је на располагању упрошћени модел првог реда са кашњењем ($b_2 = 0$), грубо подешавање регулатора (8) можемо извршити тако да усвојимо константу филтра

$$T_i = 0.5L, \quad (10)$$

а ПД регулатор подесимо тако да има чисто пропорционално дејство ($G_{PD}(s) = c_0$), а да доминантна временска константа тако стабилизованог процеса буде λL , гдје λ узима вриједности из интервала

$$\lambda \in [2, 4]. \quad (11)$$

Сада, апроксимирајући кашњење у карактеристичној једначини $e^{-Ls} \approx 1 - Ls$, параметре полинома $C_2(s)$ добијамо као

$$c_2 = 0, c_1 = T_i c_0, c_0 = \frac{b_1 - b_0 \lambda L}{(\lambda + 1)L}. \quad (12)$$

Ако је процес стабилан са доминантном временском константом $b_1/b_0 \leq 2\lambda$, тада можемо усвојити $C_2(s) = 0$. Ово подешавање даје релативно добре перформансе и прихватљиву робусност за широку класу процеса који срећемо у индустрији.

B. Подешавање регулатора високих перформанси

За постизање високих перформанси регулације, потребан је и тачнији модел процеса, минимално другог

реда са кашњењем, а пожељно је и бољи. Ови модели добијају се најчешће идентификацијом, а као резултат добијамо модел вишег реда, који даје тачније фреквенцијске карактеристике. Слично као за ПИД регулатор овдје је предложена процедура подешавања заснована на оптимизацији под ограничењима [7]:

$$\begin{aligned} \min_{\rho} J_v(\rho), \\ \|S(s)\|_{\infty} \leq M_s, \\ \|T(s)\|_{\infty} \leq M_p, \\ \|G_c(j\omega, \rho)\|_{\infty} \leq M_n, \end{aligned} \quad (13)$$

гдје су

$$\begin{aligned} J_v(\rho) &= \left\| \frac{1}{\omega} \cdot \frac{G_p(j\omega)}{1 + G_p(j\omega)G_c(j\omega, \rho)} \right\|_{\infty}, \\ \rho &= [a_0 \quad a_1 \quad a_2 \quad L \quad T_i \quad T_f]^T \\ S(s) &= \frac{1}{1 + G_p(s)G_c(s, \rho)}, \\ T(s) &= 1 - S(s). \end{aligned} \quad (14)$$

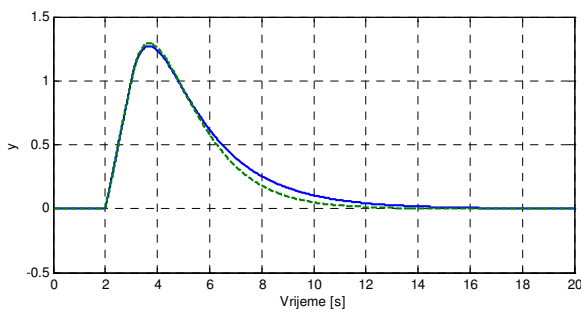
Оптимизациони проблем (13),(14) може се рјешавати градијентним методама (ако имамо почетна погађања) или неким од метода глобалне оптимизације. У наставку рада за оптимизацију кориштено је претраживање јатом честица (*Particle Swarm Optimization PSO*) [8]. Проблем можемо додатно редуковати увођењем ограничења

$$T_f = T_i, \quad (15)$$

тако да се претраживање врши по пет умјесто шест параметара.

V. РЕЗУЛТАТИ СИМУЛАЦИЈА

A. Интегрални процес првог реда са кашњењем



Сл.3. Одзив регулационе контуре за процес $G_{p1}(s)$ на поремећај за Ватанабе-Ито МСП регулатор – црткано и ГПДОП регулатор – пуна линија.

За поређење перформансе ГПДОП регулатора са оптимално подешеним [9] Ватанабе-Ито МСП за интегралне процесе дат је примјер процеса

$$G_{p1}(s) = \frac{e^{-s}}{s}. \quad (16)$$

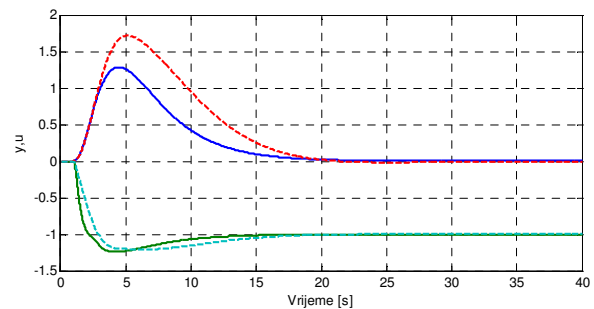
Подешавања за МСП дала су параметре робусности $M_s = 2$ и $M_p = 1.5$. ГПДОП регулатор подешаван је помоћу (12) за $\lambda = 2.5$ и $T_i = 0.42L$. Добијени су параметри робусности $M_s = 2$ и $M_p = 1.43$, а резултати одзива регулатора на поремећај приказани су на слици 3. Примјећује се да су за сличну робусност сличне и перформансе.

B. Интегрални процес другог реда са кашњењем

Процес је описан функцијом преноса

$$G_{p2}(s) = \frac{e^{-s}}{s(s+1)}. \quad (17)$$

За усвојене мјере робусности $M_s = 1.7$ и $M_p = 1.3$, и осјетљивост регулатора на шум $M_n = 20$, оптимизацијом су добијени параметри регулатора: За ГПДОП регулатор $a_2 = 0.8976$, $a_1 = 1.084$, $a_0 = 0.1675$, $T_i = T_f = 0.2118$ и $L = 1.058$, а за ПИД регулатор $K_C = 0.529$, $T_I = 7.45$, $T_D = 1.22$ и $T_F = 0.0323$.



Сл.4. Одзив регулационе контуре на поремећај за процес $G_{p2}(s)$: ПИД регулатор – црткано и ГПДОП – пуна линија. Горе: $y(t)$. Доле: $u(t)$

У случају када се кашњење у функцији преноса e^{-s} замијени са нулом у десној полуравни, односно $1-s$, оптимизација даје $L=0$, односно ПИД регулатор са параметрима $K_C=0.4796$, $T_I=9.383$, $T_D=0.836$ и $T_F=0.02$. Ово је сасвим у складу са претходно изнесеном примједбом да је ПИД управо најпогоднији за ову врсту процеса.

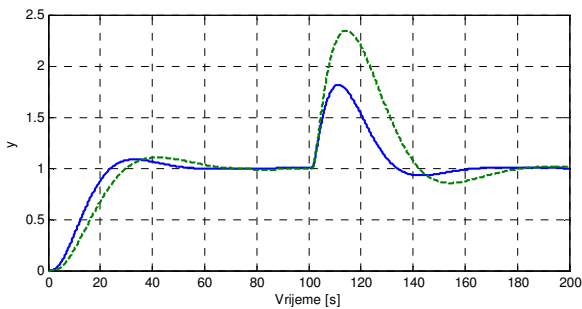
C. Двоструку интегратор са кашњењем

Процес је описан функцијом преноса

$$G_{p3}(s) = \frac{e^{-s}}{s^2}. \quad (18)$$

За усвојене мјере робусности и осјетљивости на шум као и у претходном примјеру, оптимизација (13),(14) дала је $a_2 = 0.8782$, $a_1 = 0.1228$, $a_0 = 0.0105$, $T_i = T_f = 0.2096$ и $L = 0.98$, док је за ПИД добијено $K_C=0.052$, $T_I=14.355$, $T_D=9.622$ и $T_F=0.0254$. Одзиви на

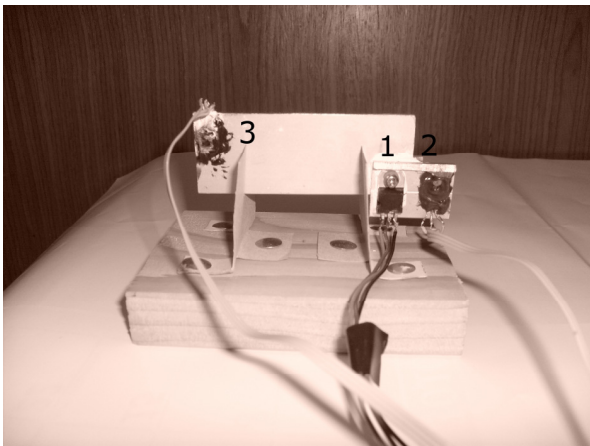
промјену референце и скоковити поремећај на улазу приказани су на слици 5.



Сл.5. Одзив регулационе контуре за процес $G_{p3}(s)$ на промјену референце у $t = 0$ и одскочни поремећај у $t = 100$ за ПИД регулатор – црткано и ГПДОП – пуна линија.

VI. ПРИМЈЕНА НА ЛАБОРАТОРИЈСКИ ТЕРМИЧКИ ПРОЦЕС

Предложени ГПДОП регулатор примијењен је на лабораториски процес приказан на слици 6.



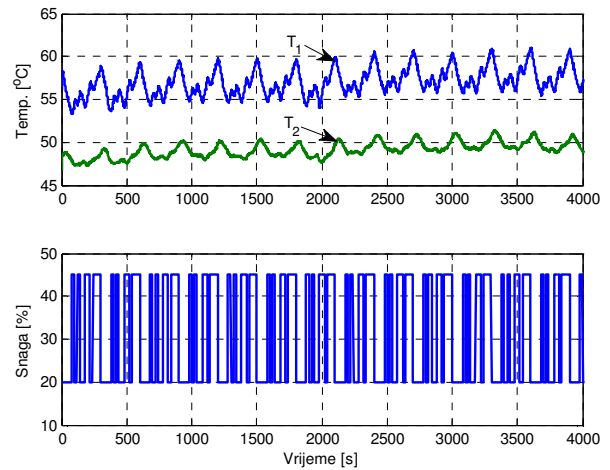
Сл.6. Лабораториски термички процес за демонстрацију особина регулатора. Дијелови 1) гријач (LM317 – TO220), 2),3) сензори температуре (LM35 – TO92)

Уређај се састоји од алуминијумског лима дебљине 2 mm, ширине 30 и дужине 100 mm. На једаном крају причвршћена је плочица са гријачем (позиција 1 на сл.6) и сензором температуре T_1 (позиција 2 на сл.6). Улога овог сензора је заштита гријача од прегријавања, било примјеном каскадне шеме регулације или приоритеног управљања. На другој страни лима причвршћен је други сензор температуре T_2 (позиција 3 на сл.6). Сензори температуре су кола LM35 – TO92. Ови сензори дају линеарни напонски излаз који одговара 0.3 V за температуру од 30 °C и 1 V за температуру од 100 °C. Као гријач користи се интегрисано коло стабилизатор напона LM317 – TO220. Ово коло подешено је да тако да напон на улазу од 25 V спушта на напон од 1 V. Управљачким напоном 0-1 V управља се струјом кроз стабилизатор у рспону од 0-300 mA, односно снагом дисипације 0-7.2 W. Задатак регулације је одржавање температуре T_2 на задатој

вриједности у присуству поремећаја у виду малог вентилатора који појачава струјање око уређаја и додатно га хлади. При томе температура T_1 не треба да пређе вриједност од 70°C.

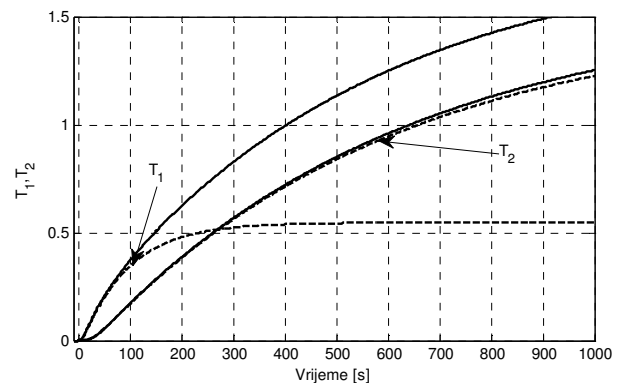
A. Одређивање функција преноса

У првом кораку извршена је побуда процеса псеудослучајном секвенцом дужине 15, са основним периодом $15 \times 20 = 300s$. Одзиви температура T_1 и T_2 приказани су на слици 7. Експеримент је трајао 4000 s.



Сл.7. Одзив температура T_1 и T_2 (горе) на побуду псеудослучајном секвенцом (доле).

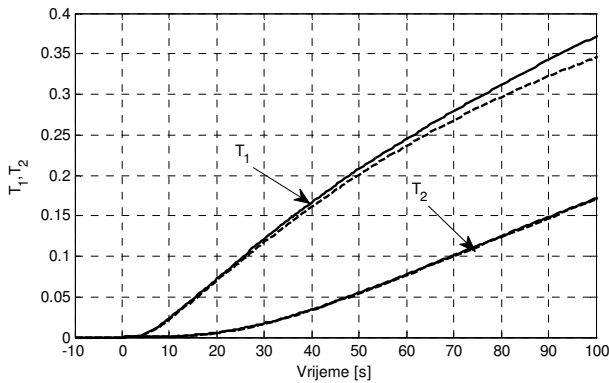
Из приказаног експеримента одређени су ARX модели 100-тог реда за функције преноса са управљачке промјенљиве [%] на температуре T_1 и T_2 . Након тога су одређени редуковани континуални модели са 8 полова и 4 нуле. Одскочни одзиви ARX модела и редукованих модела приказана је на слици 8.



Сл.8. Одскочни одзиви температура T_1 и T_2 за ARX моделе високог реда (пуна линија) и редуковани модели(црткано).

Редукција је вршена тако да се добије најбоље слагање редукованог и ARX модела на опсегу учестаности од интереса за регулацију, тако да се примјећује велика разлика у статичком појачању модела, нарочито у моделу за температуру T_1 . Ова разлика ипак не утиче значајно на

понашање система са затвореном повратном спрегом јер су слагања у временско домену велика у почетку одзива, као што је показано на сл.9.

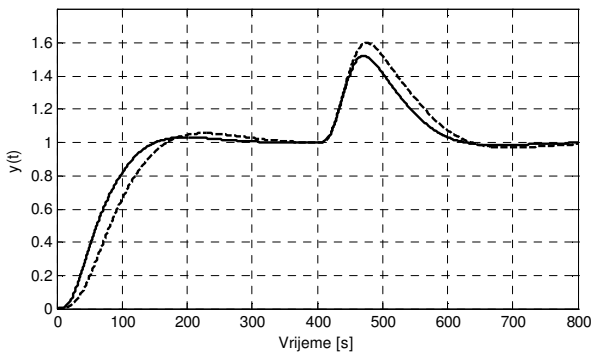


Сл.9. Почетак криве одскочних одзива температура T_1 и T_2 за ARX моделе високог реда (пуна линија) и редуковани модели (црткано).

Након скраћивања блиских нула и полова, функције преноса за температуре T_1 и T_2 , добијене су у облику

$$G_{m1}(s) = \frac{0.5468(0.4s+1)}{(92.4s+1)(6.2s+1)(0.442s+1)} \cdot \frac{1}{(2.52s^2+1.265s+1)} \quad (19)$$

$$G_{m2}(s) = \frac{1.507(3.42s+1)(1-0.816s)}{(577s+1)(18.1s+1)(0.273s+1)} \cdot \frac{1}{(104.6s^2+15s+1)} \quad (20)$$

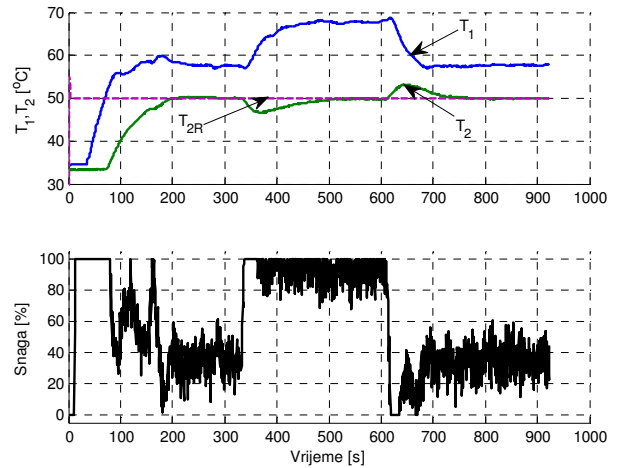


Сл.10. Одзив регулационе контуре за процес $G_{m2}(s)$ на промјену референце у $t=0$ и одскочни поремећај у $t=400$ за ПИД регулатор – црткано и ГПДОП – пуна линија.

Поређење ГПДОП регулатора са ПИД-ом извршено је за модел температуре T_2 . За усвојене мјере робустности $M_S=1.7$ и $M_P=1.3$, и осјетљивост регулатора на шум $M_n=100$, оптимизација (13),(14) дала је $a_2=12700$, $a_1=683.2$, $a_0=8.2$, $T_i=T_f=11.5$ и $L=17.8$, док је за ПИД добијено $K_C=14.39$, $T_I=88.23$, $T_D=23.06$ и $T_F=3.32$. Одзиви

на промјену референце и скоковити поремећај на улазу приказани су на слици 10.

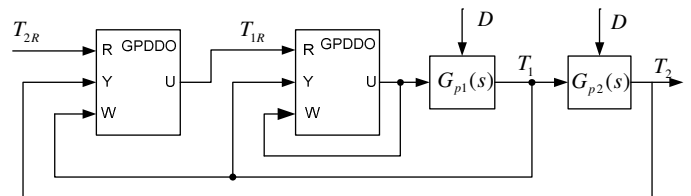
У сљедећем кораку, регулатор је имплементиран у програмском окружењу SCICOS и примјенен на стварном процесу са истим параметрима као и у симулацији.



Сл.11. Одзив температура T_1 и T_2 (горе) и снаге (доле) на поремећај.

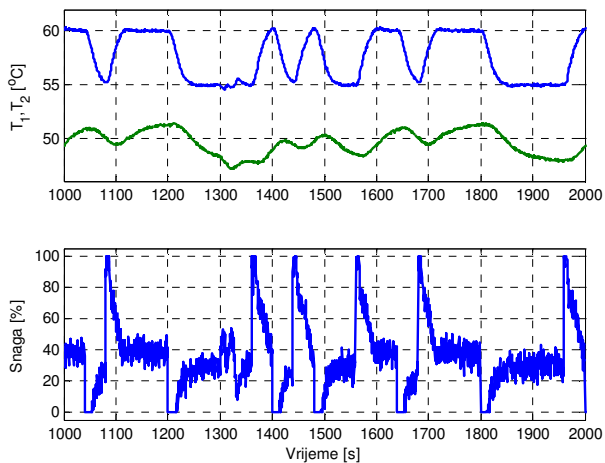
Одзиви температура T_1 и T_2 на поремећај укључења и искључења вентилатора приказани су на слици 11. Упркос достизању ограничења управљања, не долази до поремећаја рада регулатора, као што је напријед речено.

У сљедећој фази имплементирана је шема каскадног регулатора приказаног на слици 12.

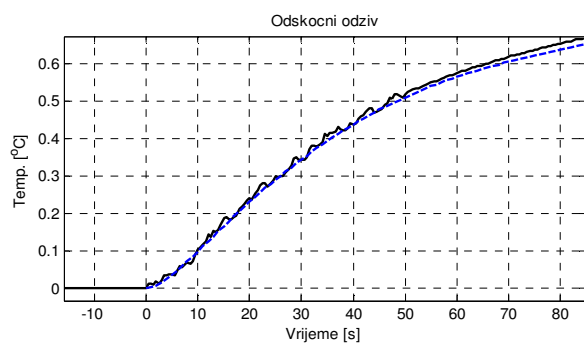


Сл.12. Каскадна структура регулатора.

Да би се регулатор у спољној контури могао подесити, претходно је потребно одредити функцију преноса G_{p2} . То је урађено на сљедећи начин: Прво је на основу модела (19) дефинисан регулатор у унутрашњој контури. Затим је извршен експеримент са тако подешеним регулатором гдје је поставна температура T_{IR} псеудослучајна секвенца са периодом око 400s. Детаљ експеримента приказан је на слици 13. Експеримент је трајао око два и по часа. На основу добијених сигнала T_1 и T_2 одређена је редукована функција преноса као у претходном случају. Оскочни одзив за редуковани и модел високог реда приказани су на слици 14. Након тога је, узимајући у обзир функције преноса са T_{IR} на T_1 и са T_1 на T_2 , подешен регулатор спољне контуре и у њему додато ограничење $T_{IR} \leq 70^\circ\text{C}$.

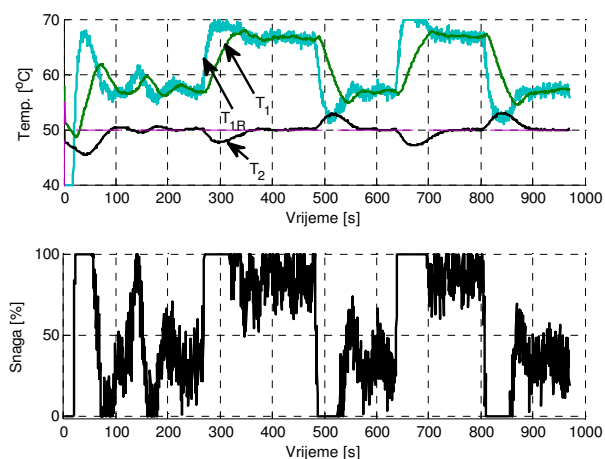


Сл.13. Деталј експеримента за одређивање $G_{p2}(s)$.



Сл.14. Одскочни одзиви за ARX модел виског реда (пуна линија) и редуковани модели (црткано) за функцију преноса $G_{p2}(s)$.

Код оба регулатора (спољна и унутрашња контура) подешавање је извршено под ограничењима $M_S = 1.7$, $M_P = 1.3$ и $M_n = 20$.



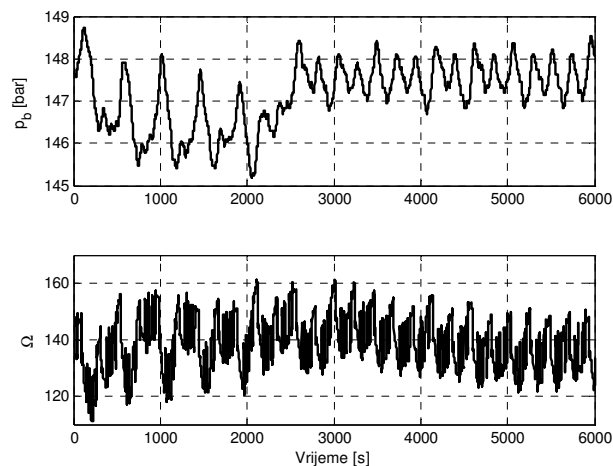
Сл.15. Одзиви регулационе шеме са сл.12 на поремећаје укључења и искључења вентилатора.

На слици 15 приказан је одзив регулационе структуре на поремећаје као и претходном случају, али у овом случају и са ограничењима на температуру гријача T_1 . Упркос двоструким нелинеарним ограничењима на управљање процесом да се закључити да се регулатори понашају оптимално и да се грешка регулације врло брзо елиминише.

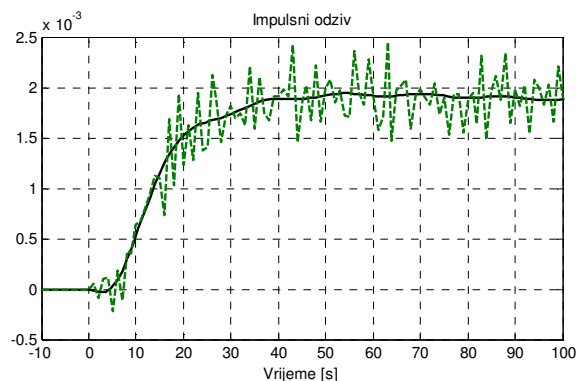
VII. ПРИМЈЕНА НА КОТЛУ ТЕРМОЕЛЕКТРАНЕ

За сам крај дат је и примјер практичне реализације овог регулатора за одржавање притиска у бубњу котла 210M W блока термоелектране ТЕНТ А2. Притисак се одржава дозирањем угља у млинове преко система додавача.

Идентификација функције преноса извршена је у раду са затвореном повратном спрегом. На излаз регулатора (који представља референцу за регулатор подсистема додавача угља) додана је псеудослучајна секвенца реда 15 са основним периодом од 225s. Сигнали збирне брзине додавача (Q) и притиска у бубњу (p_b) приказани су на слици 16.



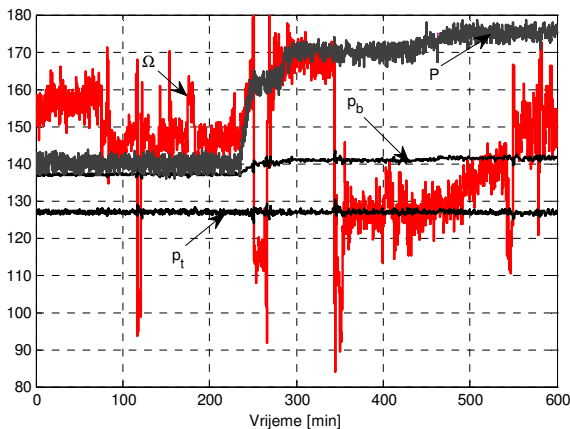
Сл.16. Котло термоелектране: сигнали за идентификацију.



Сл.17. Добијени импулсни одзив за котло: ARX модел 100-тог реда (црткано) и редукованог модела осмог реда (пуна линија).

Из добијених података извршено је, као и у случају лабораторијског процеса, одређивање ARX модела високог реда и редукованог модела. Импулсни одзиви ARX модела и редукованог модела осмог реда приказани су на слици 17.

Из импулсног одзива редукованиг модела одређен је модел другог реда са кашњењем, и на основу њега подешаван PDDO регулатор [5] помоћу процедуре предложене у истој референци. На слици 18 приказано је 10 часова рада блока. Регулатор притиска у бубњу кориштен је у каскади као регулатор унутрашње контуре у регулацији притиска пред турбином. Приказани су сигнали збирне брзине додавача (Ω), притиска у бубњу (p_b), притиска пред турбином (p_t – референтна вриједност 127 bar) и електричне снаге на генератору (P).



Сл.18. Блок термоелектране у раду: електрична снага P је након 4 часа подигнута са 140 MW на 160, па 170 и на крају 175 MW. Приказани сигнали: збирна брзина додавача (Ω), притисак у бубњу (p_b), притисак пред турбином (p_t – референтна вриједност 127 bar) и електрична снага на генератору (P).

Упркос драстичним промјенама калоричне вриједности угља или нестанцима угља на додавачима, што су основни поремећаји који дјелују на процес, притисак није одступао више од дозвољена 3 бара. Видљиве су и драстичне промјене Ω ради комензације поремећаја.

VIII. ЗАКЉУЧАК

У раду је предложена структура регулатора који се може схватити као унапређена верзија ПИД регулатора. Предложене су процедуре за подешавање засноване на упрошћеним моделима, као и на сложеним моделима

високог реда. Демонстриране перформансе дају наду да ће овај тип регулатора доживјети даљња истраживања у смјеру тражења једноставнијих процедура за подешавање, као и друге практичне реализације.

ЛИТЕРАТУРА

- [1] M. Kano, M. Ogawa, "The state of the art in chemical process control in Japan: Good practice and questionnaire survey," *Journal Proc. Control*, vol. 20 (9), pp. 969–982, 2010.
- [2] K.J. Åström, T. Hägglund, "The future of PID control," *Ctrl. Eng. Practice*, vol. 9 (11), pp. 1163–1175, 2001.
- [3] J. E. Normey-Rico, E. F. Camacho, "Dead-time compensators: A survey," *Ctrl. Eng. Practice*, vol. 16 (4), pp. 407–428, 2008.
- [4] A. Ingimundarson, T. Hägglund, "Performance comparison between PID and dead-time compensating controllers," *Journal Proc. Control*, vol. 12 (8), pp. 887–895, 2002.
- [5] M.R. Mataušek, A.I. Ribić, "Design and robust tuning of control scheme based on the PD controller plus Disturbance Observer and low-order integrating first-order plus dead-time model," *ISA Transactions*, vol. 48 (4), pp. 410–416, 2009.
- [6] K.J. Åström, T. Hägglund, *PID Controllers: Theory, Design and Tuning*, 2nd ed., ISA, 1995.
- [7] B. Kristiansson, B. Lennartson, "Robust and optimal tuning of PI and PID controllers," *IEE Proc. Ctrl. Theory Appl.*, vol. 149 (1), pp. 17–25, 2002.
- [8] M.R. Rapaić and Ž. Kanović, "Time-varying PSO – convergence analysis, convergence-related parameterization and new parameter adjustment schemes," *Information Processing Letters*, vol.109 pp. 548–552, 2009.
- [9] J. E. Normey-Rico, E. F. Camacho, "Robust Tuning of Dead-time Compensators for Processes with an Integrator and Long Dead-Time," *IEEE Trans. Automatic control*, vol. 44, pp. 1597–1633, 1999.

Abstract— Paper describes a new controller – extension of the well known PID controller. Starting from a simplified, first or second order model of the plant, the universal PID-like controller was obtained, providing equal or better performance/robustness ratio than the PID controller and dead-time compensators. Tuning rules for first order model with time delay was given so as procedure based on nonparametric frequency characteristics. Characteristics are demonstrated on a laboratory process described with partial differential equations.

Keywords: PID controller; dead-time compensators; simplified model; robustness; performance;

PID controller extension development

Aparatura za proučavanje procesa motornog učenja u balističkim zadacima pogađanja mete

Slobodan Lubura
Laboratorija za robotiku i mehatroniku
Elektrotehnički fakultet Istočno Sarajevo
Bosna i Hercegovina
slubura@gmail.com

Goran S. Đorđević
Laboratorija za robotiku
Elektronski fakultet Niš
Srbija
goran.s.djordjevic@elfak.ni.ac.rs

Volker Zerbe
System and Control Theory Department
TU Ilmenau
Germany
Volker.Zerbe@TU-Ilmenau.de

Sadržaj — U ovom radu opisane su mehaničke i hardverske komponente aparatura za proučavanje procesa motornog učenja u balističkim zadacima pogađanja mete. Prvo je dat opis mehaničkih komponenti aparature koju čine katapult za izbacivanje loptica ka meti i složeni mehatronički interfejs (džojstik). Potom su opisane sve hardverske (elektronske) komponente upravljačke strukture aparature neophodne za njeno potpuno funkcionisanje.

Ključne riječi – *motorno učenje; aparatura; mehatronički interfejs*

I. UVOD

Veza između čovjeka i mašine već vjekovima predstavlja otvoren istraživački problem, počevši od prvih mašina koje su samo djelimično zamijenile fizički rad čovjeka. Sa tehnološkim napretkom, mašine su postale veoma složene i preuzele na sebe čak i ulogu donošenja nekih odluka kroz izbor režima rada, ali je još uvijek neizvjesno kada će i da li će mašine biti potpuno autonomne u donošenju i sprovođenju odluka.

Proces fizičke komunikacije čovjeka i mašine odvija se putem mehatroničkog interfejsa koji za čovjeka može biti jako komplikovan pa je potrebno vrijeme da se čovjek privikne na takav način zadavanja komandi. Tek poslije dugotrajnog vježbanja na simulatoru čovjek će biti u stanju da kvalitetno obavi zadatak. Tokom vježbanja motorni sistem čovjeka izgrađuje interne modele koje će kasnije koristiti tokom rada sa mašinom. Proces izgradnje modela do danas nije u potpunosti istražen ali su dostupne razne tehnike za njihov funkcionalni opis prije svega u zadacima motornog učenja pokreta ruke.

Zadaci interakcije čovjekove ruke i mašine mogu se grubo podijeliti na dvije grupe: zadatke balističkog tipa i zadatke praćenja trajektorija. U zadacima balističkog tipa pokret traje jako kratko i tokom pokreta nema neposrednog korektivnog dejstva motornog sistema sa rukom. U zadacima praćenja, tokom dovoljno dugog vremena čovjek stalno koriguje svoje pokrete. Zadaci balističkog tipa najčešće se sreću u interfejsima čovjeka i mašine.

Mnogi od tih procesa motornog učenja pokreta ruke u balističkim zadacima istraživani su na jednostavnim zadacima pogađanja mete na ekranu računara pomjerajući mehanički interfejs, najčešće nalik jednostavnom, planarnom robotu, koji u isto vrijeme i ometa pokret, podstičući motorno učenje, i

mjeri dostignuti nivo kvaliteta pokreta. Da bi istražili procese motornog učenja pokreta ruke u Laboratoriji za robotiku i mehatroniku na ETF I. Sarajevo napravljena je aparatura za proučavanje procesa motornog učenja pokreta ruke u balističkim zadacima pogađanja mete. Aparaturu čine mehanički interfejs (džojstik) sa jednim stepenom slobode koji je preko PC računara, povezan sa složenim mehatroničkim sistemom koji takođe ima jedan stepen slobode kretanja (katapult). U zadacima u kojima postoji nagli početak i kraj kretanja, složena dinamika mehatroničkog sistema dolazi do izražaja prvenstveno zbog nelinearne funkcije trenja naročito u opsegu graničnih vrijednosti brzina. U činjenici da nemamo potpuno tačan dinamički model sistema naročito u slučaju kada se sistem pokreće jednom ili nizom trzajnih komandi, ogleda se sva složenost ovog sistema. Smatramo da je to pogodan primjer dinamički kompleksnog zadatka koji će čovjek morati da nauči kroz mehatronički interfejs.

Proučavanje procesa motornog učenja vršeno je na više subjekata dobi od 20-23 godine. Njihov zadatak je bio da upravljaju džojstikom s kojim se njihov pokret ruke prenio na katapult koji je izbacivao loptice ka meti. Cilj je bio da u okviru jedne serije od 30 bacanja naprave što više pogodaka u metu preko postavljene prepreke. Takođe, džojstik kao interfejs čovjeka i mašine nije bio mehanički pasivan nego je mogao prema ugrađenom algoritmu da pospješuje proces učenja zadatka pogađanja mete.

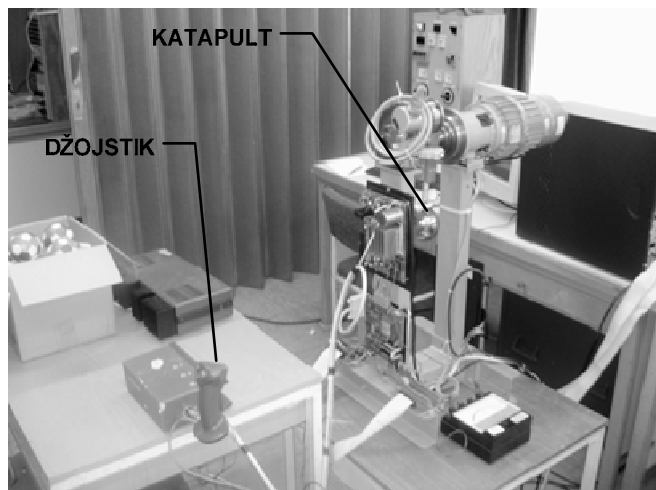
U ovom radu opisane su mehaničke i hardverske komponente izgrađene aparature za proučavanje procesa motornog učenja pokreta ruke u balističkim zadacima pogađanja mete.

II. MEHANIČKE I HARDVERSE KOMPONENTE APARATURE ZA PROUČAVANJE PROCESA MOTORNOG UČENJA

Aparaturu za proučavanje procesa motornog učenja čine mehanički interfejs u vidu palice (džojstik) sa jednim stepenom slobode koja je preko PC računara povezana sa složenim mehatroničkim sistemom (katapult za izbacivanje loptica ka meti). Da bi se komanda sa džojstika prenijela na pokret katapulta on takođe, ima jedan stepen slobode kretanja, kao što je prikazano na slici 1.

U činjenici da nije bio potpuno poznat tačan dinamički model mehatroničkog sistema, ogleda se složenost ovog sistema. Upravljanje ovim složenim mehatroničkim sistemom

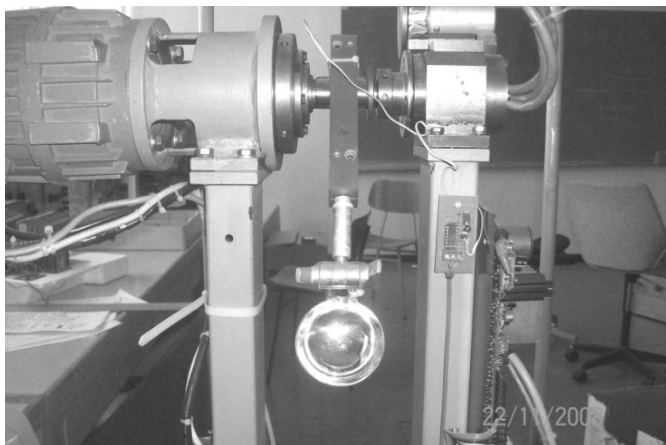
(katapultom) djelomično poznate dinamike uzet je kao primjer jednog složenog dinamičkog zadatka koji će čovjek kroz proces motornog učenja u toku treninga moći da nauči kroz projektovani mehatronički interfejs. Potpuno definisan zadatak podrazumijeva upravljanje mehaničkim interfejsom koji komanduje sistemom složene dinamike u balističkom zadatku pogađanja mete.



Slika 1. Aparatura za proučavanje procesa motornog učenja u balističkim zadacima pogađanja mete

A. Katapult za izbacivanje loptica u balističkom zadatku pogađanja mete

U Laboratoriji za robotiku i mehatroniku na ETF I. Sarajevu izgrađen je jedan složeni mehatronički sistem sa jednim stepenom slobode [2], koji je poslužio kao osnova za izgradnju katapulta za izbacivanje loptica u balističkim zadacima pogađanja mete. Na slici 2 prikazana je realizacija projektovanog katapulta.



Slika 2. Katapult za izbacivanje loptica

Postolje katapulta izvedeno je kao zavarena konstrukcija od čeličnih cijevi 40x80x2mm, dok su stope postolja izvedene od ugaonih profila 45x45x5mm i pričvršćene su zavrtnjima za postolje. Postolje čine dva vertikalna stuba sa navarenim prihvatnim pločama za kućište desnog i lijevog uležištenja pogonske osovine. Kućište uležištenja na desnom stubu

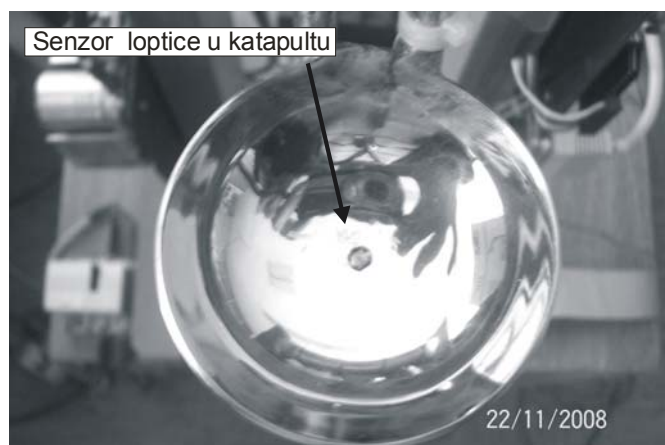
izvedeno je kao zavarena konstrukcija, a izrađeno je od čelične cijevi $\varnothing 100 \times 108 \text{mm}$ sa privarenim prirubnicama na obje strane. Sa donje strane je navarena stopa za vezu kućišta sa prihvatnom pločom desnog stuba postolja. Lijeva strana prirubnice služi za prihvatanje čaure sa dva kuglična radijalno - aksijalna ležišta za desno uležištenje pogonske osovine. Radijalno - aksijalni ležajevi fiksiraju osovinu sa aspekta radijalnih pomjeranja.

Osovinu na desnom kraju ima rukavac sa klinom na koji je navučena polutka elastične spojnice. Čaura sa ležajevima je s vanjske strane pričvršćena navrtkom za lijevu prirubnicu kućišta. Desna prirubnica služi za pričvršćenje DC motora (PARVEX MC13S). Motor je sa pogonskom osovinom vezan preko elastične spojnice.

Kućište uležištenja na lijevom stubu ima valjkasti ležaj za lijevo uležištenje pogonske osovine, koji dopušta aksijalne dilatacije osovine dok sa donje strane ima stopu prihvatne ploče lijevog stuba.

Srednji dio pogonske osovine je sa klinom i predviđen je za navlačenje glavčine segmenta koji se može postaviti na pogonsku osovinu. Upravo je na taj srednji dio pogonske osovine postavljen adapter preko koga se povezuje nosač držača loptica katapulta. Ovaj nosač izrađen je od aluminijske cijevi profila $\varnothing 12 \text{mm}$, koji na svom drugom kraju ima postavljen zglob koji omogućava podešavanje pozicije nosača loptica u odnosu na osu rotacije.

Da bi se mogao detektovati trenutak izbacivanja loptice iz katapulta u nosač loptica je ugrađen foto senzor koji detektuje prisustvo loptice u katapultu kao što je prikazano na slici 3.

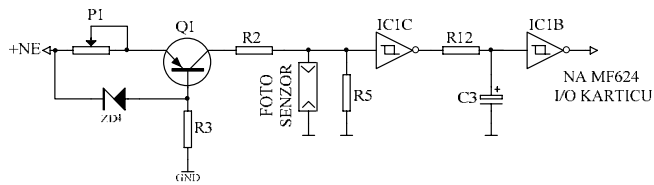


Slika 3. Foto senzor za detekciju prisustva loptice u katapultu

Detekcija ovog signala bila je potrebna za estimaciju i modeliranje brzine pokreta ruke (džojstika) pri kojoj dolazi do izlijetanja loptice iz katapulta kao ključnog parametra u procesu motornog učenja pokreta u postavljenom balističkom zadatku pogađanja mete.

Na slici 4 prikazan je šema blok za obradu signala senzora. Osjetljivost senzora podešava se potencijetrom P1, a logički signal kojim se detektuje trenutak postavljanja loptice u katapult i izbacivanja loptice iz katapulta dobija se na izlazu IC1. Ovaj signal je TTL logičkog nivoa i prilagođen je

digitalnim ulazima multifunkcionalne I/O kartice koja se koristila za realizaciju upravljačkog algoritma katapulta.

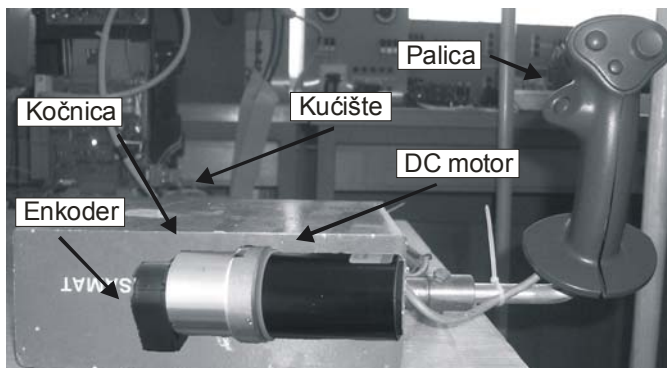


Slika 4. Obrada signala sa foto senzora

B. Projektovanje mehatroničkog interfejsa (džojstika)

Zadatak mehatroničkog interfejsa između čovjeka i mašine (katapult) je preslikavanje pokreta ruke čovjeka na pokret katapultu kako bi se što uspješnije riješio postavljeni zadatak postavljanja mete.

U konkretnom slučaju potrebno je bilo preslikati pokret ruke čovjeka, odnosno njegove parametre $q_{joy}, \dot{q}_{joy}, \ddot{q}_{joy}$, u odgovarajući pokret katapultu $q_{kat}, \dot{q}_{kat}, \ddot{q}_{kat}$ koji izbacuje lopticu ka meti. Da bi se riješio postavljeni zadatak preslikavanja pokreta ruke u odgovarajući pokret katapultu u okviru ovog rada projektovan je džojstik kao mehatronički interfejs sa jednim stepenom slobode kretanja. Na slici 5 prikazan je realizovani džojstik.



Slika 5. Izgled realizovanog džojstika

U kućište džojstika smješten je DC motor MAXON RE40, zajedno sa kočnicom i enkoderom HEDL5540 sa 500 imp/o odnosno 2000 imp/o u kvadraturi, koji je poslužio za dobijanje informacije o poziciji pokreta palice džojstika. Razlog upotrebe DC motora u džojstiku je dvostruki:

- Rješavanje problema neutralnog položaja džojstika,
- Ideja uvođenja dodatnog momenta koji pospješuje motorno učenje pokreta ruke u dinamičkim zadacima pogađanja mete.

Da bi palicu džojstika uvijek održali u ravnotežnom (neutralnom) položaju neophodno je bilo postaviti opruge za uravnoteženje, što u principu mehanički komplikuje realizaciju džojstika. Problem je riješen postavljanjem DC motora koji je poslužio za realizaciju ekvivalentnih “električnih” opruga. Prednost ovakvog rješenja je da se jednostavno mogu podešavati parametri krutosti i viskoznosti projektovanih “električnih” opruga.

Da bi se neutralni položaj džojstika zadržao i po nestanku napajanja DC motora zajedno sa motorom spregnuta je mehanička kočnica. Za aktiviranje mehaničke kočnice upotrijebljeni su tasteri koji su sastavni dio palice džojstika. Softverski dio “električnih” opruga realizovan je u MATLAB/SIMULINK okruženju.

Takođe, mehatronički interfejs trebao je da potvrdi hipotezu da se proces obuke subjekata u balističkim zadacima pogađanja mete moguće poboljšati uvođenjem nekih algoritama za obuku (uvježbanost). Obično se ovi algoritmi svode na promjenu impedanse okoline (džojstika) kako bi subjekti u toku treninga što prije došli do uvježbanosti pokreta, tako da se u principu broj u seriji treninga može umanjiti. Za potvrdu postavljene hipoteze, neophodno je bilo imati izvor momenta τ_{joy} koji pravi korekciono dejstvo pokreta ruke tako da subjekti što prije utreniraju pokret. Kao izvor momenat, poslužio ugrađeni DC motor koji je proizvodio moment sračunat na osnovu nekog algoritma za obuku.

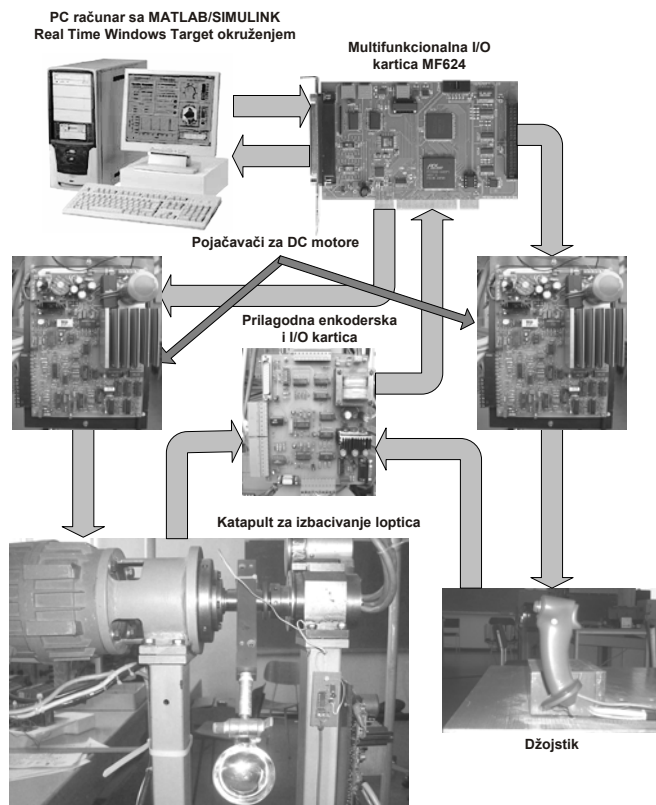
III. HARDVERSKE KOMPONENTE UPRAVLJAČKE STRUKTURE APARATURE

U opštem slučaju upravljačke strukture mehatroničkih sistema mogu biti realizovane na više načina. Najefikasniji način je svakako autonomna upravljačka struktura na kojoj se direktno implementira algoritam upravljanja. Ovi autonomni sistemi najčešće se sreću u industrijskim aplikacijama. Algoritam upravljanja implementira se direktno na mikrokontrolerima, DSP, FPGA ili sličnim komponentama.

Za potrebe istraživačkog rada u laboratoriji, razvoja i primjene različitih algoritama upravljanja, izvođenja laboratorijskih vježbi i sl. daleko su podesnije fleksibilne razvojne upravljačke strukture koje se realizuju na PC računaru. Pošto je aparatura proučavanje motornog učenja pokreta ruke namijenjena za rad u laboratoriji, upravljačka struktura aparature je realizovana u MATLAB-SIMULINK okruženju koje nudi komforne uslove sa aspekta razvoja, testiranja i primjene različitih algoritama upravljanja [4].

Realizovana upravljačka struktura sastoji se od sljedećih hardverskih komponenti:

1. PC računara sa MATLAB-SIMULINK – *Real Time WindowsTarget* okruženjem za razvoj i testiranje upravljačkih struktura u realnom vremenu,
2. Multifunkcionalne I/O kartice MF624 za povezivanje MATLAB-SIMULINK okruženja sa realnim objektima upravljanja,
3. Četverokvadrantnih pojačavača za upravljanje DC motorom [4], Prilagodne kartica za povezivanje enkodera, analognih i digitalnih ulaza/izlaza elemenata aparature i I/O kartice.



Slika 5. Hardverske komponente upravljačke strukture aparature

Aparatura za proučavanje motornog učenja pokreta ruke u balističkim zadacima pogađanja mete sa hardverskim i softverskim upravljačkim komponentama prikazan je na slici 5.

Osnovna karakteristika upravljačkog koncepta prikazanog na slici 5. je velika fleksibilnost sistema. Integracija sa MATLAB-SIMULINK okruženjem omogućava primjenu "moćnih" alata koje posjeduje pomenuto okruženje kao što su: grafičke mogućnosti prezentacije podataka, primjena raznih SIMULINK toolbox-ova, rad u realnom vremenu preko *Real Time Windows Target Toolbox-a*, podešavanje parametara regulacionih struktura u realnom vremenu, prikupljanje i grafički prikaz podataka u realnom vremenu, itd. Multifunkcionalna I/O kartica MF624 koja je podržana od strane MATLAB-SIMULINK okruženja preko svojih analognih i digitalnih ulaza/izlaza povezuje realne fizičke objekte sa pomenutim okruženjem [10]. Jedno od ograničenja I/O kartice su brzine A/D i D/A konverzije i šum kvantovanja koji se unosi u upravljačku strukturu, a koji po pravilu degradira performanse upravljačkog sistema.

Da bi mogli upravljati DC motorima kao pogonima potrebno je upravljačke signale sa I/O kartice prilagoditi (pojačati) zahtjevima upotrijebljenih motora. Za tu namjenu su u razvijeni četverokvadrantni pojačavači za upravljanje DC motorima [2]. Prihvatanje enkoderskih ulaza, digitalnih ulaza/izlaza i analognih ulaza/izlaza ostvareno je preko prilagodne kartice koja je takođe razvijena u pomenutoj laboratoriji.

A. Multifunkcionalna I/O kartica MF624 [10]

Za integraciju upravljačkih komponenti realizovane aparature sa PC računarom preko MATLAB-SIMULINK okruženja korištena je *Humusoft*-ova multifunkcionalna I/O kartica MF624. Kartica je namijenjena za akviziciju podataka i projektovanje upravljačkih struktura i potpuno je podržana od strane SIMULINK *Real Time windows Target* okruženja sa 32 bitnom arhitekturom.

Sve upravljačke strukture u realizovane su u pomenutom okruženju, kao i akvizicija i arhiviranje svih veličina koje su bile od interesa: parametri pokreta ruke i katapulta, struja DC motora koji pokreće katapult i DC motora koji je ugrađen u džojstik. Osnovni parametri ove kartice su:

- 32 - bitna arhitektura
- 1.6 μ s 14 - bitni A/D konvertor sa *sample & hold* kolom,
- osmo kanalni multiplekser za povećanje broja ulaznih A/D kanala,
- softverski podesivi opseg ulaznog napona $\pm 10V$, $\pm 5V$, 0-10V, 0-5V,
- interni sat i naponska referenca,
- osam D/A konvertora sa 14 - bitnom rezolucijom i $\pm 10V$ opsegom izlaznog napona,
- četiri enkoderska ulaza sa običnim ili diferencijalnim interfejsom,
- četvero kanalni 32 - bitni tajmer/brojač sa 20 ns rezolucijom,
- osmo bitni TTL kompatibilni digitalni ulazi,
- osmo bitni TTL kompatibilni digitalni izlazi,

B. Prilagodna enkoderska i I/O kartica

Da bi se upotrijebljeni inkrementalni enkodori, koji su postavljeni na DC motorima katapulta i džojstika mogli povezati sa enkoderskim ulazima multifunkcionalne I/O kartice MF624, neophodno je bilo njihove izlaze prilagoditi zahtjevima kartice. U praksi se najčešće sreću enkodori sa TTL, HTTL i RS422 izlaznim logičkim signalima, pa se pri projektovanju prilagodne kartice vodilo računa da kartica može da prihvati sva tri tipa signala i prilagodi ih na TTL logički nivo, što odgovara enkoderskim ulazima upotrijebljene I/O kartice. Prilagoda kartica u potpunosti je realizovana u Laboratoriji za robotiku i mehatroniku na ETF I. Sarajevo i detaljno opisana u [3]. Dio prilagodne kartice za prihvaćanje enkoderskih ulaza sastoji se od tri dijela:

- Blok za prihvaćanje RS422 diferencijalnog logičkog signala omogućava povezivanje enkodera sa RS422 izlaznim logičkim signalom i I/O kartice,
- Blok za prihvaćanje HTTL logičkog signala omogućava povezivanje enkodera sa HTTL izlaznim logičkim signalom i I/O kartice,

Blok za prihvaćanje TTL logičkog signala omogućava povezivanje enkodera sa TTL izlaznim logičkim signalom i I/O kartice.

Zbog smanjenja uticaja smetnji i šumova logički signali četverokvadrantnog pojačavača za upravljanja DC motorima *ENABLE* i *BREAK* prihvaćaju signale tipa otvoreni kolektor. Kako su digitalni izlazi I/O kartice TTL logičkog nivoa, potrebno je bilo konvertovati TTL logički nivo na izlaz tipa otvoreni kolektor. Sastavni dio prilagodne kartice čini i blok za konverziju TTL logičkog nivoa na izlaze sa otvorenim kolektorom.

C. Četverokvadrantni pojačavač za upravljanje DC motorima

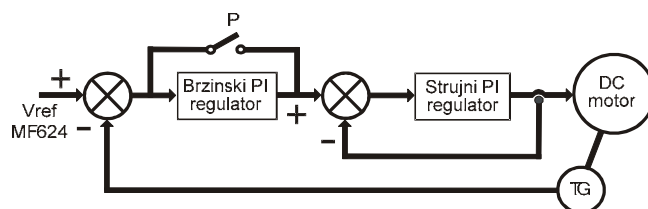
Sastavni dio zatvorene upravljačke strukture za upravljanje DC motorima, bilo da je ona poziciona ili brzinska, je pojačavač snage (*servo amplifier*) čiji je zadatak da signale dobijene od upravljačke strukture (I/O kartice), prilagodi zahtjevima DC motora.

Realizovana aparatura za proučavanje motornog učenja pokreta ruke i džojstika u balističkim zadacima pogađanja mete posjeduje dva četverokvadrantna pojačavača: jedan pojačavač je upotrijebljen u za pogon DC motora (PARVEX MC13S) koji pokreće katapult za izbacivanje loptica ka meti, a drugi DC motor (MAXON RE40) za ostvarenje neutralnog položaja palice džojstika i generisanje korektivnog momenta, prema predloženom algoritmu za obuku.

Upravljački signali koji se dovode na ulaz pojačavača, su u principu, reprezent sračunatog momenta koji pojačavač treba da proslijedi DC motoru. U opštem slučaju ovi signali mogu biti kontinualni (standardni naponski $\pm 10\text{VDC}$, strujni signali $0 - 20\text{mA}$ ili $4 - 20\text{mA}$) ili diskretni u formi širinsko modulisanog signala (ŠIM).

U slučaju kontinualnog upravljačkog signala i motora manjih snaga (do 100W), za prilagođenje upravljačkog signala zahtjevima motora koriste se analogni pojačavači snage (npr. LM12), čiji je osnovni nedostatak velika disipacija snage. Za pogon većih DC motora sa kontinualnim upravljačkim signalom upotrebljavaju se pojačavači snage specijalizovanih proizvođača (*Maxon, Parvex, Faulhaber, Galil-mc*) koji nisu lako dostupni i čija je cijena relativno visoka [5],[6].

Upravljačka struktura aparature za proučavanje motornog učenja pokreta ruke realizovana je u SIMULINK RTWT okruženju i upravljački signali (sračunati momenti DC motora) su prosljeđeni na D/A izlaze multifunkcionalne I/O kartice MF624, tj. dobijeni u analognoj naponskoj formi ($\pm 10\text{VDC}$). Ove naponske signale trebalo je pojačati i prosljediti na pomenute DC motore. Za tu namjenu u okviru rada [3], [9] došlo se do rješenja četverokvadrantnog pojačavača, čija je uproštena blok šema realizovanog pojačavača prikazana je na slici 6.



Slika 6. Uproštena blok šema četverokvadrantnog pojačavača za upravljanje DC motorima

ZAKLJUČAK

Opisna aparatura za proučavanje procesa motornog učenja u balističkim zadacima poslužice prvenstveno za proučavanje različitih algoritama za obuku subjekata. Kako je upravljačka struktura aparature dosta fleksibilna moguće je jednostavna izmjena algoritama treninga subjekata. Uz neke dodatke aparatura može da posluži kao prototip sprava za rehabilitaciji u medicini ili programirano opterećenja sportista u toku treninga

REFERENCES

- [1] Lewis L. F., Abdallah C. T., Dawson D. M.: "Control of Robot Manipulators", MacMillan, New York 1993.
- [2] Lubura Slobodan, Šoja Milimir: "Četverokvadrantni pojačavač snage za upravljanje DC motorima", ETF Istočno Sarajevo, K-INEL Istočno Sarajevo, ERTAN, Boegrad, juni 2006.
- [3] Lubura Slobodan: "Projektovanje, konstrukcija i primjena distribuiranog pogona robota", Magistarski rad, ETF I. Sarajevo oktobar 2006.
- [4] Lubura Slobodan, Mitrović Vlado, Šoja Milimir, Đorđević S. Goran: "Projektovanje aparature za ispitivanje algoritama upravljanja distribuiranog pogona robota", Zbornik radova 51. Konferencije za ETRAN (CD), Herceg Novi, 4-8 juna 2007. god., EL2.6,
- [5] Maxon Motor Control, *4-Q-DC Servoamplifier ADS 50/5, Operation Instructions*, 2004.
- [6] Parvex, *AXEM Disc servomotor*, 2001. Computer Science Ann Arbor, MI 48109, 1998.
- [7] Ovaska S. J., Vainio O.: "Recursive Linear Smoothed Newton Predictors for Polynomial Extrapolation", IEEE Trans. Instr. and Meas., vol. 41, no. 4, pp. 510-516, Aug. 1992.
- [8] *Real Time Windows Target 2.2, User Manual*, MathWorks 2002.
- [9] Šoja Milimir, Lubura Slobodan: "Pojačavački modul za upravljanje jednosmjernim motorom", VI simpozijum Industrijska elektronika-INDEL 2006, Banja Luka, 10-11. novembar 2006. god., strana 150-154
- [10] *User Manual Multifunctional I/O Card MF 624*, Humusoft, 2006.

Abstract - In this paper were described mechanical and hardware components of apparatus for study motor learning proces in ballistic tasks hitting the target. The first were described a mechanical components of apparatus wich is consist of catapult for to throw the ball to target and complex mechatronic interface (joystick). Then were described all hardware components of control structure of aparatus whose are necessary for full functionality of aparatus.

Keywords – motor learning; aparatus; mechatronic interface

Aparatus for study motor learning proces in ballistic tasks hitting the target

Data processing code optimization by implementing pointer-based modules in PLC programming

(short announcement)

Josif Kosev

University “SS Cyril and Methodius” - Skopje
Faculty of Electrical Engineering and IT
Skopje, R. Macedonia
josif@feit.ukim.edu.mk

Andrej Vanovski

NIK Sistemi DOOEL
Skopje, Republic of Macedonia
eng@nik.com.mk

Abstract—This article presents an approach to PLC code writing for balanced utilization of program memory, data memory and processing time. The optimization is targeted for SCADA data collection and visualization but it can be applied as general input data-integrity processing and alarming system in any PLC application. The application consists of general parametric data structure and generic pointers-based data processing modules. The parametric structure allows for easy process-parameter changes while the pointer-based processing loops with time-optimized instructions leave substantial program-memory space for upgrades. It is designed for distributed real-time operation and thus also maximizes the utilization of the communication link. The system is installed in Feni Industry – Kavadarci at the first electric furnace and successfully operates for four years. Its modular approach has also proved to be easy for understanding and upgrading by the maintenance personnel of the factory.

Keywords—PLC; Function Block; SCADA; pointers; data processing; code optimization; resources optimization

I. INTRODUCTION

PLC automation is backbone of modern industrial production. SCADA systems as production and management support are indispensable for monitoring and managing large quantities of process data. Since PLCs are built for operation in harsh industrial environments, they are often used for data acquisition purposes. Unfortunately, although their capacities grow permanently at certain price level, they do not follow the consumer trends. One of the main reasons for this slower growth is the level of stability and availability that is expected from a PLC. This leads to the requirement of efficient usage of their resources

Another issue in data acquisition and process control is the level of integrity of the input data that are acquired and/or are used for process monitoring and control. PLCs have input units that are specially built to resolve this issue and it is up to the process engineer/programmer to include this possibility in the acquisition and control program of the PLC. This can be done individually – at each position in the program where this digital (bit) or analog input data is used, or at the input-unit level. Each approach is completely functional, but it is a good practice to apply unified approach in a systematic way. This article proposes a general approach that combines the built-in data error-handling with extended error-handling. It is

implemented for providing high confidentiality of input data in SCADA data-acquisition, but can also be used as a front-end for any control system application [1].

The previously mentioned approach is also in agreement with recent methodologies for coping with complexity in data-processing systems but also in control-systems – it is the modular approach. In the control systems domain this is forced with the IEC61131-3 standard for industrial automation systems [1]. The basic unit for PLC program modularization that is defined in this standard is the Function block (Figure1).

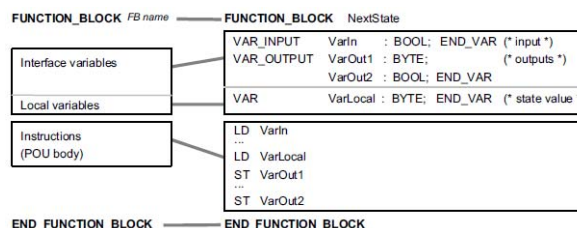


Figure 1. Function block definition [1]

Introduction of Function blocks brings many benefits to the PLC programmers such as: reduced programming errors, structured programs, protected variables, reusable modules etc., but this also imposes some drawbacks, such as additional time for data manipulation and additional memory needed for each instance of the Function block.

A powerful programming element that is nowadays available to PLC programmers is indirect addressing i.e. possibility of using pointers. Pointers are the most convenient way to program data processing loops [1], [4], but combining them with Function blocks may bring some inconvenience. Namely, it is (still) impossible to specify indirect addresses as input and output variables of a Function block [2, 3]. If a Function block is used as a program body of a loop, where the counting variables are pointers, the values at the pointed addresses have to be transferred to fixed locations serving as inputs to the Function block. The outputs also have to be transferred from output fixed locations to the appropriate pointed addresses. This again needs (unnecessary) time overhead and suggests that other methods for loop-bodies should be implemented.

Scarce resources for program memory definitely imply using program loops as the most memory-efficient coding for massive data processing, as is the case with input data error-handling. This rises the question of optimization of the loop body for maximum possible processing speed which requires additional analysis of the execution time for each candidate instruction to select the fastest instructions and search for the fastest (which also means simplest) data-processing and error-handling algorithms. This is also one of the targets of this project.

With distributed systems, where the communication channel has limited capacity, scattered data collection by SCADA system may require high data traffic and limit further expansions at the start. The system may even experience congestions in presence of increased noise and retransmissions. As a byproduct, data organization implemented in this project allows for block-transfers of data. This enables maximum utilization of the communication link by minimizing communication overhead.

II. THE IMPLEMENTED SCADA CONFIGURATION

The SCADA system is presented in Figure 2. It consists of an Ethernet network of three computers for graphical operator interface and data logging, four PLCs for signal conditioning and error checking connected through controller link and 16 electronic balances connected to one of the PLCs through modbus link.

The system acquires more than 300 analog signals, and nearly 200 digital signals through input units, and complete weight-data and signaling from 14 electronic balances through modbus communication link. There are also approx. 50 analog outputs and 80 digital outputs.

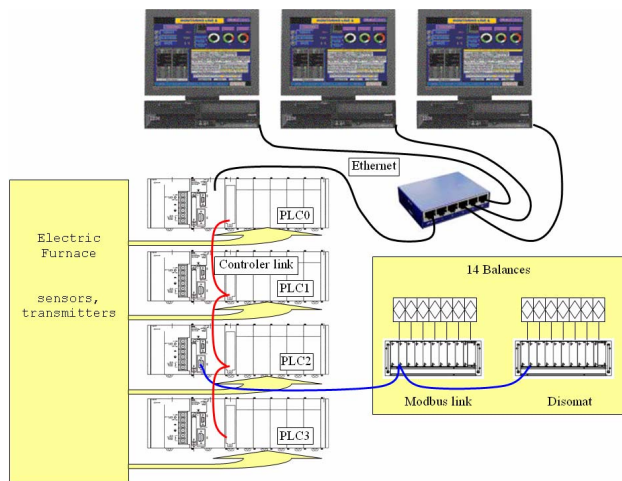


Figure 2. Electric furnace SCADA configuration

Besides the larger viewing area, the three computers provide the necessary redundancy for data logging and operator manual control but this triples the communication traffic on the controller link.

III. USUAL PLC PROGRAMMING HABBITS AND CONSEQUENCES

Practice brings some specific issues. Some of them are the established programming habits and lack of time for experimenting and innovations of the programmers in industry. Newer versions of programming software and compilers for PLCs usually lag in introducing more sophisticated programming constructs. But even when new constructs appear, they are rarely explored by the programmers who are using their usual methods and constructs. Sometimes this requires higher capacity and/or faster (i.e. more expensive) PLC which may be even acceptable knowing that the CPU is often less than a percent of the project price. But when the PLC capacities are well utilized, this may impose obstacles for improvement of the SCADA/control system and later induce increased costs.

PLC programming has evolved since the early days of tedious instruction-list programs. Even ladder-diagram with direct addresses was not very user friendly. Although its semi-graphic presentation of the program was easier to understand, the programmer had to keep track of all direct memory locations used in a program, their meaning and implementation. The program resembled simple straight line of code with only possible subroutines calls. Variable symbolic names that appeared later allowed for some relief in keeping track of the variable meaning (and sometimes type) providing somewhat easier coding. Indirect addressing possibility and loops stayed out of scope of the “veteran PLC programmers” for long times. Similarly Function Blocks appear as complication just for binding peaces of code. They also need keeping good documentation of the functionality they provide.

As projects and programs grow, previous “atavisms” materialize in long “spaghetti” code with multiple repetitions of equal blocks of instructions with different variables / memory addresses. Such programs are very prone to errors and hard to change. Another consequence of this “spaghetti” code is the scattered-data problem which appears with SCADA systems

IV. THE SOLUTION

A simple but ordered data structure in a form of a table is the basis for an effective solution. There are two tables – analog and digital data tables. The data are collected from different input units through first-level error checking where the error signals from the input units are also collected. The table contains limit and scaling parameters for each signal and. Data processing in the table includes the second level of error checking. The system also keeps alarm state for each signal that is needed for proper alarm queuing within the asynchronous network alarm handling system. The general structure of the program is presented in Figure 3.

Analog signal table contains ten positions for each signal (of which two are spare): input raw value, processed value, high range, low range, high limit, low limit, alarm hysteresis, and value multiplier. High and low ranges are used for scaling. Processed value (scaled) is compared with the limits and if the limits are exceeded alarm is generated. The hysteresis is used to avoid multiple alarm generation when the values have small

oscillations around a limit. Alarms are “auto canceled” when values return into the zone between limits (reduced by hysteresis). These alarming actions are presented in Figure 4.

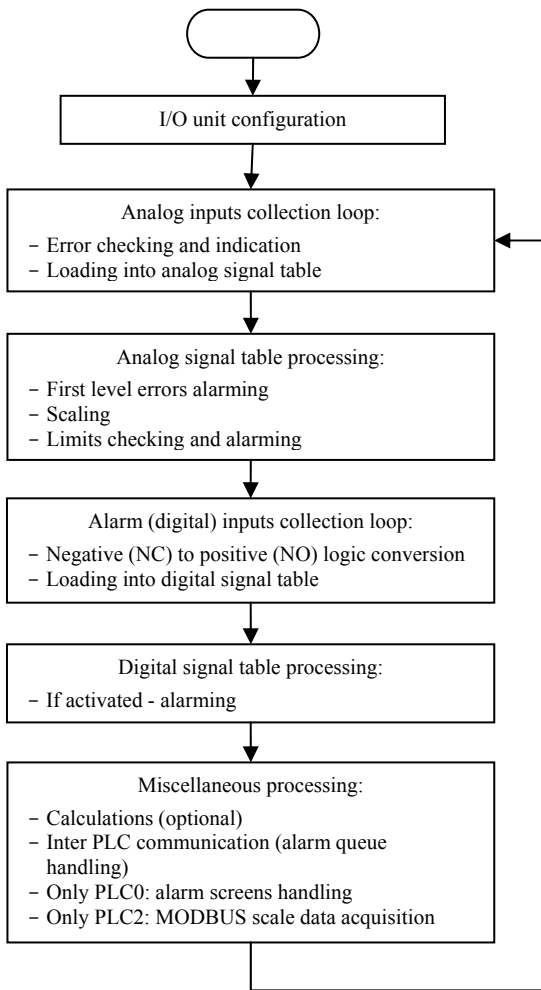


Figure 3. Standardized program flow

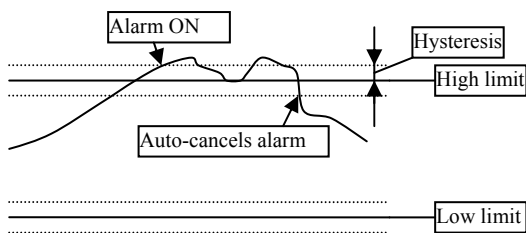


Figure 4. Alarming actions

Each analog signal needs ten bits for processing, of which one is the original input-unit error indicator. Two other are the high-limit and the low-limit alarms. Each of them needs three indicators: registered (in the queue), acknowledged, and “in processing”. This allows for precise asynchronous handling of distributed alarms among the networked PLCs.

All data transfers and processing are performed in loops with extensive usage of pointers. As an illustration Figure 5 presents the pointer movement during analog data transfer from the block of five analog input units (SU0 – SU4), each with eight analog inputs, into the data table (D4000+), while the error indicators are moved into the digital alarm table (W100+). This actually resembles the Function block philosophy – the body of the loop is a generic function but instead of variables pointers are used. As it was previously mentioned – inputs and outputs of a Function block can not be pointers. Since additional program steps are needed for each invocation of the Function block [2], this unnecessary reduces the execution speed of the loop.

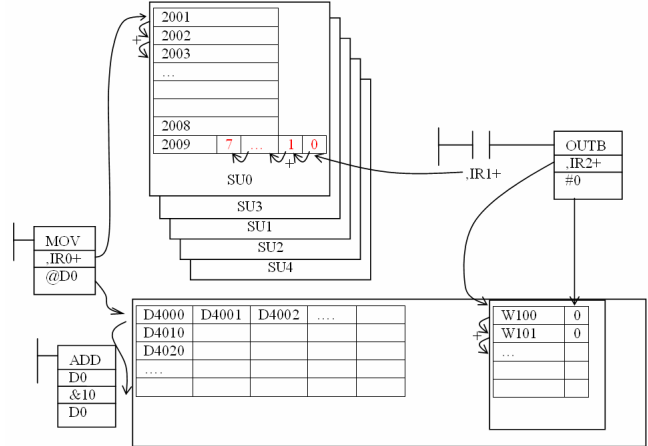


Figure 5. Data transfer by pointers

The previous issue is further emphasized by obvious selection of the instructions used for optimization of the loop body: movement and bit manipulation. Their execution times are specially optimized by the PLC producers, knowing that these instructions are most frequently used by PLC programmers [5].

V. PERFORMANCE INDICATORS

There are many benefits obtained by the proposed solution. Comparing the expected program size by using the common “spaghetti” stile of programming, a reduction of up to 50 times was obtained. The highest gain was obtained at PLC3 where the program size was reduced to only 2%. At other PLCs the reduction was 20-30 times.

Very little time is spent for loop calculations alone so the applied programming style is quite acceptable from the timing point of view. The maximum obtained scan time (including the modbus communication protocol program on PLC2) was below 7ms on CJ1G series PLCs from OMRON, with the smallest CPU implemented.

The bodies of the loops are easily recognizable and with small size. They have achieved the goals of Function block programming philosophy recognized by IEC61131-3 as good programming practice. This has been indirectly confirmed by the extension of the program that the maintenance staff in the factory did by themselves when they wanted to add a new input unit. They simply copied the initialization blocks for the

pointers and the corresponding loops. In the initialization blocks they changed the pointers to the newly added signals and to the appropriate locations in the processing tables.

Since this kind of error processing of the input signals consumes very little program memory and acceptably low execution time, it is suitable as a standardized front-end that provides error-free signals or extensive error diagnostics in any PLC application increasing their confidentiality and maintainability.

VI. CONCLUSIONS

Changing the mindset to research new approaches in PLC signal processing for SCADA but also for any control application can be highly beneficial.

Systematic data organization and applying loops and pointers for their processing can provide dramatic program size reduction. Additional time for loop processing can be easily compensated by optimizing the loop body for faster execution. Unified processing algorithm also reduces the possibility for programming errors and increases maintainability of the program. Keeping data in consecutive addresses allows for

block transfers within the SCADA system and maximum utilization of the communication channel.

Finally, this is a good example for cooperation between academia and industry where academia, having more relaxed time pressure, performs experimentation for innovation, and industry benefits accepting and implementing it in their projects.

REFERENCES

- [1] K.-H. John, M. Tiegelkamp, "IEC 61131-3: Programming Industrial Automation Systems (Concepts and Programming Languages, Requirements for Programming Systems, Decision-Making Aids)", 2nd Edition, Springer-Verlag, 2001, 2010, ISBN 978-3-642-12015-2
- [2] SYSMAC CX-Programmer, Ver. 5.0, WS02-CXPC1-E-V50
- [3] SYSMAC CX-Programmer, Ver. 9.0, WS02-CXPC1-V9
- [4] Brian W. Kernighan, Dennis M. Ritchie, The C Programming Language, 2nd Edition, Englewood Cliffs, NJ: Prentice Hall, ISBN 0-13-110362-8.
- [5] Xu Mei-hua Ran Feng Chen Zhang-jin Kang Shu-feng Li Run-guang Sch. of Mech. Eng. & Autom., Shanghai Univ., IP Core Design of PLC Microprocessor with Boolean Module, Conference on High Density Microsystem Design and Packaging and Component Failure Analysis, 27-29 June 2005, pp 1-5, Shangai 2005

Употреба вјештачких неуронских мрежа за надзор функционисања ВВmSAM система

Михајло Савић, Милорад Божић

Електротехнички факултет
Универзитет у Бањој Луци
Бања Лука, Босна и Херцеговина
badaboom@etfbl.net

Садржај— У раду ће бити представљен систем, реализован помоћу вјештачких неуронских мрежа, за надзор исправности и класификовање узрока неисправности у правилном функционисању система ВВmSAM, који се користи за надзор расположивости и правилног функционисања рачунарске грид инфраструктуре у оквиру gLite заснованих рачунарска грид инфраструктура. Основни циљеви које треба постићи су поред осталих: аутоматско откривање некоректног функционисања система и олакшавање проналажења неисправних компоненти људском оператеру када дати систем не функционише правилно. За илустрацију перформанси реализованог система у раду су дати резултати тестирања за грид инфраструктуру у оквиру SEE-GRID-SCI пројекта.

Кључне ријечи - Грид, gLite, вјештачке неуронске мреже, надзор

I. УВОД

Вјештачка интелигенција је област рачунарства која тежи да рачунарима омогући опонашање људских особина. Један од основних могућих начина реализације овог задатка је употреба вјештачких неуронских мрежа. Основна идеја неуронских мрежа је симулирање рада људског мозга у току рјешавања неког проблема или при извршавању неке задате функције. Неуронске мреже представљају масовно паралелизован дистрибуирани систем за обраду података са могућношћу меморисања искуственог знања и могућношћу употребе наученог [1]. Кроз процесе обучавања и генерализације, неуронске мреже омогућавају генерисање излаза за до тада непознате улазе на основу раније формираних веза у оквиру мреже. Грид рачунарство је концепт употребе дистрибуираних рачунарска ресурса на једноставан и транспарентан начин који крајњем кориснику омогућава да посвети пажњу рјешавању конкретног проблема и приступа свим ресурсима без обавезе да разумије комплексне системе на којима се заснива грид рачунарство [2]. Иако се систем са становишта корисника чини једноставним, усљед комплексне структуре и сложене међузависности компонената од критичне важности је постојање додатне инфраструктуре за надзор правилног функционисања грид инфраструктуре. Јасно је да се поставља питање надзора саме инфраструктуре за надзор. Тренутно присутна

рјешења се заснивају на употреби људског фактора уз минималну аутоматизацију процеса [9].

II. РАЧУНАРСКА ГРИД ИНФРАСТРУКТУРА И ВВmSAM СИСТЕМ ЗА НАДЗОР

Појам "грид рачунарство" је присутан у употреби још од деведесетих година двадесетог вијека [3] и означава форму дистрибуираног рачунарства која координише децентрализоване ресурсе употребом стандардних, отворених протокола и интерфејса опште намјене у циљу остваривања нетривијалног квалитета услуга [4]. Грид рачунарство карактерише тежња ка остваривању пет великих идеја грида [5]: дијелење расположивих ресурса, безбједан приступ и стварање повјерења међу учесницима, ефикасна и уравнотежена употреба ресурса, "смрт" удаљености кроз елиминисање географске компоненте и употреба отворених стандарда.

Из горе наведеног је очигледно да је практична реализација грид рачунарства комплексан задатак који мора ријешити и много шире проблеме од самих техничких ограничења. Архитектура грид инфраструктуре се може подијелити у слојеве од којих сваки има специфичну намјену [6]: мрежни слој, слој ресурса, мидлвер слој и апликациони слој.

A. Грид сервиси

У оквиру грид инфраструктуре можемо разликовати двије врсте сервиса: централне и локалне. Централни сервиси су сервиси који функционишу на нивоу грид инфраструктуре и нису директно везани за појединачне кластере. Како је ријеч о сервисима без којих није могуће користити грид инфраструктуру у пуном капацитету, типично се сваки централни сервис реализује помоћу вишеструких инстанци унутар инфраструктуре. Локални сервиси представљају грид сервисе који су инсталирани на нивоу појединачног грид кластера а који се користе у оквиру централне инфраструктуре [7]. Под локалне сервисе не убрајамо сервисе који немају улогу у оквиру грид инфраструктуре (нпр. сервери база података, фајл сервери, итд).

За овај рад су интересантни сљедећи сервиси: BDII (Information service), WMS (Workload Management Service), CE (Computing Element) и SE (Storage Element). Central BDII (Top-BDII) је централна инстанца информационог сервиса. Информације се периодично прикупљају са локалних информационих сервиса и комбинују у заједничку базу података. Подаци су доступни путем LDAP протокола. WMS сервис је централни сервис који прима корисничке послове, проналази грид ресурсе који задовољавају дате критеријуме, упућује посао на извршавање на одговарајући CE елемент, прати њихов статус, по потреби прекида извршавање посла, преузима њихов излаз и доставља га кориснику који је посао упутио на извршавање. CE представља локални сервис који омогућава представљање већег броја чворова у кластеру намијењених за извођење програма (Worker Node – WN) на униформан начин према остатку грид инфраструктуре. Садржи и систем за расподјелу послова по чворовима (нпр. PBS, Maui/Torque, Condor). SE сервис је локални сервис чија је улога да омогући униформан приступ систему за похрану података приступом или комплетним фајловима или симулацијом приступа сличног приступа локалном фајл систему. У новијим верзијама ови сервиси подржавају напредно управљање ресурсима кроз Storage Resource Manager (SRM) који омогућава миграцију података између SE чворова, резервацију ресурса, једноставнију репликацију и већу отпорност на губитак података, итд. Сама организација SE чвора може бити комплексна јер главни SE чвор има улогу сличну CE чвору и може представљати већи број зависних чворова за похрану података.

B. Системи за надзор грид инфраструктуре

Иако је једна од идеја грид рачунарства да се комплексна структура крајњем кориснику представи на једноставан начин, сам процес надзора правилног функционисања инфраструктуре је далеко од једноставног [8]. Нажалост, како је ријеч о релативно новој области која је у стању убрзаног развоја, не постоје потребни стандарди и препоруке које би на јасан начин дефинисале ни сам проблем ни приједлоге адекватних рјешења. Као посљедица овакве ситуације, постоји велики број алата, платформи и система за надзор грида, од којих су два најважнија: Gstat (Grid Stat) и SAM (Service Availability Monitoring) [9]. Gstat омогућава анализу података које публикују информациони сервис сваког кластера, обухвата провјеру исправности и поузданости података, те графички и историјски приказ података.

У оквиру паневропског EGEE (Enabling Grids for e-Science in Europe) пројекта развијена је платформа за надзор расположивости рачунарске грид инфраструктуре под називом SAM [10],[11]. Тестирање расположивих грид сервиса или ресурса се иницијализује од стране клијентске компоненте и пролази кроз три фазе: припремна фаза, фаза извођења теста и фаза публикавања резултата.

У оквиру припремне фазе, SAM клијент врши упите на централни сервер и прибавља податке неопходне за извршавање тестова. Ти подаци обухватају: доступне централне чворове погодне за употребу у тестовима, листу

чворова за тестирање и статусе задњег завршеног теста на сваком од дефинисаних чворова по потреби. На основу информација прикупљених у првој фази, клијентска апликација приступа тестирању инфраструктуре, те по завршетку тестирања и публикавању резултата.

Само тестирање се извршава помоћу сензора који се састоје од више појединачних тестова повезаних у одговарајућу логичку цјелину. Према мјесту извршавања тестове можемо подијелити у двије врсте. Прву врсту чине тестови који се извршавају непосредно са клијентског чвора и који не шаљу аутоматски резултате извршених појединачних сензора на централни сервер већ то чини сензор по завршетку свих тестова. Друга врста сензора за тестирање користе грид послове (grid jobs) који се извршавају на удаљеним грид кластерима. У оквиру ових грид послова се обављају конкретне провјере исправног функционисања тестираних сервиса и публикују резултати појединачних тестова на сервер, док на клијентском чвору типично постоји само један тест који провјерава статус упућеног посла и по завршетку извршавања посла прикупља информације о извршавању и публикује завршни резултат у централну базу. Могући статуси тестова су приказани у Табели 1.

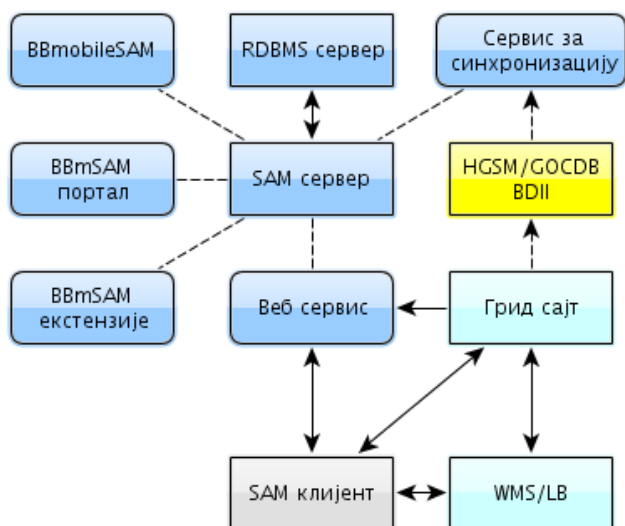
ТАБЕЛА 1. СТАТУСИ ТЕСТОВА

Назив	Пуни назив	Опис
N/A	Not applicable	Нема статуса
OK	OK	Нормалан статус
INFO	Information	Корисне информације
NOTE	Notice	Важне информације
WARN	Warning	Могућ скори отказ
ERROR	Error	Отказ - локализован
CRIT	Critical error	Отказ - критичан
MAINT	In maintenance	У одржавању

Иако је у оквиру EGEE пројекта развијена функционална платформа за надзор расположивости рачунарске грид инфраструктуре, постојеће рјешење није посједовало све неопходне особине за експлоатацију изван EGEE пројекта. Из тог разлога се у оквиру SEE-GRID-SCI (South East Europe Grid eInfrastructure for regional eScience) пројекта приступило пројектовању новог система за надзор инфраструктуре уз очување што већег степена компатибилности са EGEE системом [12].

У циљу очувања што је већег могућег степена компатибилности између EGEE SAM и BBmSAM система, и BBmSAM систем се састоји од клијентске и серверске компоненте које комуницирају употребом веб сервис технологије на начин како је дефинисано изворном SAM платформом. Разлике у имплементацији система се налазе на серверској страни која је, иако задржава све постојеће функционалности, реализована на битно другачији начин. Архитектура BBmSAM система је дата на наредној слици (Слика 1.).

Као што је из претходно наведеног видљиво, и рачунарска грид инфраструктура и системи за надзор грид инфраструктуре представљају комплексне системе, који су као такви склони отказима и некоректном функционисању. Иако су системи за надзор у позицији да детектују отказе инфраструктуре, посебна врста проблема је провјера правилног функционисања самог система за надзор. BBmSAM систем омогућава приступ подацима на више начина укључујући приступ преко стандардног SNMP протокола. Осим статуса сваке од сервисних инстанци, омогућен је и приступ сумарним подацима који садрже тренутни број сервисних инстанци по сваком од могућих статуса тестирања.



Слика 1. Архитектура BBmSAM система

Како је сама архитектура комплексна и слојевита, постоји више потенцијалних разлога отказа:

- Физичка недоступност инфраструктуре услед прекида напајања, проблема на мрежном слоју и сродних проблема који утичу на све тестове.
- Неисправно функционисање централног информационог сервиса (BDII) које је обично такве природе да су доступни само парцијални подаци о топологији и сервисима инфраструктуре, а утиче на све тестове.
- Неисправно функционисање централног сервиса за управљање грид пословима (WMS) које утиче само на тестове који користе услуге WMS-a.
- Неисправно функционисање самог система за тестирање (SAM framework), најчешће услед људске грешке, може утицати на било који тест.

Постоји могућност неисправног функционисања и неког другог централног сервиса које би се огледало у некоректним резултатима тестирања, али ти сервиси се директно надгледају из самог система за надзор и за детекцију те врсте проблема су развијена друга рјешења.

III. ПРОЈЕКТОВАЊЕ ВЈЕШТАЧКЕ НЕУРОНСКЕ МРЕЖЕ

За праћење функционисања система за надзор рачунарске грид инфраструктуре одабрали смо праћење два основна сервиса сваког кластера који учествује у инфраструктури: Computing Element који представља процесорске ресурсе кластера и Storage Element који представља ресурсе за похрану података. Сваки од надгледаних сервиса се може налазити у једном од осам статуса дефинисаних SAM платформом. Овакав избор даје 16 могућих улаза, гдје сваки од улаза садржи број сервисних инстанци у датом статусу. Посебну пажњу је требало обратити на расподјелу по статусима јер у појединим статусима постоји изузетно мало сервиса док одређени статуси уопште нису адекватни за описивање тестова намијењених за SE сервис. Улазе је такође требало одабрати на такав начин да постоји макар минимални број сервиса у неком од статуса или у правилном функционисању система за надзор или у тренуцима када систем функционише некоректно.

Сви проблеми са системом су детектовани од стране оператера који су у датом тренутку били на дужности, а репрезентативни узорци резултата тестирања су одабрани и подијељени у два скупа: скуп за обучавање и скуп за провјеру. При одабиру узорака је постојала додатна отежавајућа околност да је број инцидената релативно мали у току протекле двије године употребе система и да су били елиминисани поновљени идентични узорци. Очекивани излаз је одређен на основу накнадне анализе дешавања у систему као и ван система (проблеми са напајањем, мрежни проблеми провајдера, итд).

Оваквом елиминацијом улаза дошло се до сљедеће организације улаза:

- SE сервис – статуси OK, NOTE, WARNING, ERROR и CRITICAL.
- SE сервис – статуси OK и ERROR.

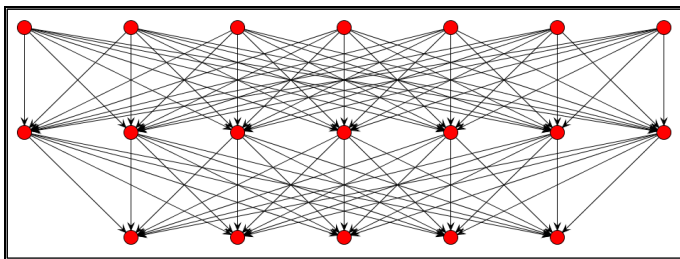
Сваки од улаза је број између 0 и 1 и представља удио броја сервисних инстанци у датом статусу у односу на укупан број сервисних инстанци. За излазе су одабрани:

- OK – систем функционише исправно
- WMS – грешка у централном WMS сервису
- BDII – грешка у централном BDII сервису
- NET – проблем на мрежном слоју
- SAM – проблем у клијентској SAM компоненти

Сваки од излаза има вриједност 1 или 0 у зависности од тога која је врста проблема детектована и у сваком тренутку је активан (има вриједност 1) само један од излаза. Код одређивања врсте проблема која је изазвала некоректно функционисање система потребно је велико искуство за одређивање тачног узрока грешке, јер се одређени фундаментално различити проблеми манифестују на врло сличан начин. Напримјер, уколико је дошло до проблема у клијентској компоненти система за тестирање који се манифестује само код дијела кластера (нпр. некомпатибилне верзије библиотека, итд) или

дјелимично неправилног функционисања централног WMS сервиса који такође утиче само на дио тестова или кластера (напримјер, систем је преоптерећен и одбија пријем нових послова у неком тренутку након што је примио послове за претходно тестиране кластере), нумерички резултат је врло сличан.

Пројектовање мреже је извршено помоћу програма "easy Neurons", који је дио пакета Neuroph Java Neural Network Framework [13] и који омогућава једноставно графички базирано пројектовање, обучавање и тестирање неуронских мрежа. Након више експеримената и испробавања различитих топологија мреже, одабрана је вишеслојна перцептронска мрежа са 7 неурона на улазу, 5 неурона на излазу и 7 неурона у скривеном слоју уз употребу сигмоидалних активационих функција и без употребе фиксних улаза. Приказ одабране неуронске мреже је дат на Слици 2.



Слика 2. Приказ одабране вјештачке неуронске мреже

За обучавање мреже је одабран метод пропације грешке уназад (backpropagation). Скуп за обучавање се састојао од 81 уноса са сљедећом расподјелом излаза:

- ОК – 35 или 43,21%
- WMS проблем – 14 уноса или 17,28%
- BDII проблем – 5 уноса или 6,17%
- NET проблем – 12 уноса или 14,81%
- SAM проблем – 15 уноса или 18,52%

IV. РЕАЛИЗАЦИЈА У ПРОГРАМСКОМ ЈЕЗИКУ JAVA

Практична реализација модела је извршена у програмском језику Java употребом раније поменутог пакета Neuroph [13]. Програм је реализован на такав начин да омогућава једноставно креирање трослојних перцептронских мрежа са произвољним бројем неурона у сваком од слојева, те њихово обучавање и тестирање. Параметри које програм прима на улазу су: име фајла са подацима за обучавање, име фајла са подацима за провјеру, број неурона у улазном слоју, број неурона у скривеном слоју, број неурона у излазном слоју, коефицијент обучавања (фактор брзине обучавања) и праг грешке за обучавање. Програм на излазу, осим информативних података, даје матрицу која се састоји од: улаза из матрице за тестирање, очекиваних излаза, израчунатих излаза, разлике између очекиваних и израчунатих излаза.

У овом раду је имплементирана и могућност да се релативно једноставно изведе тестирање зависности броја итерација од коефицијента обучавања за дату мрежу и улазне податке. Уколико се као коефицијент обучавања наведе 0, систем ће варирати овај параметар од 0,1 до 5,0 са кораком од 0,1 те провести обучавање мреже и дати излазне резултате у облику погодном за даљну обраду. Резултат таквог рада програма је приказан на Слици 3 (закључно са коефицијентом 3,2). Као што се са Сlike 3 види, систем показује задовољавајуће резултате до вриједности коефицијента обучавања од 2,8 тако да се, узимајући у обзир и одређени фактор сигурности, у овом конкретном случају препоручује избор коефицијента из опсега од 0,4 до 2,0.



Слика 3. Приказ зависности потребног броја итерација у зависности од коефицијента обучавања

Улазни подаци за обучавање и провјеру су смјештени у текстуалним фајловима са сљедећим форматом: сваки унос се налази у новој линији, свака линија почиње низом бројева који представљају улазе мреже, а затим се наставља низом бројева који представљају излазе мреже и бројеви унутар уноса су одвојени таб знаком (\t). Подаци за обучавање и провјеру су одабрани по случајном избору из скупа одговарајућих података везаних за документоване проблеме у функционисању система за надзор.

ТАБЕЛА 2. РЕЗУЛТАТИ ТЕСТИРАЊА СИСТЕМА

Статус	Тачна детекција	Лажно позитивно	Лажно негативно
OK	100 %	0 %	0 %
WMS	57 %	0 %	43 %
BDII	0 %	0 %	100 %
NET	100 %	0 %	0 %
SAM	50 %	50 %	0 %

Табела 2 садржи поређење очекиваних и израчунатих излаза вјештачке неуронске мреже. Као што се из табеле види, систем има сљедеће карактеристике:

- Детекција исправног функционисања је реализована потпуно коректно и детектовани су сви откази у инфраструктури без лажних аларма.
- Систем тежи да проблеме настале услед некоректног функционисања централног информационог сервиса класификује као мрежне проблеме (видљиво из детаљних резултата тестирања – сви откази BDII сервиса су детектовани као отказ на мрежном нивоу).

- Систем у мањој мјери тежи да проблеме са централним WMS системом класификује као проблем изазван некоректним функционисањем окружења за надзор инфраструктуре (43% отказа сервиса су лажно детектовани као отказ SAM платформе).

V. ЗАКЉУЧАК

У раду је показано да је могућа и оправдана употреба вјештачких неуронских мрежа у процесу праћења коректног функционисања система за надзор рачунарске грид инфраструктуре.

За мрежу је изабрана трослојна перцептронска мрежа обучена алгоритмом пропагације грешке уназад (backpropagation). За улазе су одабрани сумарни статуси задњег тестирања два критична грид сервиса док се на излазу генерише информација о томе да ли систем функционише коректно или не, и ако не, у којој компоненти система је вјероватно дошло до грешке.

Најважнија тражена особина система, да детектује некоректно функционисање инфраструктуре за надзор, је реализована и функционише правилно, без грешака на скупу за провјеру, док се излаз неуронске мреже о вјероватном мјесту отказа може узети за добру полазну основу при утврђивању стварног мјеста отказа у оквиру инфраструктуре.

Како је сам процес лоцирања проблематичне компоненте система често изузетно комплексан и укључује интеракцију и са сервисима и са особљем и ван грид инфраструктуре, циљ овог рада није био постављен тако да се имплементацијом неуронске мреже елиминише потреба за људским оператерима, него да се оператерима помогне и олакша посао увођењем одређеног степена аутоматизације у стандардне оперативне процедуре.

VI. ЛИТЕРАТУРА

- [1] S. Haykin, Neural Networks: A Comprehensive Foundation (2nd Edition), Prentice Hall, 1998

- [2] I. Foster, C. Kesselman, S. Tuecke, The Anatomy of the Grid: Enabling Scalable Virtual Organizations, International Journal of Supercomputer Applications, 2001
- [3] I. Foster, C. Kesselman, The Grid: Blueprint for a New Computing Infrastructure, Morgan Kaufmann, 1999
- [4] I. Foster, What is the Grid? A Three Point Checklist, GRIDtoday, 2002
- [5] Grid Cafe - Five Big Ideas, www.gridcafe.org/five-big-ideas.html
- [6] Grid Cafe - Grid Architecture, www.gridcafe.org/grid-architecture.html
- [7] gLite Middleware, glite.web.cern.ch/glite
- [8] S. Zaniolas, R. Sakellariou, A Taxonomy of Grid Monitoring Systems, Future Generation Computer Systems, 2005
- [9] A. N. Duarte, P. Nyczzyk, A. Retico, D. Vicinanza, Global grid monitoring: the EGEE/WLCG case, GMW '07: Proceedings of the 2007 workshop on Grid monitoring, 2007
- [10] J. Closier, S. Paterson, R. Santinelli, Ensuring GRID resource availability with the SAM framework in LHCb, Journal of Physics: Conference Series 119 – 062025, 2008
- [11] A. Retico, Monitoring the EGEE/WLCG Grid Services, International Conference on Computing in High Energy and Nuclear Physics (CHEP'07), 2007
- [12] M. Savić, I. Liabotis, B. Jakimovski, SLA Detailed Specification and Related Monitoring Tools, SEE-GRID-SCI project, 2008
- [13] Neuroph Framework, neuroph.sourceforge.net

Abstract – This paper presents a system for monitoring of the proper functioning and determining the cause of malfunction of BBmSAM system used for grid services availability monitoring within gLite based computing grid infrastructures. Main features that have to be implemented are, among others: automatic detection of incorrect functioning and aiding human operators in determining the component responsible for system malfunction. As an illustration, the paper present results of testing in SEE-GRID-SCI project computing grid infrastructure.

Keywords: Grid, gLite, Artificial Neural Networks, Monitoring

Use of Artificial Neural Networks for Monitoring of the BBmSAM System

Ispitivanje ponovljivosti manipulatora korištenjem stereo vida

Dino Kosić, Velibor Đalić, Petar Marić
Elektrotehnički fakultet
Univerzitet u Banjoj Luci
Banja Luka, Bosna i Hercegovina

Sadržaj— Ponovljivost ili tačnost ponavljanja položaja vrha manipulatora je statistička veličina vezana za tačnost manipulatora koja predstavlja odstupanje od srednje vrijednosti ostvarenih pozicija. Težište ovog rada je na primjeni stereo vida za ispitivanje ponovljivosti manipulatora. Rezultati provedenih eksperimenata pokazuju da se stereo vid veoma efikasno može iskoristiti za ispitivanje ponovljivosti manipulatora.

Ključne riječi—ponovljivost manipulatora, stereo vid

I. UVOD

Primjena manipulatora (robota) u različitim industrijskim granama predstavlja značajan vid unapređenja tehničkih rješenja u domenu automatizacije tehnološkog procesa. Značajan doprinos robota je veoma izražen na poslovima sa visokom učestalošću ponavljanja istih radnih operacija, kao što su mehaničko i električno sklapanje i oblikovanje, rukovanje materijalima, pakovanje, nanošenje tečnih komponenti i farbanje, zavarivanje, testiranje i inspekcija proizvoda, kao i u drugim poslovima u kojima dolazi do izražaja ponovljivost i preciznost robota pri čemu se održava konstantan kvalitet i tempo rada. Tačnost manipulatora zavisi od tačnosti modela geometrije i negeometrijskih faktora (zazor zupčanika, rezolucije enkodera, elastičnosti segmenata, termičke promjene itd.). Tačnost modela geometrije se može poboljšati kalibracijom manipulatora, koja se sastoji u tačnijoj procjeni geometrijskih parametara [1]. Široko je prihvaćeno da se efekat negeometrijskih faktora uzima u obzir kao greška sa slučajnom raspodjelom. U tom smislu ponovljivost ili tačnost ponavljanja je statistička veličina vezana za tačnost robota koja predstavlja odstupanje (devijaciju) od srednje vrijednosti ostvarenih pozicija [2].

Danas se, u cilju stvaranja “inteligentnih” i “samostalnih” sistema, tj. robota koji bi u manjoj mjeri zavisili od ljudske prisutnosti, te bili prilagodljiviji novonastalim situacijama, koristi stereo vid koji se temelji na imitaciji ljudskog vida. Težište ovog rada je na primjeni stereo vida za ispitivanje ponovljivosti manipulatora.

Poglavlje II ovog rada je posvećeno opisu i kalibraciji sistema dviju kamera. U poglavlju III je dat opis korištenja takvog sistema za ispitivanje ponovljivosti manipulatora, te rezultati provedenih eksperimenata.

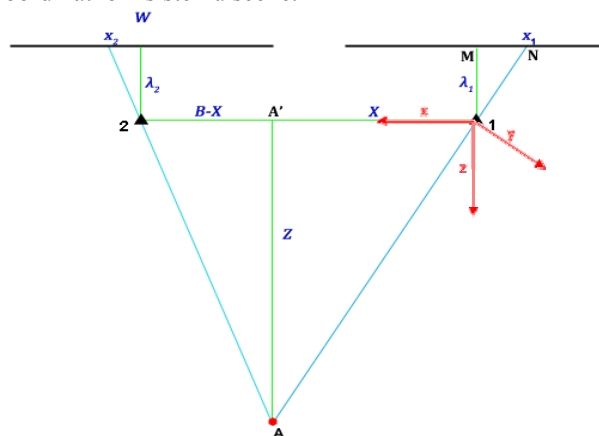
II. SISTEM KAMERA

Stereo kamera [3] ili sistem dviju kamera čine dvije kamere, a u ovom radu će težište biti na sistemu kamera koje su postavljene paralelno po svim osama, na fiksnoj udaljenosti. Postizanje paralelnosti i fiksiranje samih kamera je problem mehaničke prirode koji može značajno da utiče na rezultate mjerenja pomoću tog sistema.

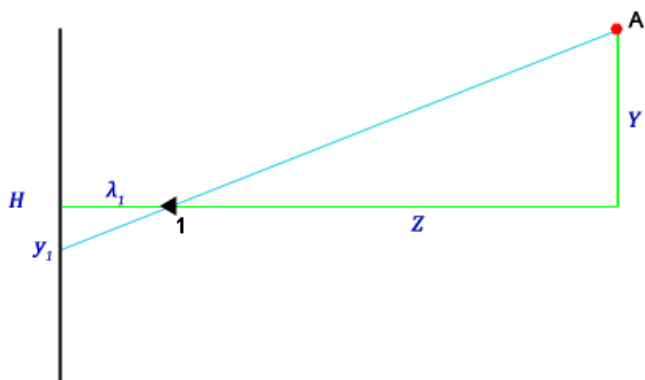
Kalibracija sistema kamera je zapravo određivanje parametara tog sistema, tj. razmaka između kamera i λ -parametara kamera (koji odgovaraju žižnoj daljini sočiva kamere). U slučaju da kamere nisu postavljene paralelno, problem se znatno usložnjava, odnosno dodaju se parametri rotacije i translacije jedne kamere u odnosu na drugu po svim osama.

A. Opšti model sistema dviju kamera

Model sistema dviju kamera je prikazan šematski na slikama 1 i 2. Ose koordinatnog sistema scene su označene sa x , y i z . Koordinatni početak se poklapa sa optičkim centrom kamere 1. Česta je i varijanta vezivanja koordinatnog sistema za sredinu duži koja spaja dvije kamere. Sa B je označeno rastojanje između optičkih osa dviju kamera, a sa W i H broj piksela u horizontalnim, odnosno vertikalnim redovima slike respektivno. Sa λ_1 i λ_2 su označeni parametri kamere 1 i 2 respektivno koji odgovaraju žižnoj daljini. Sa x_1 i x_2 su označene apscise tačaka na slikama kamere 1 i 2 respektivno u pikselima. Konačno, sa X , Y i Z su označene koordinate tačke A u koordinatnom sistemu scene.



Slika 1. Šematski prikaz paralelnog sistema “odozgo”



Slika 2. Šematski prikaz paralelnog sistema "sa strane"

Na osnovu sličnosti trouglova $\Delta AA'1$ i $\Delta 1MN$ (slika 1), dobija se:

$$\overline{A'1} : \overline{AA'} = \overline{MN} : \overline{1M},$$

odnosno:

$$X : Z = \left(x_1 - \frac{W}{2}\right) : \lambda_1 \quad (1)$$

$$(B - X) : Z = \left(\frac{W}{2} - x_2\right) : \lambda_2 \quad (2)$$

Sabiranjem jednačina (1) i (2) eliminiše se promjenljiva X i dobija se:

$$B = Z \left(\frac{2x_1 - W}{2\lambda_1} + \frac{W - 2x_2}{2\lambda_2} \right), \text{ tj.} \\ Z = \frac{2B\lambda_1\lambda_2}{2(x_1\lambda_2 - x_2\lambda_1) + W(\lambda_1 - \lambda_2)}. \quad (3)$$

Uvrštavanjem (3) u (1) dobija se:

$$X = \frac{B\lambda_2(2x_1 - W)}{2(x_1\lambda_2 - x_2\lambda_1) + W(\lambda_1 - \lambda_2)}. \quad (4)$$

Kao i u prethodnom razmatranju, sa slike 2 se na osnovu sličnosti trouglova dobija:

$$Y : Z = \left(y_1 - \frac{H}{2}\right) : \lambda_1 \\ Y = \frac{Z}{\lambda_1} \left(y_1 - \frac{H}{2}\right) \quad (5)$$

Jednačine (3), (4) i (5) omogućavaju određivanje položaja tačke u prostoru na osnovu njenog položaja na slikama snimljenim sistemom kamera.

B. Kalibracija sistema dviju kamera

Kalibracija sistema kamera služi za dobijanje parametara sistema. Za model dat u prethodnom razmatranju ti parametri su B , λ_1 i λ_2 .

Ukoliko bi bilo moguće vrlo precizno izmjeriti udaljenost tačke od kamere 1 po x i z osama, bila bi dovoljna jedna tačka (dvije slike) za kalibraciju. Kako je ovo vrlo rijetko moguće, potrebno je osmisliti pouzdan metod za određivanje parametara kamera iz jednačina (3) i (4).

Jedan od njih predstavljen je u ovom radu. Korišten je šablon sa dvije tačke čija je udaljenost precizno izmjerena (zapravo je šablon računarski generisan sa zadatom udaljenosti dviju tačaka). Dvije tačke su predstavljene simbolom "+“ radi

lakše detekcije na slikama sa kamera. Neka su tačke na šablonu označene sa A i A' , a udaljenost između njih ΔX . Tada, ukoliko se sistem postavi paralelno sa šablonom, važi:

$$Z(A) = Z(A') \quad (6)$$

$$X(A) - X(A') = \Delta X \quad (7)$$

Ukoliko se jednakost (3) uvrsti u relaciju (6), dobiju se sljedeće relacije:

$$\frac{2B\lambda_1\lambda_2}{2(x_1\lambda_2 - x_2\lambda_1) + W(\lambda_1 - \lambda_2)} = \frac{2B\lambda_1\lambda_2}{2(x'_1\lambda_2 - x'_2\lambda_1) + W(\lambda_1 - \lambda_2)}, \\ x_1\lambda_2 - x_2\lambda_1 = x'_1\lambda_2 - x'_2\lambda_1, \\ \lambda_2 = \frac{x_2 - x'_2}{x_1 - x'_1} \lambda_1. \quad (8)$$

Uvrštavanjem relacija (4) i (8) u (7), dobija se:

$$\frac{B\lambda_2(2x_1 - W) - B\lambda_2(2x'_1 - W)}{2(x_1\lambda_2 - x_2\lambda_1) + W(\lambda_1 - \lambda_2)} = \Delta X, \\ B = \frac{x'_1x_2 - x_1x'_2 + W(x_1 - x'_1 - x_2 + x'_2)}{2(x_1 - x'_1)(x_2 - x'_2)} \Delta X. \quad (9)$$

Pri određivanju λ -parametara može se koristiti isti šablon, a da se pritom sistem pomjeri po z -osi za precizno izmjereno ΔZ . Ovo efektivno preslikava tačku A u tačku A'' za koju važi:

$$Z(A) - Z(A'') = \Delta Z. \quad (10)$$

Uvrštavanjem (3) i (8) u (10), dobija se:

$$\lambda_1 = \frac{[2(kx_1 - x_2) + W(1 - k)][2(kx''_1 - x''_1) + W(1 - k)]}{4Bk[k(x''_1 - x_1) - x''_2 + x_2]} \Delta Z. \quad (11)$$

gdje je $k = \frac{x_2 - x'_2}{x_1 - x'_1}$.

Iz (8) se direktno dobija λ_2 .

III. ISPITIVANJE PONOVLJIVOSTI MANIPULATORA

Sistem dviju kamera modelovan u poglavlju II se može iskoristiti za utvrđivanje položaja vrha manipulatora, kako u koordinatnom sistemu scene, tako i u koordinatnom sistemu samog manipulatora.

Sam postupak ispitivanja ponovljivosti manipulatora se tako svodi na višestruko zadavanje istih unutrašnjih koordinata i utvrđivanje položaja vrha pomoću sistema kamera. Nakon što se utvrde svi položaji vrha manipulatora za iste unutrašnje koordinate, oko njih se konstruiše sfera. Ta sfera je oblast ponovljivosti manipulatora i predstavlja dio prostora u kojem se nađe vrh manipulatora pri višestrukome zadavanju istih unutrašnjih koordinata. Prečnik te sfere je nazvan širina oblasti ponovljivosti za sve pozicije i približno je jednak dvostrukoj vrijednost maksimalne greške ponovljivosti manipulatora.

A. Eksperimentalni rezultati

Za potrebe rada realizovan je jednostavan sistem dviju kamera. Korištene su web kamere Logitech C120 [4] koje snimaju sa rezolucijom 1280×1024 .

Postupkom kalibracije sistema dviju kamera opisanim u prethodnom poglavlju, dobijene su sljedeće vrijednosti parametara sistema:

$$B = 12.7441 \text{ cm}, \lambda_1 = 1350.5 \text{ i } \lambda_2 = 1363.1.$$

Sistem je testiran na Robix [5] manipulatoru sa tri stepena slobode čija deklarirana greška ponovljivosti iznosi 5mm.

Eksperimentima je testirana ponovljivost (greška ponovljivosti) manipulatora za 20 pseudoslučajno izabranih unutrašnjih koordinata iz cijelog radnog prostora. Svaka trojka unutrašnjih koordinata je zadavana 5 puta. Tačka koja odgovara vrhu manipulatora na slici sa kamere je određena ručno.

Tabela I prikazuje zavisnost širine oblasti ponovljivosti od vrijednosti pseudoslučajno izabranih unutrašnjih koordinata, te njihovu prosječnu i maksimalnu vrijednost.

Dobijeni rezultati su u skladu sa deklarisanom greškom ponovljivosti Robix manipulatora.

TABELA I. ŠIRINA OBLASTI PONOVLJIVOSTI

Unutrašnje koordinate			Širina oblasti ponovljivosti [cm]
q_1 [rad]	q_2 [rad]	q_3 [rad]	
1.1781	-0.8022	0.2169	0.3360
-0.7041	0.4768	-0.2001	0.2595
0.2796	-0.5161	0.0402	0.1579
-0.0365	0.1094	-0.4348	0.2369
1.0248	-0.9144	-0.1758	0.2121
0.6863	0.518	-0.7171	0.1060
-0.1141	-0.3188	0.2085	0.0929
-1.2604	0.9425	0.6816	0.3416
0.8415	0.9256	0.0785	0.2033
-0.1449	0.245	0.3675	0.0820
0.302	-0.0093	-0.762	0.2451
0.7639	1.0463	-0.3151	0.1578
1.1042	0.8424	0.7415	0.1064
0.6236	0.3796	0.4731	0.2316
-0.8471	0.8321	-0.1019	0.3490
-0.2468	0.4198	0.1776	0.3245
1.1398	-0.4133	0.7704	0.1632
1.0911	-0.5507	-1.1538	0.0886
-0.2347	-0.4161	0.2693	0.2378
1.0304	0.0888	-1.1772	0.1136
Prosječna vrijednost			0.1927
Maksimalna vrijednost			0.3490

IV. ZAKLJUČAK

U radu je pokazan brz i jednostavan postupak kalibracije sistema dviju kamera sa paralelnim optičkim osama. Takođe je dat i efikasan način određivanja 3D položaja tačke u prostoru na osnovu dvije slike sa kamere iz sistema.

Takođe je pokazano, da se stereo vid može efikasno koristiti za ispitivanje ponovljivosti manipulatora, što se utvrđuje na osnovu rezultata dobijenih provedenim eksperimentima.

Ovaj rad predstavlja dobru osnovu za dalje istraživanje kao npr. ispitivanje ponovljivosti pojedinačnih zglobova manipulatora.

Dalji rad bi se mogao usmjeriti prema automatskom prepoznavanju vrha manipulatora čime bi se težilo potpunoj automatizaciji ispitivanja ponovljivosti, što bi postupak učinilo još efikasnijim.

LITERATURA

- [1] D. Kosić, V. Đalić, P. Marić, "Poboljšanje konvergencije algoritama za kalibraciju geometrije robota," INFOTEH-JAHORINA Vol. 9, Ref. A-19, p. 92-95, 2010.
- [2] V. Potkonjak, "Robotika," Naučna knjiga, 1989.
- [3] F. Prgić, G. Pizent, "Stereo vid," FER Zagreb, 1999.
- [4] <http://www.logitech.com/en-za/webcam-communications/webcams/devices/6065>, posjećeno 15.10.2010.
- [5] "Robix Rascal Project Book," Rascal, 2005.

Abstract—Robot end-effector repeatability is statistical measure of robot's precision which represents deviation from median value of realized positions. Focus of the paper is usage of stereo vision for robot repeatability testing. The results of conducted experiments show that stereo vision could be efficiently used to test robot repeatability.

Keywords-robot repeatability, stereo vision

Robot Repeatability Testing
Using Stereo Vision



Sekcija TO-8
OBNOVLJIVI IZVORI ENERGIJE I OBRADA
SIGNALA U ENERGETICI

- D. Raca
PRACTICAL IMPLICATIONS OF LOW VOLTAGE RIDE THROUGH REQUIREMENTS ON WINDTURBINE POWER CONVERSION 298
- Ž. Đurišić, J. Mikulović, I. Babić, M. Đedović
MATEMATIČKI MODEL ZA VISINSKU EKSTRAPOLACIJU MERNIH REZULTATA O BRZINI VETRA PRI PROCENI VETROENERGETSKIH RESURSA KORIŠĆENJEM SOFTVERA WAsP 307
- S. Lale, M. Šoja, S. Ajkalo, O. Bjelica, D. Jokić
PRIMJENA KLIZNOG REŽIMA SA KONSTANTNOM PREKIDAČKOM UČESTANOŠĆU U PRAĆENJU MAKSIMALNE SNAGE SOLARNIH PANELA 312
- Б. Кнежевић, М. Ђурић
АКТИВНИ И ПАСИВНИ ФИЛТЕРИ ИНВЕРЗНЕ КОМПОНЕНТЕ НАПОНА ЗА ПРИМЈЕНУ У ЗАШТИТНИМ РЕЛЕЈИМА 317
- I. Softić, S. Halilčević
MOGUĆNOST PRIMJENE FOTONAPONSKIH SISTEMA NA PODRUČJU TUZLANSKOG KANTONA ZA PROIZVODNJU ELEKTRIČNE ENERGIJE . . 323
- Б. Новаковић, С. Јокић, Ж. Ђуришић
АЛГОРИТАМ ЗА ЕСТИМАЦИЈУ ФАЗОРА ВИШИХ ХАРМОНИКА НАПОНА И СТРУЈА У ЕЛЕКТРОЕНЕРГЕТСКОМ СИСТЕМУ 328
- S. Zubić, M. Đurić, Č. Zeljković
POBOLJŠANJE ALGORITMA DISTANTNE ZAŠTITE NA BAZI INTEGRALA TRENUTNE SNAGE 334
- Č. Zeljković, N. Rajaković, S. Zubić
EVALUACIJA ISPLATIVOSTI UPOTREBE DISTRIBUIRANE PROIZVODNJE KOD INDUSTRIJSKIH/KOMERCIJALNIH POTROŠAČA . . . 339

Practical Implications of Low Voltage Ride Through Requirements on Windturbine Power Conversion

Invited Paper

Dejan Raca

Dept. of Electrical Power Systems
AMSC Windtec GmbH
Klagenfurt, Austria
draca@ieee.org

Abstract—Practical challenges and implications of low voltage ride through (LVRT) requirements on design of windturbine (WT) power conversion system are discussed in this paper. Main focus and main challenges lie in retrofitting existing turbines that are not LVRT compliant and in designing new doubly fed systems bearing LVRT in mind. This is contrasted to full conversion (FC) which is best suited for this application. Certification process is briefly reviewed for completeness.

Keywords—Low voltage ride through (LVRT); wind energy converter (WEC); windturbine (WT); power converter; certification

I. INTRODUCTION

The ratio between renewable energy sources to conventional sources is steadily increasing in many electric energy systems. This leads to introduction of more stringent rules to connection of these facilities to the grid. Wind energy conversion is the most mature and the most widespread of renewable technologies at the moment, and therefore receives the most attention from regulatory bodies as well as from the manufacturers and end users. In order to integrate wind farms into the grid, they are requested to follow directives from a dispatch center and participate in frequency control rather than to produce as much power as dictated by available wind [1]. Reactive power and voltage control requirements are also becoming more stringent, as well as fault tolerance requirements like low voltage ride through (LVRT).

All grid code requirements are defined for point of connection to the grid and in some cases can be satisfied with additional equipment like static compensators. A more economic approach is sought through making individual WTs dispatchable within a wind farm. Steady tightening of LVRT requirements makes wind farm level solutions absolutely impractical and must be handled on a individual-WT basis. Interdependency between power conversion technology and LVRT requirements is the most pronounced and that is why it is selected as a focal point of this paper.

Nowadays, power rating of individual WT is ranging 2MW up to 6MW. At these power rating and with tendency to increase effectiveness and efficiency, all recent developments are based on variable speed technology. It is well known that wind energy curve for a given blade design depends on the third power of wind speed and a power coefficient which is

dependent on blade tip speed and wind speed ratio [2]. Resulting wind power curve is highly nonlinear with four distinct regions for variable speed design. The first region is below cut-in speed when WT is out of production. The second region is operation with constant pitch angle which corresponds to optimal rotor efficiency. The third region is nominal power region, and the last one is excessive winds speed region where WT has to be taken off line. Constant speed turbines can efficiently exploit wind only at the corner point between regions two and three. In all other operating points rotor efficiency is significantly deteriorated if at all possible. This is why additional complexity related to variable speed and variable pitch designs is widely accepted. All the key auxiliary systems, like pitch, have also to be considered when designing an LVRT compliant WT, but in this paper main focus will remain on core power conversion.

An overview of available WT power conversion topologies is given in section II and it includes constant speed turbines whose retrofitting to fulfill LVRT requirements is mandated by some grid codes, like Spanish P.O. 12.3 [3]. General requirements for LVRT and certification procedures are briefly discussed in sections III and IV respectively. Section V is dedicated to a description of retrofitting solutions, while section VI discusses challenges related to new designs of DFIG systems for LVRT compliant design. Section VII briefly reviews advantages of full conversion systems with respect to LVRT.

II. POWER CONVERSION TECHNOLOGY FOR WTs

The purpose of this section is to review the available power conversion technologies without a tendency to follow any established classification. Differentiation between constant and variable speed topologies is based on the most usual combinations and does not mean that different combinations are not possible.

A. Nearly Constant Speed WECs

Constant speed turbines are also known as stall turbines as they exploit aerodynamic effect called stall. Stall automatically sets in because shaft speed is constant and thus limits turbine aerodynamic efficiency at high wind speeds. This means that fixed blades can be used for rotor construction. Combined with directly connected squirrel cage induction generators

This work was supported by American Superconductor, New Berlin, Wisconsin, USA and AMSC Windtec, Klagenfurt, Austria.

(SCIG) this comprises the most inexpensive WT technology, Fig.1.

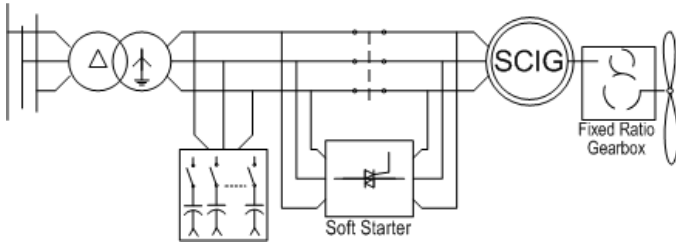


Figure 1. Directly Connected Squirrel Cage Induction Generators

SCIG technology typically includes a soft starter to limit connection transients and is bypassed during steady state operation. Power factor is maintained using banks of shunt capacitors. Limitation of the single wind-speed operation can be mitigated using double speed generators.

Stall-controlled turbines alone are not limited to operate at only one speed. If paired with wound rotor induction generator (WRIG) and variable rotor resistance control (RCC – rotor current control) these turbines can be utilized over a speed range of approximately 10%, Fig. 2. Rotor resistance adjustments correspond to slip variations of 0.6 – 10%. These turbines would still come equipped with soft starters and switched shunt capacitors. RCC is typically implemented as rotating equipment.

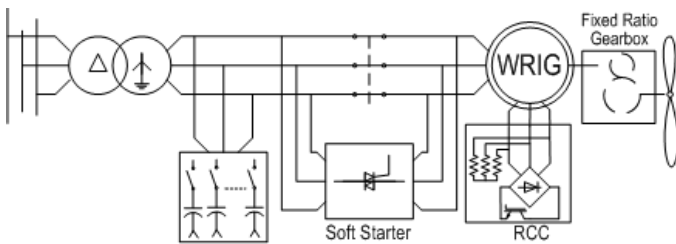


Figure 2. Wound Rotor Induction Generator with Variable Rotor Resistance

B. Variable Speed WECs

The enabling technology for variable speed WTs is an electro-mechanical drive-train which enables connection to fixed frequency grid. As stated above, even stall turbines can operate in wide speed range. The main difference is that variable pitch turbines extend speed range for nominal power operation (the third range) from a single point to a range of speeds.

Configuration of electro-mechanical drive-train in Fig. 3 is based on doubly-fed induction generator (DFIG). WRIG used in this application are equipped with slip-rings. DFIG configuration is considered relatively inexpensive due to a lower, typically 1/3, rating of frequency converter to the rating of the generator. This is possible due to the fact that induced emf on the rotor windings is function of not only winding transfer ratio but also slip frequency. Rotor voltage under locked-rotor condition (slip = 1) is usually on the order of 2000Vrms line-to-line while typical frequency converter voltage is 480Vrms or 690Vrms. Under normal operating conditions slip frequency varies by not more than 10-15Hz.

Voltage compliance between the frequency converter and rotor becomes an issue under fault conditions and therefore a crowbar circuit must be present to isolate the converter from the machine.

The frequency converter must be capable of four quadrant operation to support both subsynchronous and supersynchronous operation. In subsynchronous mode generator speed is slower than synchronous and the power must be supplied to the rotor circuit through frequency converter. Net generation is difference between power out of the stator and the one into the converter. Supersynchronous operation is when the rotor speed is higher than synchronous and the frequency converter also draws power from the rotor, and the total generated power sum of the power from stator windings and the converter.

Reactive power control is linear and utilizes frequency converter. Line side converter (LSC) can be used to directly inject or draw reactive current from the grid or machine side converter (MSC) can be used to over/under excite the machine.

Implementation in Fig. 3 b is used if frequency converter voltage needs to be lower than stator voltage. This may be a limiting factor in LVRT retrofitting of older turbines of such a design.

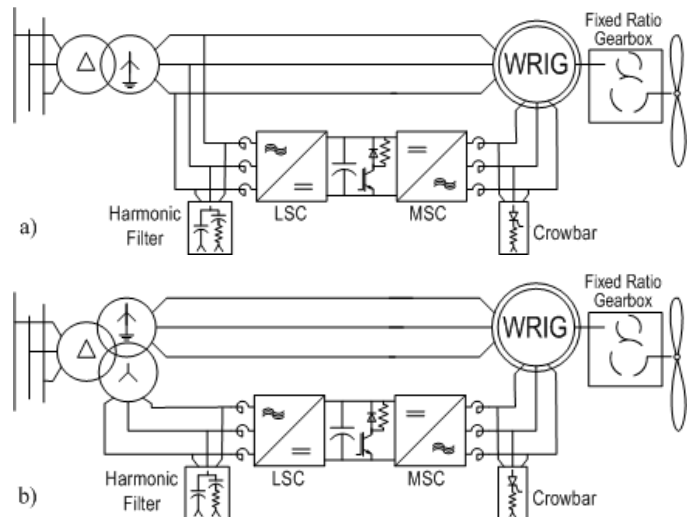


Figure 3. Doubly Fed Induction Generator Topologies

Full-scale power conversion (Full Conversion = FC) topologies are shown in Fig. 4. The name comes from the fact that full rated power is transferred through frequency converter from generator to grid. The generator can be any electric machine. SCIG, wound field synchronous generators (WFSG), and permanent magnet synchronous generators (PMSG) can be found in practical turbines.

The generator is completely decoupled from the grid in this configuration. Power flow is therefore unidirectional and two quadrant power converters can be applied (Fig. 4 b and c), except with SCIG where MSC is used to properly magnetize the machine (Fig. 4 a). WFSG require additional circuitry to control field current, but the rating of these devices is very small due to integrated exciter winding and rotating rectifier on

the rotor. An adjustable field is desirable to either eliminate boost stage in DC bus circuit or to optimize efficiency by adjusting excitation with respect to load. High harmonic content of diode rectifier currents may impose additional requirements on generator design and diminish benefits of elimination of the MSC. MSC can also be used for field weakening operation of PMSG if this is desired to extend operating speed range or maximize efficiency.

Voltage compliance question can be raised with respect to use of PMSG and possible overspeed operation. It turns out that the voltage under these conditions does not exceed normal safety margin and a crowbar is not required.

Reactive power control is solely based on LSC which has to be sized accordingly.

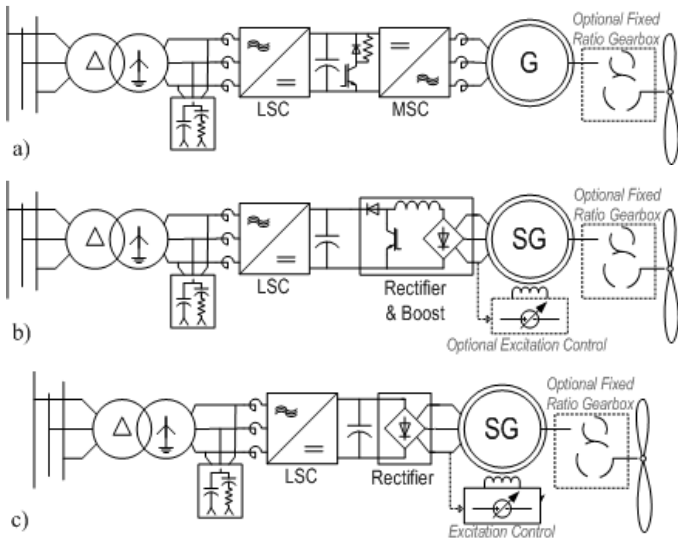


Figure 4. Full-Scale Conversion topologies

The last variable speed topology is based on continuously variable transfer ratio gearbox which enables constant speed operation of a directly connected WFSG. Only WFSG can be used as the excitation control is the only possibility to regulate reactive power. There is no frequency converter in this configuration. All the complexity is moved to a mechanical gearbox.

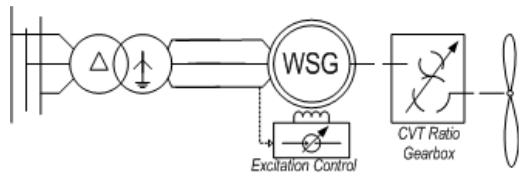


Figure 5. Directly Connected Synchronous Generators

III. GENERAL REQUIREMENTS FOR LVRT

Grid codes define requirements for the point of common coupling. The most basic of the requirements is that the turbine must remain connected to the grid during voltage sags. A number of particular system level requirements can be derived from this simplest general requirement mandated by a

grid code. Some turbine systems that are typically omitted in papers on LVRT are critical for operation of the turbine. Some of those are pitch subsystem and system controller. These critical subsystems must be protected by an uninterruptible power supply (ups). An alternative approach is to connect all auxiliary loads downstream from ups.

The power rating of critical WT auxiliary loads is such that a UPS is a feasible and simple solution. The energy rating of the UPS must consider voltage sag durations which is discussed next.

A. Voltage Sag Anvelope

Every grid code will contain a definition of voltage sag based on remaining voltage in affected phase and its duration. A number of these curves from different grid codes and available LVRT turbines are shown in Fig. 6. Worst-case curve connecting maximum sag durations for given remaining voltage is also shown in Fig. 6 and denoted 'world-wide'. 'Retrofit' curve from the same picture corresponds to a commercially-available retrofitting solution discussed in section V-B. The turbine may trip if the duration of the voltage sag exceeds the duration specified for the corresponding remaining voltage.

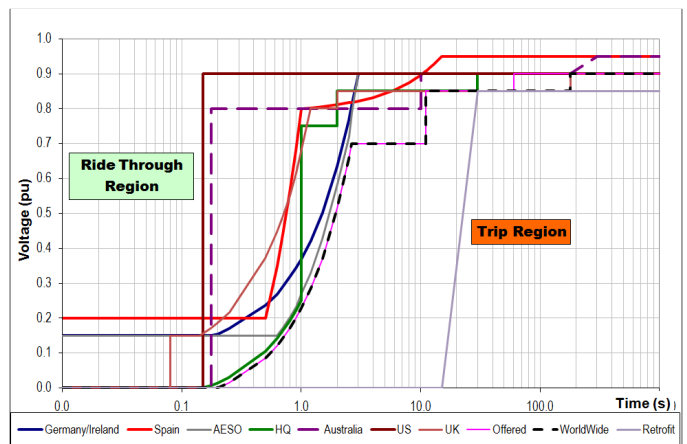


Figure 6. Summary of LVRT Envelopes

The same voltage sag envelope is typically used for both balanced and unbalanced sags. In case of unbalanced sags, the remaining voltage is the lowest percentage value between all line-to-neutral and line-to-line voltages. This may be significantly lower than remaining positive sequence voltage, e.g. positive sequence voltage for 0V remaining line-to-line fault is 50%.

B. Power Curves

Power curves, if defined in a grid code, are as significant for LVRT definition as the voltage anvelope and much harder to satisfy than the basic requirement that the turbine must stay on line.

The significant phases in the voltage sag are sag inception transients, 'steady state' LVRT run, voltage recovery transient, and active power recovery period. These phases of voltage

sags are indicated in Fig.7. Different requirements for power curves should be defined for each of these four stages.

It is impossible to generalize power curve requirements as they vary a lot from an instance to another. For example [3] requires that injection of capacitive current during sag is proportional to active power draw from the grid, while [4] requires that capacitive current is scaled in opposite proportion to remaining voltage during sag.

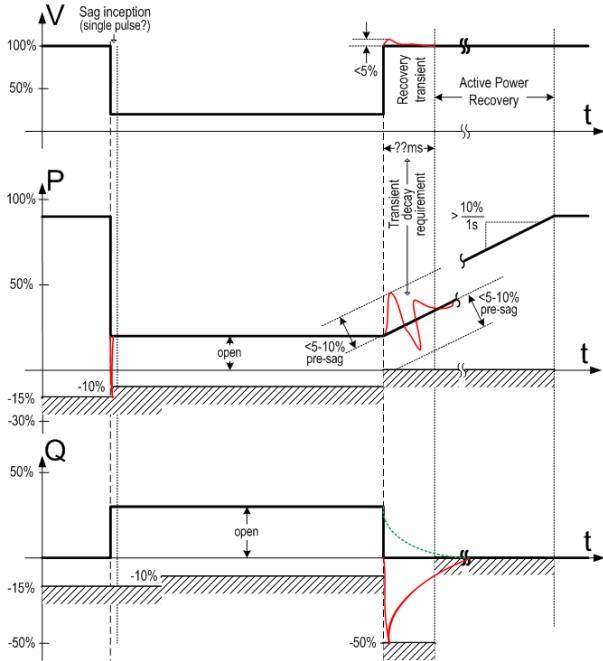


Figure 7. Example Power Curves

Figure 7 shows ideal power curves in bold black lines and some arbitrary tolerances and non-ideal response curves. In general, power must not be drawn from the grid, voltage must be supported by capacitive current injection, and realities of real system response must be recognized and acceptable relaxed margins defined.

C. Implications

The grid codes are supposed to prescribe requirements which are best suited for the grid and equivalent to requirements imposed to existing conventional generation based on synchronous generators. The first criterion may be correct, but the second is questionable.

Examination of LVRT durations in some grid codes shows what appears to be unrealistically long time for real faults in transmission system and unrealistically deep for faults in distribution systems. Speed of reaction in reactive power control is unrealistically fast for synchronous generator systems depending on excitation system and rotor time constants.

The bottom-line implication is that only systems which rely on frequency converters are capable of meeting these requirements.

IV. VALIDATION AND CERTIFICATION

Grid codes may be too brief in describing LVRT requirements. Since LVRT certification is typically required and regulated, the certification protocols and procedures can provide additional insight and even extend prescribed requirements. The basis for LVRT validation and certification in the field is so called sag generator – equipment for simulation of grid faults. The principal design of a sag generator, its insertion into the circuit, and power measurement details are specified in IEC 61400-21 [5] and cited or copied over into national grid codes.

A Sag generator is nothing else but a voltage divider which is inserted into medium voltage feed to an individual WT, Fig. 8. Photographs of an example sag generator are given in Fig. 9.

Per [5], the sag generator must be configured such that the short circuit current does not cause significant disturbance for the upstream windpark installation and that the short circuit power is at least three times rated power of the test turbine (1). This is adjusted by Z_1 in Fig. 8, while Z_2 adjusts the remaining voltage level. Desired voltage during sag is defined for no-load condition and tested with test sag prior to starting WT which then affects the actual voltage during normal operation and sag. Tolerances for the sag voltage as well as timing are also defined in [5]. Voltage tolerance prior and during sag is $\pm 5\%$. It is increased to $\pm 10\%$ upon voltage recovery. Timing of sag inception and voltage recovery may be delayed by 20ms.

$$S_{sc} \geq 3S_r; X/R > 3. \quad (1)$$

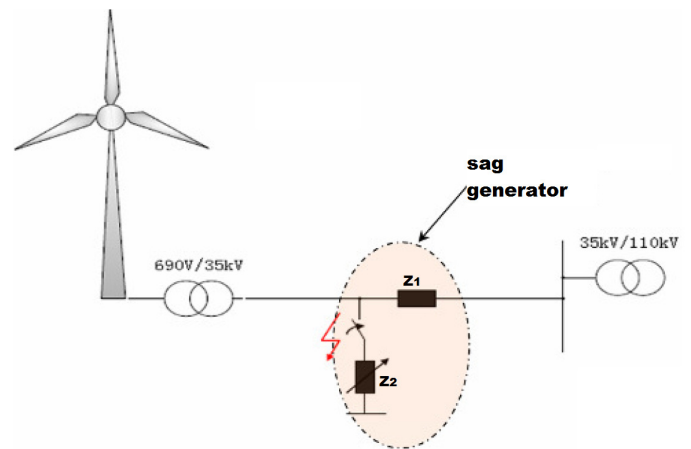


Figure 8. Sag generator insertion into medium voltage feed

Voltage sag types per remaining voltage profile are shown in Fig. 10. Typically only one sag profile is applied during certification process. In author's practical experience it would be either single sag or double sag with lower then higher remaining voltage. A double sag is obviously designed to test system reaction to faults on high voltage lines that do not clear before automatic reclosure is attempted.

The certification process consists of a number of test points. High-wind and low-wind conditions (i.e. high and low production) are required to be tested per [5]. High production

is defined as higher than 90% rated and low is between 10% and 30% of rated power. The system has to be tested for balanced and unbalanced sags. In some cases only the deepest sags are considered, while some certification protocols require testing for a number of different sag depths and durations along appropriate voltage envelope in Fig. 6.



Figure 9. Photographs of a sag generator

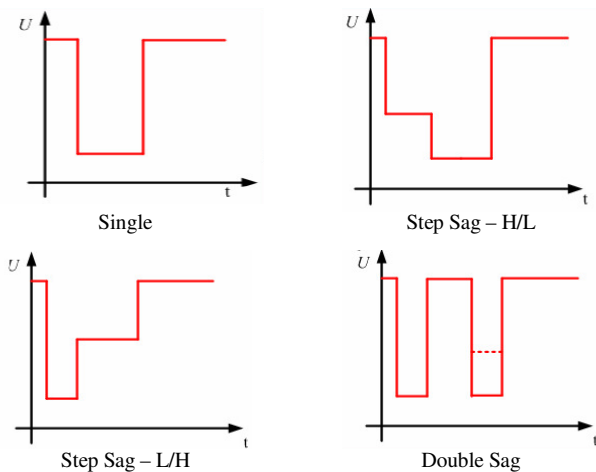


Figure 10. Test voltage sag types

The unbalanced sag that is applied during certification is line-to-line on medium voltage side. This corresponds to the most common transmission level fault which is line-to-ground and transformation through Delta-to-Wye transformer [6]. This is again seen as single phase-to-ground sag on low voltage side of WT transformer.

In addition to technical certification requirements there are a number of procedural requirements that must be followed. For example, every test point must be repeated twice. If one of the attempts fails it must be followed by two successive successful runs. Two failures may completely annul all the successful testing thus far. Needless to say, no adjustments to the system, including a parameter change, are allowed during certification.

V. RETROFITTING SOLUTIONS FOR IG TURBINES

An approach to retrofitting existing windfarms for LVRT that may seem attractive is to add shunt connected static compensators (STATCOM) to support voltage for the whole windfarm. This solution has been successfully applied for industrial applications and has been applied for some windfarms. However there are some limitations related to this approach.

STATCOM systems are sluggish in their response time due to the nature of their operation. Maximum voltage build-up is limited to 50% to 60% and even this requires a weak connection of the protected circuit to the grid. It is also more difficult to validate statcom based solutions. Individual WT retrofits are therefore preferred.

A. Series Compensators

Series compensators or dynamic voltage restorers are obvious candidates for LVRT support of WTs (Fig. 11) and are successfully implemented in practice. Their main advantage is at the same time their main disadvantage. Series compensator inverters must run at all times to pass current through series inserted transformer. This gives a chance to continuously run a voltage regulator which would automatically react to voltage sag, without a need to run a special sag detection algorithm. The reaction time is very fast and continuous. Drawback of this is that the transformer must be sized for full rated power, while the compensator inverter must be rated in proportion to desired voltage build up, e.g. 70% for operation down to 20% rated. All this corresponds to increased losses as well.

Back-to-back inverters are used (although not explicitly shown in Fig 11) to support reactive current and power flow demands during LVRT. The active power delivery to the grid is limited by remaining voltage and current rating of the equipment, while the generator output is limited only by available wind power per requirement that the retrofit solutions shall not require any modification in the existing WT controls. Therefore excess power must be dissipated within the restorer.

Modified control strategy is proposed in [7] to further improve system response and minimize converter rating. The approach is not to restore the voltage but to demagnetize IG in proportion to remaining voltage. However, this approach does

not lend itself to a retrofitting application, as the protection circuits and critical auxiliary loads would have to be modified.

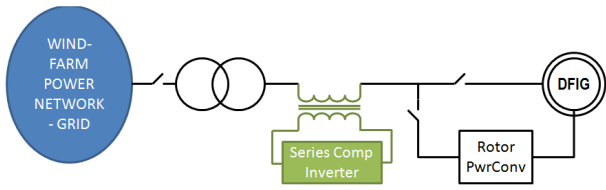


Figure 11. Insertion of a series compensator

B. Transient Rated Full Conversion (TRFC)

A cost- and efficiency-optimized solution for LVRT retrofitting of WTs is shown in Fig. 12 and Fig. 13. It consists of a back-to-back power converter which is transient rated, mainly meaning that active cooling is not required. The Static Switch (SS) is the main power component which is rated for steady state power. The SS enables quick reconfiguration of the system from its original topology, most commonly SCIG as in Fig. 12 a, into temporary FC turbine.

During normal operation, power converter is in stand-by mode. Only control circuitry, harmonic filters, and DC bus are energized while whole power is transferred through the SS. Efficiency of the TRFC is extremely high as it utilizes rectifier grade thyristors. High efficiency also means simple cooling of the SS, which is very important as preferred location for installation of these systems is tower base.

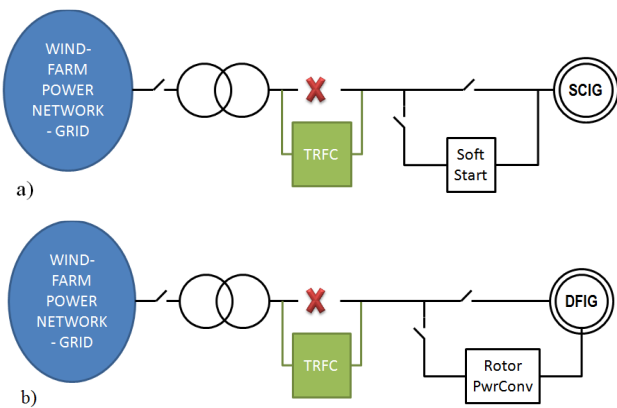


Figure 12. Retrofitting a WT with a TRFC system

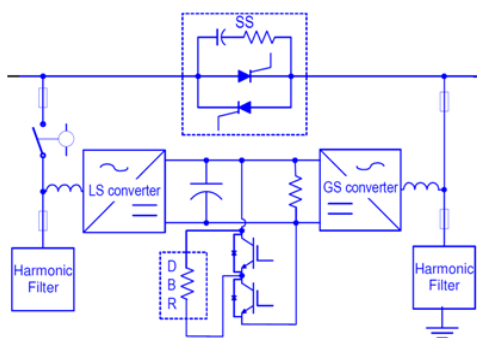


Figure 13. Single line diagram of a TRFC

Once voltage sag is detected the SS opens and the converter starts actively regulating voltage on the generator terminals and active and reactive power at grid side. Again, active power is limited by remaining voltage and shall not be limited on the generator side, so excess has to be dissipate in a hefty dynamic break resistor (DBR), Fig. 13.

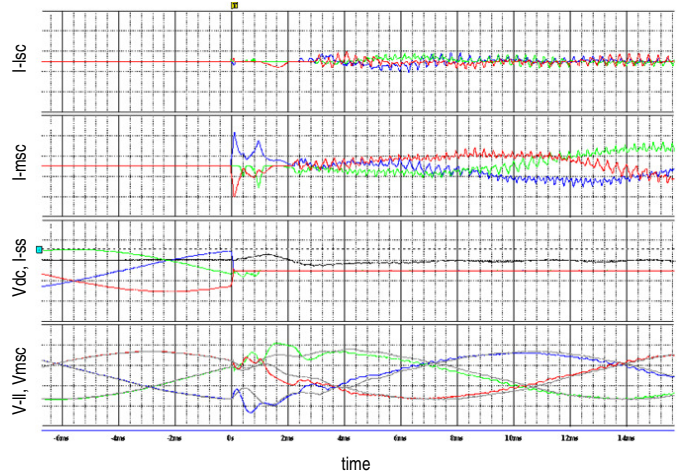


Figure 14. Forced commutation of the static switch – test run (Full scales for each signal $\pm 2kA/kV$; time $400\mu s/div$; red- I_{xa} or V_{xab} , green- I_{xb} or V_{xbc} , blue- I_{xc} or V_{xca} , black- V_{dc})

Reaction speed of TRFC obviously depends on sag detection speed and commutation of SS in the first place. Fast sag detection algorithms can utilize natural reaction of a generator, like it was in test cases presented in Fig. 15 and Fig. 16, or instantaneous sequence component voltage measurements. Special care must be taken to the extraction of sequence components if the latter approach is used.

Forced commutation of SS is required for application of TRFC with DFIG turbines. Forced commutation can be accomplished by using both LSC and MSC to extinguish SS currents, Fig. 14. Forced commutation times that are fraction of a millisecond long are realistic.

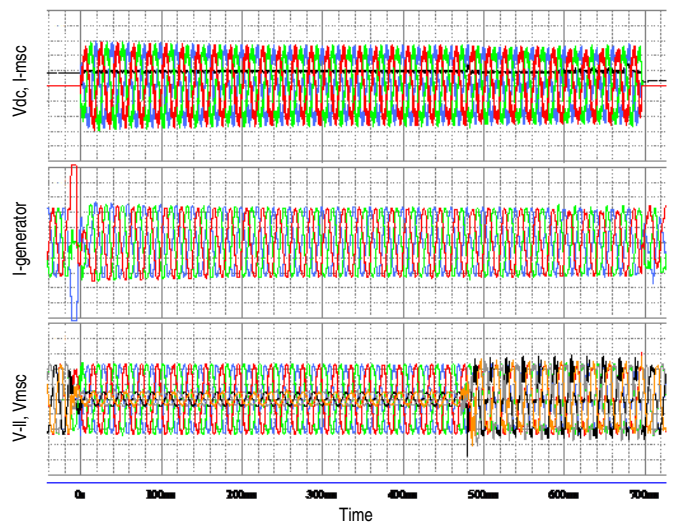


Figure 15. Run through a balanced sag down to 20% remaining voltage – high wind, disabled forced commutation (Full scales for each signal $\pm 2kA/kV$; time $40ms/div$;

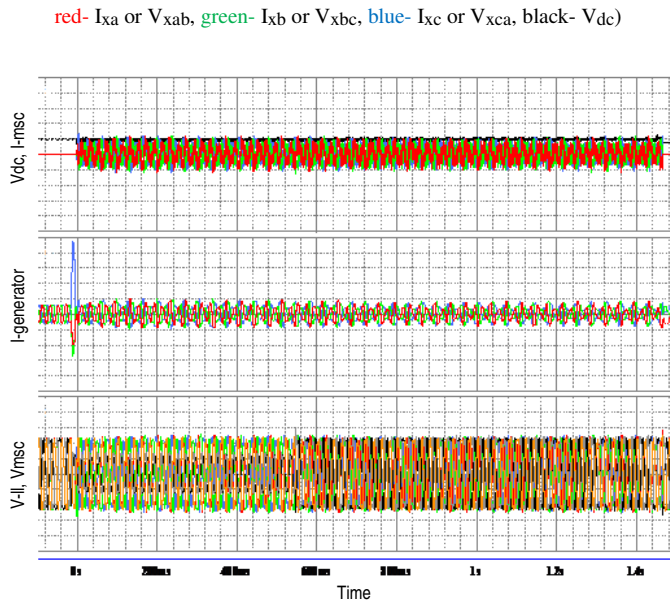


Figure 16. Run through a two phase unbalanced sag down to 65% remaining positive sequence voltage – high wind, disabled forced commutation (Full scales for each signal $\pm 2\text{kA/kV}$; time 40ms/div; red- I_{xa} or V_{xab} , green- I_{xb} or V_{xbc} , blue- I_{xc} or V_{xca} , black- V_{dc})

Example LVRT runs in Fig. 15 and Fig. 16 are obtained on SCIG turbines where forced commutation was not used as it proved to be unnecessary. Initial transients in generator currents are used to detect sags. Resynchronization to the grid and reclosure of the SS is virtually seamless, although it may be delayed by up to several hundred milliseconds to avoid miss-detection of voltage recovery, and to ensure smooth transition. Active power delivery can be almost immediately restored upon voltage recovery as the generator and the turbine do not change their operating mode. There is no difference in performance between balanced and unbalanced sags as the generator always sees balanced voltage.

The TRFC is inserted upstream from all the loads and production of WT and therefore provides steady power supply for critical and non-critical auxiliaries. As a result retrofitted turbines can run through much longer voltage sags than required by typical grid codes. The only limitation to the sag duration is energy capacity of the DBR and thermal capacity of transient cold plates inside the converter.

Converter operation is always stable due to the fact that complete power generation passes through the converter during LVRT. There is always enough energy to maintain DC bus voltage. Zero volts ride through is also possible with only small changes in LSC control code.

The only drawbacks of the TRFC are its cost and small, but still-present efficiency penalty.

VI. LVRT COMPLIANT DFIG TURBINES

LVRT compliance can be achieved with DFIG turbines without significant overrating of frequency converter and expensive additional equipment. Key components in LVRT compliant DFIG design is to design it on system level and to adopt a crowbar design which enables extinction of high

transient crowbar currents, Fig. 17 b and c. Standard crowbar design in Fig. 17 a cannot be used for LVRT as it requires that rotor currents naturally die out. Design in Fig. 17 b exploits fact that frozen flux causes rotor current pulsations at rated frequency for balanced and twice rated frequency for unbalanced sags. These higher frequency current components will eventually cause zero crossing and lead to natural commutation of crowbar thyristors. Design in Fig. 17 c basically duplicates design of DBR which is suboptimal solution.

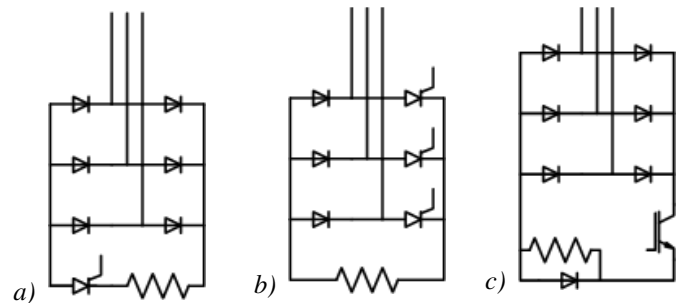


Figure 17. Crowbar power circuits

Basic idea for frequency converter operation in LVRT compliant DFIG turbines is to continue normal operation as long as possible. Appropriate actions are taken only if necessary to protect and restore normal operation of the converter. This is why nuisance sag detections are acceptable in this system. On the one hand, this makes sag detection less of a challenge. On the other hand, sag detection must be based on line voltage measurements and cannot be based on machine response to sag. Voltage recovery still must be reliable as it was the case in retrofitting systems.

Some of the most interesting and most challenging aspects of LVRT DFIG design are discussed in following subsections.

A. Voltage Collapse and Voltage Compliance Issues

Existence of subsynchronous operating mode makes LVRT challenging due to possibility of collapsing DC bus voltage. If the MSC draws energy from the DC bus and LSC is not capable of drawing this energy from the grid, then the DC bus voltage inevitably will droop. On the other hand, disabling MSC would prevent the DC bus voltage collapse for some limited time, and at the cost of lost control over generator and inability to meet power curve requirements. Zero voltage ride through under subsynchronous operation would definitely create conditions for DC bus voltage collapse.

On the other hand, lack of voltage compliance in DFIG design makes crowbar circuits necessary. Frozen flux at the sag inception is stationary while the rotor rotates at speed which is close to synchronous speed. This generates high voltage and tends to push the converter outside the safe operating area (SOA).

The voltage compliance issue is even more pronounced in unbalanced sags, where reflected negative sequence voltage has frequency of twice the rated frequency and reflects with twice the transfer ratio. Even for shallower (and therefore less

unbalanced sags) where crowbar triggering is avoidable, these reflected negative sequence voltages cause control issues. The MSC voltage command could be reaching voltage limit, Fig. 18, which makes it impossible to suppress negative sequence currents. The negative sequence currents do not have to be suppressed as they do not have adverse effects per [5]. This is contrary to many scientific papers and patents which are based on suppression of these current components or compensation of the unbalance. The standard converter design for DFIG application does not have enough DC bus voltage margin to apply these algorithms. Also, voltage compensation is based on voltage drops on upstream impedance which is typically 6% for WT transformer. Complexity of those methods is disproportional to very limited benefits.

A superior approach to deal with unbalanced sags is to control instantaneous power to stabilize DC bus voltage, or even to simply ignore higher frequency components and automatically avoid steady state control error which may result from the voltage compliance issue, Fig. 18.

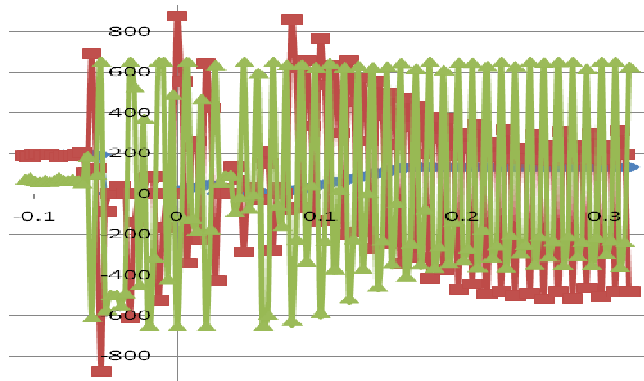


Figure 18. Example of voltage compliance issue caused by reflected negative sequence component. (red- current feedback; blue- current reference; green- voltage command)

B. System Level Approach

Auxiliary loads of DFIG WT must be supplied through their own UPS systems since there is no possibility to restore voltage seen by them. The voltage inevitably sags for all systems. This is especially important if zero voltage ride through is desired.

Abrupt changes in generator load cannot be always avoided as some sags will cause crowbar to trigger. This may lead to turbine overspeed, and must be prevented by fast pitch reaction. Fast pitching may affect tower movement and has to be carefully tuned. Since fast pitching is not optional, it may as well be used to relieve converter torque control action.

Power recovery after voltage restores must not be too quick as this cannot be followed by regular pitch and tower movement control. This is why a slow steady ramp is desired.

C. Power Curves

One of the biggest challenges in DFIG design for LVRT is to match power curve requirements discussed in section III B. This is sharp contrast to the retrofit systems which automatically satisfy the most stringent power curves if the sag

detection is fast enough and the whole system is deployed on time. In DFIG turbines it is not so hard to make the turbine stay connected to the grid, but it is much harder to accomplish sufficient command tracking to produce power curves like the ones shown in Fig. 19.

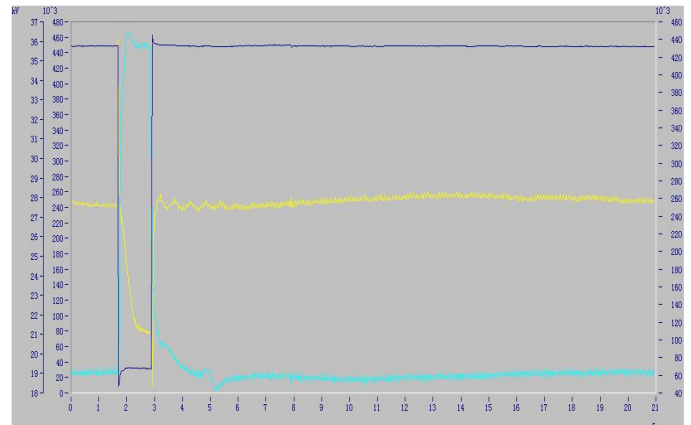


Figure 19. Example measured power curves – 50% balanced sag, low wind (dark blue- voltage envelope; light blue- reactive pwr; yellow- active pwr)

The required condition to accomplish power controls from Fig. 19 is to avoid triggering the crowbar. Simulated LVRT relying solely on crowbar is shown in Fig. 20. Here very high peaks of instantaneous active and reactive power are seen along with negative average reactive power draw during LVRT run and very high reactive power draw at voltage recovery. Subsynchronous operation would result in active power draw in addition.

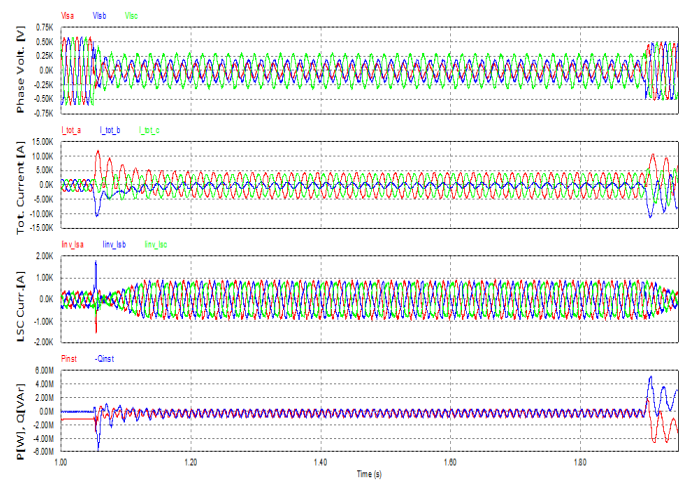


Figure 20. Simulated LVRT with exclusive use of crowbar – unbalanced, full load

One approach to minimize crowbar triggering during sags is to maximize effectiveness of DBR circuit. In many cases it is acceptable to trigger crowbar for very deep sags like in Fig. 21. Crowbar must trigger immediately upon sag inception to ensure reactive power production instead of consumption. This is opposing argument to maximizing effectiveness of DBR circuit. The crowbar must turn off within time allowance for inception transients, e.g. 150ms in [3]. Recovery transient is much less severe and can be limited by DBR only in Fig. 21.

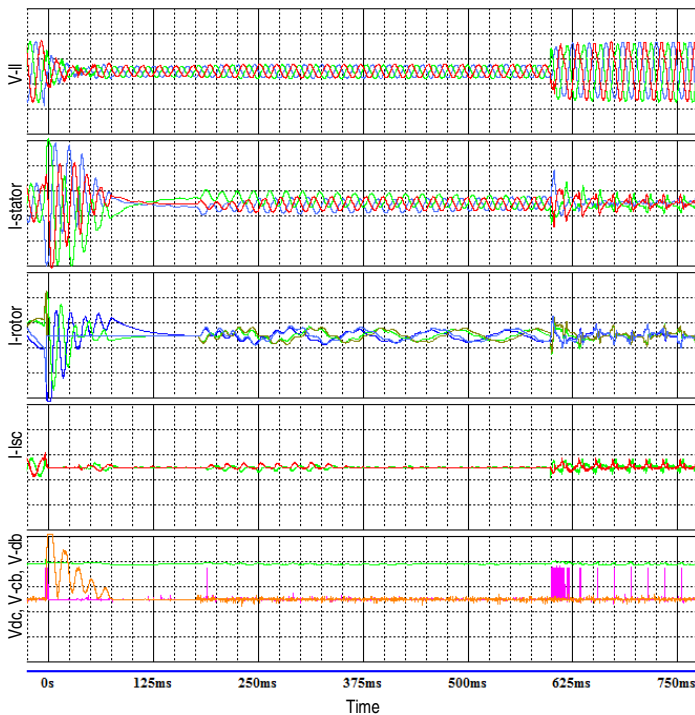


Figure 21. Run through a balanced sag down to 20% remaining voltage – high wind. Crowbar triggers at sag inception, than clears.
(Full scales for each signal $\pm 2\text{kA/kV}$; time 40ms/div;
red- I_{xa} or V_{xab} , green- I_{xb} or V_{xbc} , blue- I_{xc} or V_{xca} , black- V_{dc})

VII. FULL CONVERSION

FC turbines are always configured as TRFC during LVRT run, such that all the benefits mentioned in section V, subsection B apply here as well. In addition, there are no transients related to switching operating modes like there is in TRFC. Only transients in FC LVRT come from control system reaction to step change of the voltage which is disturbance for current regulators. The step response of the converter in FC can be improved by advanced control techniques since there is no voltage compliance nor DC bus voltage collapse issues in this case.

Some system-level interaction between frequency converter controls and pitch is desirable to minimize DBR energy ratings.

Sag detection would only be used for this and adjustment of power curves per grid code requirements and therefore does not need to be extremely fast or sensitive.

Unlike TRFC, auxiliary power during normal operation and LVRT has to come from grid as generator frequency and voltage vary. This means that separate UPS must be provided just like in DFIG turbines.

VIII. CONCLUSIONS

Meeting LVRT requirements is a must for significant wind power installations integrated into power grids. How this is accomplished and to which extent heavily depends on electric power conversion topology. SCIG is not compliant without expensive retrofit systems which are defeating the purpose of building WT based on this technology. DFIG is the most challenging with respect to LVRT and the amount of effort and tradeoffs can hardly justify continuing to use this technology for newest designs. Full conversion lends itself as future WT technology mostly because of LVRT.

REFERENCES

- [1] I. Garin, A. Munduate, S. Alepuz, and J. Bordonau; 'Low and Medium Voltage Wind Energy Conversion Systems: Generator Overview and Grid Connection Requirements,' CIREN 2007, Vienna, 21-24 May 2007
- [2] J.G. Sloopweg, H. Polinder, W.L. Kling, "Dynamic Modelling of a Wind Turbine with Direct Drive Synchronous Generator and Back to back Voltage Source Converter and its Controls", *Proc. European Wind Energy Conference and Exhibition*, Copenhagen, 2001, pp. 1014-1017.
- [3] 'P.O.12.3 Requirements Regarding Wind Power Facility Response To Grid Voltage Dips Proposal Sent To Ministry,' BOE, Num. 254, Oct. 2006, pp. 37017-37019.
- [4] 'Technical rule for connecting Wind Farm to power network,' Draft Version – unpublished
- [5] IEC61400-21: Wind turbines – Part 21: Measurement and assessment of power quality characteristics of grid connected wind turbines, IEC, Geneva, Switzerland, 2008
- [6] L. Zhang and M.H.J. Bollen, 'Characteristic of Voltage Dips (Sags) in Power Systems,' *IEEE Trans. on Power Delivery*, Vol. 15, No. 2, April 2000
- [7] P.S. Flannery and G. Venkataramanan, 'A Fault Tolerant Doubly Fed Induction Generator Wind Turbine Using a Parallel Grid Side Rectifier and Series Grid Side Converter,' *IEEE Transactions on Power Electronics*, Vol. 23, No. 3, May 2008

Matematički model za visinsku ekstrapolaciju mernih rezultata o brzini vetra pri proceni vetroenergetskih resursa korišćenjem softvera WAsP

Željko Đurišić, Jovan Mikulović, Iva Babić
Elektrotehnički fakultet Univerziteta u Beogradu
Beograd, Srbija

Miloje Đedović
ABS Minel
Beograd, Srbija

Sadržaj- U radu je prikazan matematički model za visinsku ekstrapolaciju mernih rezultata o brzini vetra na osnovu merenja na više mernih visina. Model je baziran na metodi minimuma sume kvadrata odstupanja. Primenom predloženog modela, na osnovu setova mernih podataka na najmanje 3 visine, dobija se sintetički set podataka na željenoj visini na kojoj se vrši analiza potencijala energije vetra. Osnovna ideja je da se pri proceni vetroenergetskog potencijala merni podaci prethodno ekstrapoliraju predloženim modelom, a zatim da se pomoću programa WAsP izvrši prostorna ekstrapolacija. Algoritam je testiran na osnovu realnih mernih podataka na lokaciji u južnom Banatu i dobijeni rezultati pokazuju veću tačnost u odnosu na standardno korišćenje programa WasP.¹

Ključne reči- visinski profil brzine vetra, metoda najmanjih kvadrata, WAsP

I. UVOD

Procena potencijala vetra je od ključne važnosti za sagledavanje ekonomičnosti projekta vetroelektrane. Pri analizi vetroenergetskog potencijala na odabranoj lokaciji obično se merenja vetra vrše na nižim visinama od one na kojoj se planira postavljanje vetroturbina. Iz tog razloga neophodno je poznavati visinski profil brzine vetra, odnosno analizirati promenu brzine vetra sa visinom iznad tla.

Postoji više faktora koji utiču na visinski profil brzine vetra u prizemnom sloju koji je od interesa za vetroenergetiku. Najveći uticaj ima hrapavost terena, orografija terena i stabilnost atmosfere. Uticaj hrapavosti terena je dosta kompleksan jer teren u realnim uslovima nije homogen, tako da je za vetrove iz različitih smerova hrapavost terena različita. Osim toga, hrapavost terena se menja u toku godine zbog promene vegetacije, snega itd., pa je treba posmatrati i kao klimatološki parametar. Pri različitim brzinama vetra hrapavost terena se može menjati usled povijanja trave i drveća ili pojave talasa, ako analiziramo vodene površine. Uticaj varijacije visine tla na visinski profil brzine vetra je dosta kompleksan i manifestuje se kroz dva efekta: efekat brda i tunel efekat. Stabilnost atmosfere je jako uticajna na visinski profil brzine

vetra jer se sa promenom stabilnosti atmosfere menjaju frikционе karakteristike vazduha kao fluida. Stabilnost atmosfere je direktno uzrokovana razmenom toplote između vazduha u prizemnom sloju i površine zemlje. Toploni fluks razmene toplote između atmosfere i površine zemlje zavisi od doba dana, intenziteta solarnog zračenja, vlažnosti vazduha, apsorpciono-refleksionih karakteristika tla i ostalog.

S obzirom na kompleksnost visinskog profila brzine vetra njegova procena je vezana sa dosta nesigurnosti i ne može se opisati jedinstvenim matematičkim modelom. U praksi se najčešće koristi logaritamski zakon koji je definisan relacijom

$$V = V_1 \frac{\ln\left(\frac{z}{z_0}\right)}{\ln\left(\frac{z_1}{z_0}\right)}, \quad (1)$$

gde je V_1 merena brzina vetra na visini z_1 , V je procena brzine vetra na visini z . Parametar z_0 , koji se naziva dužina hrapavosti terena (*Roughness Length*), je parametar koji opisuje stanje terena za koji analiziramo visinski profil brzine vetra i procenjuje se na osnovu stanja površine tla prema standardima iz Evropskog atlasa vetrova. Ovaj parametar predstavlja visinu iznad tla na kojoj je brzina vazduha jednaka nuli.

S obzirom na kompleksnost terena u pogledu hrapavosti potrebno je napraviti odgovarajuću mapu promene hrapavosti terena koja se implementira u namenske softvere za estimaciju potencijala vetra, kao što je softver WAsP. U ovom softveru visinska ekstrapolacija mernih rezultata se vrši na osnovu vektorske mape terena i mape hrapavosti terena, pri čemu se koristi set mernih podataka samo sa jedne visine, odnosno koriste se merenja u najvišoj tački. Sa druge strane, namenska merenja brzine vetra, koja se vrše u cilju istraživanja potencijala vetra na mikrolokaciji, se vrše na više mernih visina. Ideja je da se na osnovu seta raspoloživih mernih podataka sa više visina na jednom mernom stubu, za pretpostavljeni logaritamski profil brzine vetra, pomoću metode minimuma sume kvadrata formira sintetički set podataka o brzini vetra na željenoj visini. Ovakav set podataka bi se koristio kao ulaz za program WAsP, umesto seta podataka o merenjima vetra na jednoj (najvišoj) mernoj visini, što je

¹ **Zahvalnica:** Autori se zahvaljuju Ministarstvu za nauku i tehnologiju Republike Srbije koje je pomoglo realizaciju ovog rada u okviru projekta pod evidencionim brojem 391-00-00027/2009-02/164.

standardan pristup. Na ovaj način se za svaki desetominutni merni interval uvažavaju parametri koji utiču na profil brzine vetra, odnosno određuje se odgovarajuća dužina hrapavosti z_0 .

II. MATEMATIČKI MODEL ZA PROCENU VISINSKOG PROFILA BRZINE VETRA BAZIRAN NA METODI MINIMUMA SUME KVADRATA ODSUPANJA

Da bi se primenila metoda minimuma sume kvadrata potrebno je izraz (1) linearizovati.

Osnovnim matematičkim transformacijama izraz (1) možemo napisati u sledećoj formi:

$$V \cdot \ln \frac{z_1}{z_0} = V_1 \cdot \ln \frac{z}{z_0}, \quad (2)$$

odnosno:

$$V \cdot (\ln z_1 - \ln z_0) = V_1 \cdot (\ln z - \ln z_0) \quad (3)$$

$$V = \frac{V_1}{\ln z_1 - \ln z_0} \ln z - \frac{V_1}{\ln z_1 - \ln z_0} \ln z_0. \quad (4)$$

Zavisnost promene brzine vetra V od visine z se može predstaviti linearizovanom formom:

$$V = b_1 \ln z + b_2 \quad (5)$$

gde su b_1 i b_2 koeficijenti koje treba odrediti.

Ukoliko se poseduju setovi mernih podataka samo sa dve visine onda su koeficijenti b_1 i b_2 jednoznačno određeni. Ako postoje podaci o merenjima brzine vetra na više od dve visine onda je sistem redundantan i zgodno je primeniti metodu minimuma sume kvadrata odstupanja.

Funkcija S koja definiše sumu kvadrata odstupanja je definisana sledećom relacijom:

$$S = \sum_{i=1}^n (V_i - (b_1 \ln z_i + b_2))^2 \quad (6)$$

gde su:

V_i - brzina vetra merena na visini z_i ,

n - broj visinskih tačaka merenja brzine vetra.

Optimalna procena koeficijenata b_1 i b_2 sledi iz izraza (7) i (8) koji definišu minimum funkcije S :

$$\frac{\partial S}{\partial b_1} = -2 \sum_{i=1}^n \ln z_i (V_i - (b_1 \ln z_i + b_2)) = 0 \quad (7)$$

$$\frac{\partial S}{\partial b_2} = -2 \sum_{i=1}^n (V_i - (b_1 \ln z_i + b_2)) = 0 \quad (8)$$

Prethodni izrazi se mogu napisati u sledećoj formi:

$$\sum_{i=1}^n \ln z_i (V_i - (b_1 \ln z_i + b_2)) = 0 \quad (9)$$

$$\sum_{i=1}^n (V_i - (b_1 \ln z_i + b_2)) = 0 \quad (10)$$

Nakon sređivanja, prethodni izrazi postaju:

$$b_1 \sum_{i=1}^n (\ln z_i)^2 + b_2 \sum_{i=1}^n \ln z_i = \sum_{i=1}^n V_i \ln z_i, \quad (11)$$

$$b_1 \sum_{i=1}^n \ln z_i + n b_2 = \sum_{i=1}^n V_i. \quad (12)$$

Rešavanjem ovog sistema jednačina dobijamo optimalne procene koeficijenata b_1 i b_2 :

$$b_1 = \frac{n \sum_{i=1}^n V_i \ln z_i - \sum_{i=1}^n \ln z_i \sum_{i=1}^n V_i}{n \sum_{i=1}^n (\ln z_i)^2 - \left(\sum_{i=1}^n \ln z_i \right)^2} \quad (13)$$

$$b_2 = \frac{1}{n} \left(\sum_{i=1}^n V_i - b_1 \sum_{i=1}^n \ln z_i \right) \quad (14)$$

Odgovarajuća vrednost za parametar z_0 je:

$$z_0 = e^{-\frac{b_2}{b_1}}. \quad (15)$$

U vetroenergetici standardni vremenski interval usrednjavanja pri merenju brzine vetra je 10 minuta. Za jednogodišnji period merenja postoji 52 560 podataka za svaku mernu visinu. Ekstrapolacija mernih podataka predloženom metodom se vrši za svaki desetominutni interval posebno.

Procena brzine vetra na nekoj visini z u odgovarajućem desetominutnom intervalu j je:

$$V_j = V_{ij} \frac{\ln \frac{z}{z_{0j}}}{\ln \frac{z_n}{z_{0j}}} = V_{ij} \frac{\ln z - \ln z_{0j}}{\ln z_n - \ln z_{0j}} = V_{ij} \frac{\frac{b_{2j}}{b_{1j}} + \ln z}{\frac{b_{2j}}{b_{1j}} + \ln z_n} \quad (16)$$

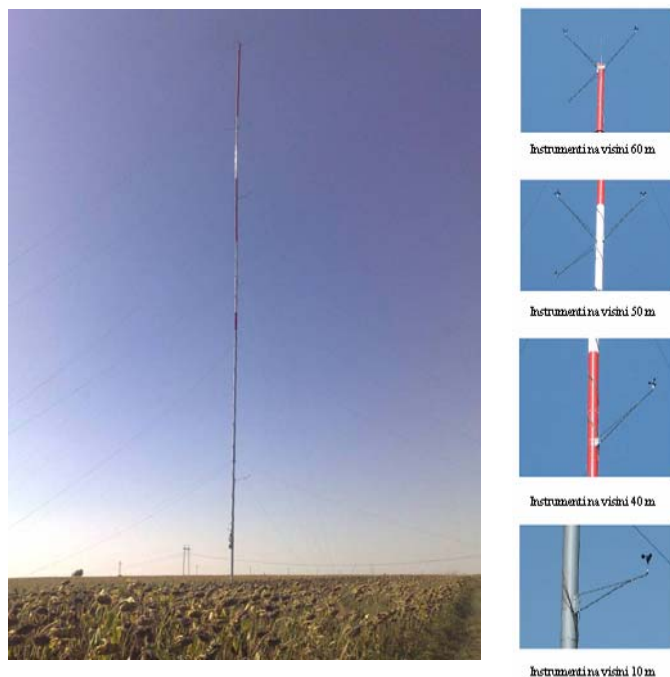
gde je z_n jedna od visina na kojoj je poznata (izmerena) brzina vetra. Obično je to najviša tačka na kojoj su vršena merenja. V_{nj} je odgovarajuća izmerena brzina vetra na toj visini u j -tom desetominutnom intervalu.

III. OPIS TEST SISTEMA

U cilju verifikacije razvijenog modela korišćena su jednogodišnja merenja brzine vetra koja su vršena u blizini sela Bavanište kod Kovina. Na slici 1. je prikazan merni stub na ciljnoj lokaciji. Merni stub je postavljen na lokaciji na otvorenom terenu bez prepreka. Merna oprema je u skladu sa standardom IEC 61400-12-1. Merenje brzine vetra se vrši na visinama 10 m, 40 m, 49 m i 60 m.



Slika 2. Tipična topografija terena u ciljnom regionu



Slika 1. Merni stub na lokaciji Bavaništansko polje

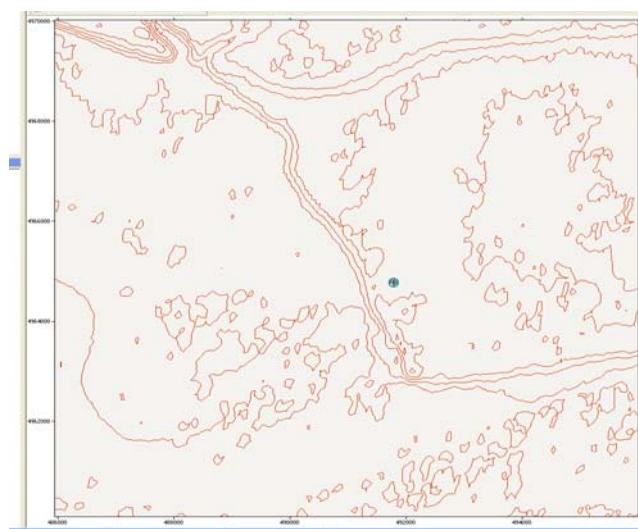
A. Topografija terena

Bavaništansko polje, na kojem se vrše merenja brzine vetra, karakteriše vrlo ravan teren sa nadmorskom visinom od oko 100 m. U širem regionu oko ciljne lokacije u prečniku od 10 km teren je vrlo homogen. Na slici 2. je prikazan snimak šireg regiona oko ciljne lokacije koji se može uzeti kao tipičan.

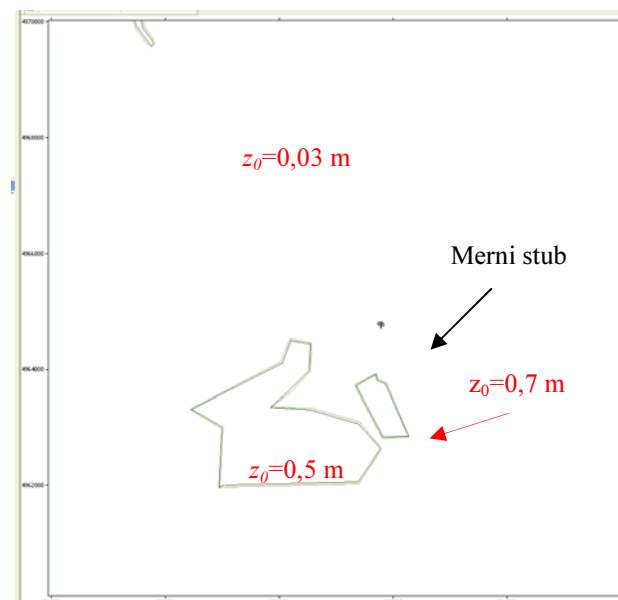
Na slici 3. prikazana topografska mapa šireg ciljnog regiona sa naznačenom pozicijom pilot vetroelektrane. Izohipse na topografskoj mapi su izrađene sa rasterom od 5 m.

B. Hrapavost terena

Ciljnu lokaciju karakteriše poljoprivredno zemljište na kojem se uzgajaju niski i visoki usevi (kukuruz, suncokret, detelina, itd.). Klasa hrapavosti terena u širem regionu je 1. Na slici 4. prikazana je mapa sa naznačenim konturama promene hrapavosti terena u širem ciljnom regionu oko mernog stuba.



Slika 3. Topografska mapa ciljnog regiona (10x10) km sa naznačenom pozicijom mernog stuba

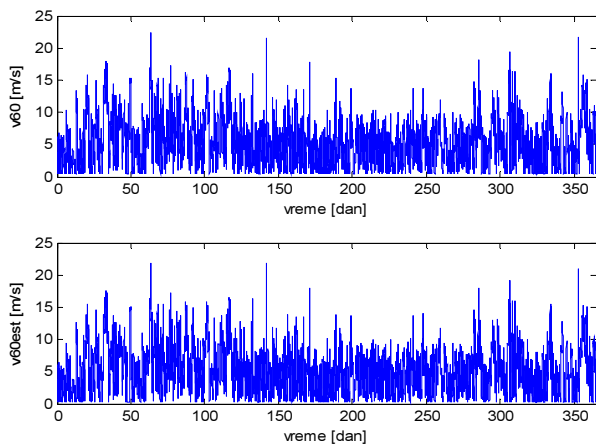


Slika 4. Mapa hrapavosti terena ciljnog regiona (10x10) km sa naznačenom pozicijom mernog stuba

Kao što se može zaključiti sa slike 4. širi region je i u pogledu hrapavosti vrlo homogen. Jugozapadno od ciljne lokacije se nalazi šuma površine oko 1 km² i selo Bavanište. Na pravcu dominantnog vetra (jugo-istočni) ne postoje veće promene hrapavosti terena. U široj okolini mernog stuba ne postoje prepreke.

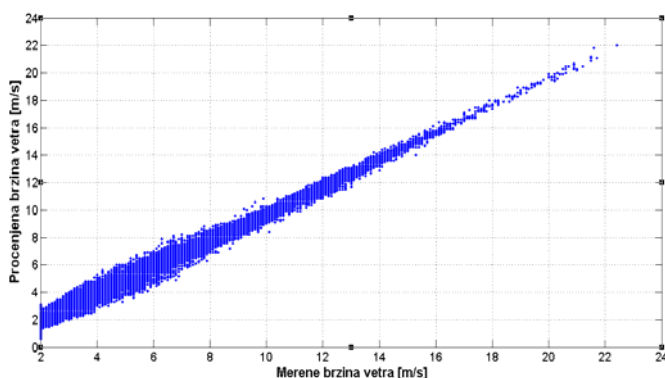
IV. METODOLOGIJA I REZULTATI

U cilju verifikacije razvijenog modela za ekstrapolaciju mernih rezultata o brzini vetra izvršen je proračun srednje godišnje brzine vetra na visini 60 m na osnovu raspoloživih merenja za tu visinu i dobijeni rezultat je upoređen sa procenom srednje godišnje brzine vetra na osnovu merenja na visinama 10 m, 40 m i 49 m. Korišćenjem relacija (13), (14) i (16) formiran je set desetominutnih podataka sa procenjenom brzinom na visini 60 m i proračunata odgovarajuća procenjena srednja godišnja brzina vetra. Na slici 5. prikazani su uporedno merena i procenjena vremenska promena brzine vetra na 60 m.

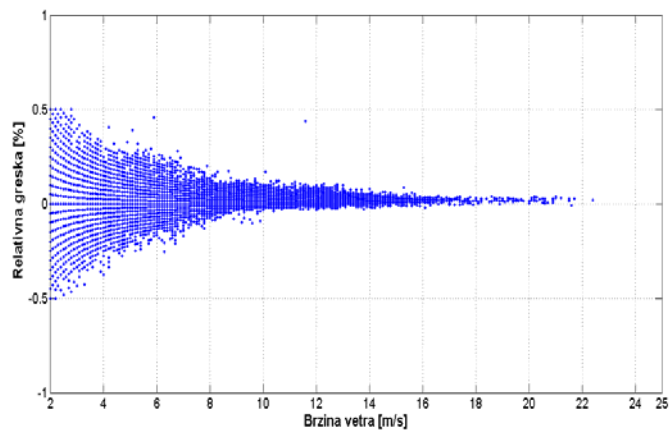


Slika 5. Merena i procenjena vremenska promena brzine vetra na visini 60 m

Na slici 6. prikazan je dijagram izmerene i procenjene vrednosti brzina vetra na visini 60 m. Na slici 7. prikazan je odgovarajući uređeni dijagram relativne greške u funkciji brzine vetra.



Slika 6. Uporedni prikaz desetominutnih merenih i procenjenih brzine vetra na visini 60 m za jednogodišnji period merenja



Slika 7. Greška u proceni brzine vetra na visini 60 m u funkciji brzine vetra za jednogodišnji period merenja

Greška u proceni brzine vetra je, u opsegu brzina vetra koje su od interesa za rad vetroagregata, odnosno manja je od 0,5 %. Pri većim brzinama vetra relativna greška se smanjuje, tako da je za brzine vetra iznad 10 m/s greška manja od 0,2%.

U cilju sagledavanja efekata primene razvijenog modela na grešku u proceni proizvodnje električne energije vetroagregata pretpostavljeno je da je na lokaciji mernog stuba postavljena test vetroturbina Vestas V82, 1650 kW, na stub visine 60 m.

Na osnovu krive snage odabranog vetroagregata, pomoću programa WASP izvršen je proračun godišnje proizvodnje vetroagregata na visini od 60 m, korišćenjem raspoloživih mernih podataka na visini od 60 m. S obzirom da visina stuba vetroturbine odgovara visini na kojoj su vršena merenja, proračunata godišnja proizvodnja vetroagregata je uzeta kao tačna.

Urađene su sledeće analize:

- Korišćenjem mernih podataka sa visine od 60 m, pomoću WASP-a izvršen je proračun (procena) godišnje proizvodnje odabrane vetroturbine na visini stuba 60 m. Proračunata snaga je uzeta kao referentna (tačna).
- Korišćenjem mernih podataka sa visine od 49 m, pomoću WASP-a izvršen je proračun (procena) godišnje proizvodnje odabrane vetroturbine na visini stuba 60 m.
- Korišćenjem relacija (13), (14) i (16) formiran je set desetominutnih podataka sa procenjenom brzinom na visini 60 m. Korišćenjem ovog seta podataka pomoću WASP-a izvršen je proračun (procena) godišnje proizvodnje odabrane vetroturbine na visini stuba 60 m.

Uporedni rezultati proračuna su dati u tabeli 1.

Prethodna analiza pokazuje da se greška u proceni proizvodnje agregata može značajno smanjiti ako se koristi predložena metodologija za predobradu mernih podataka kod primene programa WASP.

TABELA 1. UPOREDNI REZULTATI PRORAČUNA

Ulazni podaci	Procenjena godišnja proizvodnja [MWh]	Greška [%]
Mereni na 60 m	3370	-
Mereni na 49 m	3194	-5,22
Procenjeni na 60 m	3275	-2,81

V. ZAKLJUČAK

Merenje brzine vetra je često na nižim visinama od onih na kojima se planira postavljanje vetroturbina, pa je iz tog razloga neophodno vršiti visinsku ekstrapolaciju brzine vetra. Procena visinskog profila brzine vetra je od velike važnosti za procenu proizvodnje vetroelektrana i analizu mehaničkih naprezanja vetroturbine. Na visinski profil brzine vetra utiče mnogo topoloških i klimatoloških parametara koji su promenljivi u vremenu, kako na sezonskom, tako i na dnevnom nivou (promena vegetacije, dnevne promene stabilnosti atmosfere itd.), pa je i visinski profil brzine vetra promenljiv.

U ovom radu je, na bazi metode minimuma kvadrata, predložen algoritam za ekstrapolaciju mernih rezultata na željenu visinu na osnovu merenja na nižim visinama. Primenom predložene metodologije dobija se sintetički set mernih podataka na željenoj visini koji se dalje može procesirati u nekom od softvera za analizu regionalnog potencijala vetra (na primer u WAsP-u). Algoritam je testiran na osnovu seta jednogodišnjih mernih podataka sa 60 m mernog stuba na lokaciji Bavaništansko polje. Dobijeni rezultati pokazuju da je greška u proceni proizvodnje vetroagregata primenom date metodologije značajno niža od standardne procedure.

VI. LITERATURA

- [1] Alfredo Peña, *Sensing the wind profile*, PhD report, Risø National Laboratory for Sustainable Energy, Technical University of Denmark, Roskilde, Denmark, 2009.
- [2] I. Troen, E. L. Petersen, *European Wind Atlas*, Risø National Laboratory, Roskilde, Denmark, 1989.
- [3] N. G. Mortensen, O. Rathmann, M. Nielsen, *WAsP 9 (course notes)*, Roskilde, Denmark, September 2008.
- [4] Ž. Đurišić, Idejni projekat pilot vetroelektrane na lokaciji Bavaništansko polje, Beograd, 2009.

Abstract-This paper presents a mathematical model for height extrapolation of wind speed data measured at several heights. The model is based on the least square error method. By using the measurement sets of at least three heights, synthetical data sets are obtained at desired height where the wind energy potential is analysed. The basic idea of wind energy potential assessment is to extrapolate the measured data by using the proposed model and then to perform the height extrapolation by using WAsP. The algorithm was tested by using the real measured data in southern Banat and the obtained results show higher accuracy compared to the standard use of WAsP.

Keywords-wind profile, the least square method, WAsP

A model for wind data extrapolation in wind resource assessment study by using WAsP

Primjena kliznog režima sa konstantnom prekidačkom učestanošću u praćenju maksimalne snage solarnih panela

Srđan Lale, Milomir Šoja, Srđan Ajkalo, Ognjen Bjelica, Dejan Jokić

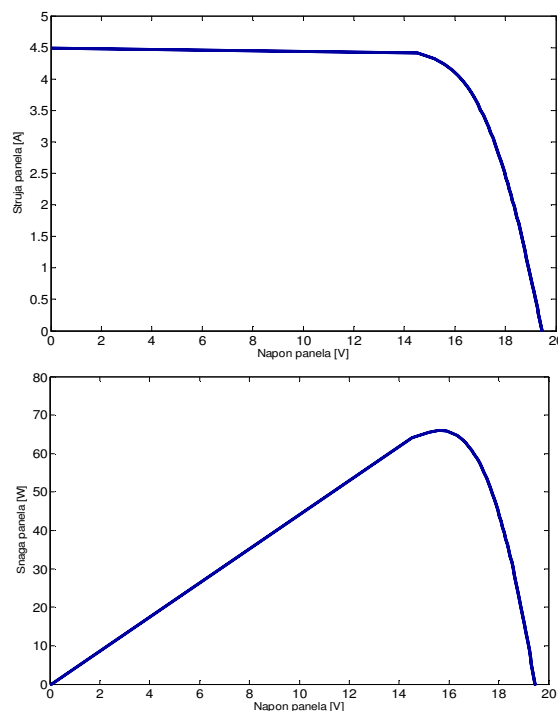
Elektrotehnički fakultet
Univerzitet Istočno Sarajevo
Istočno Sarajevo, Bosna i Hercegovina

Sadržaj – U ovom radu predlaže se postupak praćenja maksimalne snage (MPPT postupak, od *Maximum Power Point Tracking*) solarnih panela koji se zasniva na upotrebi kliznog režima. Posmatra se MPPT sistem koga čine tri dijela: solarni panel (modul), podizač napona (*boost* pretvarač) sa otporničkim potrošačem i MPPT klizni kontroler. Nedostatak klasične primjene upravljanja energetskim pretvaračima pomoću kliznog režima, koji se ogleda u promjenljivoj prekidačkoj učestanosti, može se otkloniti predloženim algoritmom. Performanse predloženog MPPT algoritma u različitim uslovima rada verifikovane su kroz simulacije u Matlab/Simulink-u.

Ključne riječi – solarni panel, *boost* pretvarač, MPPT, klizni režim.

I. UVOD

Obnovljivi izvori električne energije danas imaju sve veću primjenu u svijetu, prije svega zbog nekorišćenja potrošnih sirovina, za razliku od konvencionalnih izvora, zatim zbog nezagađivanja ekološke sredine, ekonomičnosti, itd. Jedan od najpoznatijih oblika obnovljivih izvora su solarni paneli ili moduli. Solarni panel pretvara energiju sunčevog zračenja u električnu energiju. Osim što se koriste u industriji, solarni paneli se često upotrebljavaju u domaćinstvima, većim objektima, itd. Solarni panel se sastoji od više međusobno serijski povezanih solarnih ćelija (oko tridesetak). Jedan panel može da proizvede oko 100W snage, što je nedovoljno za neke veće potrebe. U tom slučaju, više solarnih panela se međusobno povezuje, serijski ili paralelno. Njihov osnovni nedostatak je slaba efikasnost. Svega dvadesetak posto od ukupne sunčeve energije koja pada na površinu panela se pretvori u električnu. Kada se uzmu u obzir nelinearne I-U, odnosno P-U karakteristike solarnih panela, koje su prikazane na slici 1, može se zaključiti da uvijek postoji samo jedna tačka u kojoj je snaga panela najveća. Upravo zbog slabe efikasnosti, veoma važno je da se osigura da položaj radne



Slika 1. Tipična I-U (iznad) i P-U (ispod) karakteristika solarnog panela

tačke bude što bliže maksimumu snage. Taj postupak približavanja, odnosno praćenja tačke maksimalne snage naziva se skraćeno MPPT. Električne osobine panela zavise od intenziteta sunčevog zračenja i spoljašnje temperature, što otežava MPPT postupak, jer se tačka maksimuma snage često mijenja. MPPT algoritam mora biti robustan na brze atmosferske i druge promjene. Do sada su razvijeni razni MPPT algoritmi, kao što su jednostavni „*perturb and observe*“, skraćeno P&O algoritam, metod inkrementalne konduktanse, algoritmi koji koriste struju kratkog spoja i napon praznog hoda solarnog panela, *fuzzy* logički algoritam, i drugi. Svi oni imaju svoje prednosti i nedostatke, ali ključni parametri na osnovu kojih se ocjenjuje njihov rad su brzina

dostizanja maksimuma snage, tačnost i otpornost na poremećaje (promjena zračenja, temperature, opterećenja, itd.). U novije vrijeme pojavio se novi MPPT metod, koji koristi upravljanje u kliznom režimu. U ovom radu je opisan jedan takav algoritam. U dijelu II prikazan je model podizача napona, koji se koristi za „izvlačenje“ maksimalne snage iz solarnog panela i njen prenos do potrošača. U dijelu III dat je opis predloženog MPPT algoritma, sa analizom doseganja kliznog režima i stabilnosti. Rezultati simulacije rada algoritma, odnosno čitavog MPPT sistema, pokazani su u dijelu IV. U posljednjem dijelu dat je zaključak.

II. MODEL BOOST PRETVARAČA

Rijetko se u praksi solarni paneli koriste samostalno. Uglavnom se povezuju sa energetske pretvaračima (DC/DC, DC/AC, itd.). Za MPPT najčešće se upotrebljavaju DC/DC pretvarači, kao što su podizač i spuštač napona, koji se postavljaju između panela i potrošača. Na slici 2 prikazana je električna šema *boost* pretvarača, sa otporničkim opterećenjem R_o . Ulogu ulaznog napona U_m sada ima napon solarnog panela U_{PV} , dok su struja panela I_{PV} i zavojnice i_L jednake. Izlazni napon podizača U_o predstavlja napon na kondenzatoru C . U zavisnosti od stanja prekidača P postoje dva režima rada. Kada je prekidač P uključen, tj. upravljački (prekidački) signal u jednak jedinici ($u = 1$), mogu se napisati sljedeće jednakosti:

$$U_{PV} = L \frac{di_L}{dt}; \quad (1a)$$

$$R_o C \frac{dU_o}{dt} + U_o = 0. \quad (1b)$$

Kada je P isključen ($u = 0$), važe sljedeće jednakosti:

$$U_{PV} = L \frac{di_L}{dt} + U_o; \quad (2a)$$

$$R_o C \frac{dU_o}{dt} + U_o = R_o i_L. \quad (2b)$$

J-ne (1) i (2) mogu se napisati u obliku modela u prostoru stanja, na sljedeći način:

$u = 1$:

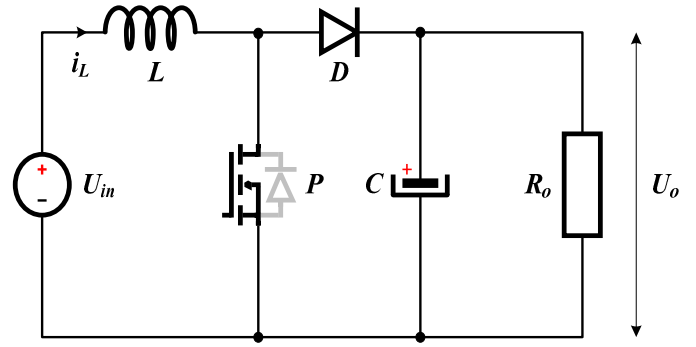
$$\dot{x}_1 = \frac{U_{PV}}{L}; \quad (3a)$$

$$\dot{x}_2 = -\frac{x_2}{R_o C}; \quad (3b)$$

$u = 0$:

$$\dot{x}_1 = -\frac{x_2}{L} + \frac{U_{PV}}{L}; \quad (4a)$$

$$\dot{x}_2 = \frac{x_1}{C} - \frac{x_2}{R_o C}. \quad (4b)$$



Slika 2. *Boost* pretvarač

$$x = [x_1 \ x_2]^T = [i_L \ U_o]^T.$$

Svodeći j-ne (3) i (4) na poznati oblik: $\dot{x} = Ax + Bv$, matrice stanja A_1 i A_2 za oba slučaja, respektivno, iznose:

$$A_1 = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{R_o C} \end{bmatrix}, \quad A_2 = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{R_o C} \end{bmatrix},$$

a matrice B_1 i B_2 su jednake i iznose $B_1 = B_2 = \begin{bmatrix} \frac{1}{L} & 0 \end{bmatrix}^T$. $v = U_{PV}$. Upravljački signal u je PWM signal, prekidačke učestanosti $f_s = \frac{1}{T_s}$, gdje je T_s prekidački period. Ovaj signal se direktno dovodi na prekidač P . Odnos vremena za koje je P uključen (t_{ON}) i perioda T_s naziva se faktor ispunе D . Dakle, $D = \frac{t_{ON}}{T_s}$. Očigledno je da važi $0 \leq D \leq 1$. Izlazni napon podizača U_o upravo zavisi od vrijednosti faktora ispunе:

$$U_o = \frac{U_{PV}}{1-D}, \quad (5)$$

iz čega slijedi da je izlazni napon podizača veći od ulaznog napona. Koristeći tehniku tzv. usrednjavanja modela u prostoru stanja, dolazi se do sljedećeg modela:

$$\dot{x} = \begin{bmatrix} 0 & -\frac{(1-D)}{L} \\ \frac{(1-D)}{C} & -\frac{1}{R_o C} \end{bmatrix} x + \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix} U_{PV}. \quad (6)$$

Matrica stanja $A = \begin{bmatrix} 0 & -\frac{(1-D)}{L} \\ \frac{(1-D)}{C} & -\frac{1}{R_o C} \end{bmatrix}$ i matrica $B = \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix}$ su dobijene kao $A = A_1 D + A_2 (1-D)$, odnosno $B = B_1 D + B_2 (1-D)$. Model (6) omogućava da se umjesto prekidačkog signala u određuje adekvatan faktor ispunе D . Na osnovu (6) očigledno je da je model *boost* pretvarača nelinearan, tako da se može napisati u opštem obliku:

$$\dot{x} = f(x) + g(x)D. \quad (7)$$

J-na (6) će poslužiti za konstrukciju upravljačkog MPPT algoritma.

III. MPPT ALGORITAM S KLIZNIM REŽIMOM

U tački maksimuma snage solarnog panela važi da je $\frac{\partial P_{PV}}{\partial U_{PV}} = 0$, gdje je P_{PV} snaga panela. Ako se za kliznu površ odabere funkcija $S = \frac{\partial P_{PV}}{\partial U_{PV}}$, klizni režim se uspostavlja ako važi relacija

$$S = \frac{\partial P_{PV}}{\partial U_{PV}} = 0, \quad (8)$$

što istovremeno znači da je radna tačka u položaju maksimalne snage. Jedan od načina da se zadovolji j-na (8) je da prekidački signal u ima sljedeći oblik:

$$u = \frac{1}{2}[1 - \text{sign}(S)]. \quad (9)$$

Ukoliko se radna tačka nalazi lijevo od maksimuma snage (slika 1), tada je $S > 0$, pa prekidački signal treba da ima vrijednost 0, jer tada struja panela, odnosno zavojnice, opada, što radnu tačku pomijera udesno, ka maksimumu. Ako se radna tačka nađe desno od maksimuma snage, tada je $S < 0$, pa prekidački signal treba biti jednak 1, jer tada struja panela raste, pri čemu se radna tačka pomijera ulijevo, opet prema maksimumu. Na ovaj način, zahvaljujući pojavi kvazikliznog kretanja („cik-cak“), klizna funkcija S stalno mijenja znak, što za rezultat ima nastanak PWM signala u . Međutim, osnovna mana ovakvog upravljanja je u tome što prekidački signal nema konstantnu učestanost, već je ona promjenljiva i velika, što može predstavljati problem i sa stanovišta rada energetskog pretvarača, ali i mogućnosti realizacije algoritma na nekom konkretnom harveru. U ovom radu predlaže se novi algoritam, koji se zasniva na kliznom režimu, ali daje konstantnu prekidačku učestanost, zadržavajući sve prednosti kliznog upravljanja, kao što su brzina rada, robustnost, itd.

Ovaj algoritam zapravo kombinuje klizni režim i širinsko-impulsnu (PWM) modulaciju. Koristi se metod tzv. ekvivalentnog upravljanja, gdje klizni kontroler kao rezultat daje kontinualnu vrijednost – ekvivalentno upravljanje. U ovom konkretnom slučaju, to ekvivalentno upravljanje predstavlja optimalni faktor ispuhe D_{eq} . Izračunati faktor ispuhe se dovodi na generator impulsa konstantnog perioda, nakon čega nastaje PWM signal koji upravlja prekidačem podizača. U narednim koracima biće pokazana procedura za određivanje upravljanja.

U tački maksimuma snage solarnog panela važi:

$$\frac{\partial P_{PV}}{\partial I_{PV}} = \frac{\partial (R_{PV} I_{PV}^2)}{\partial I_{PV}} = I_{PV}(2R_{PV} + I_{PV} \frac{\partial R_{PV}}{\partial I_{PV}}) = 0. \quad (10)$$

$R_{PV} = \frac{U_{PV}}{I_{PV}}$, predstavlja ulaznu otpornost koju „vidi“ solarni panel. Rješenje j-ne (10) je: $2R_{PV} + I_{PV} \frac{\partial R_{PV}}{\partial I_{PV}} = 0$.

Neka je klizna funkcija definisana sa:

$$S = 2R_{PV} + I_{PV} \frac{\partial R_{PV}}{\partial I_{PV}}. \quad (11)$$

Izjednačavajući kliznu funkciju S sa nulom, istovremeno se uspostavlja klizni režim i održava radna tačka u maksimumu snage. Da bi se to postiglo, mora se odrediti odgovarajući faktor ispuhe D . Ekvivalentno upravljanje D_{eq} se određuje na osnovu sljedećeg uslova:

$$\dot{S} = \left[\frac{\partial S}{\partial x} \right]^T \dot{x} = \left[\frac{\partial S}{\partial x} \right]^T (f(x) + g(x)D_{eq}) = 0. \quad (12)$$

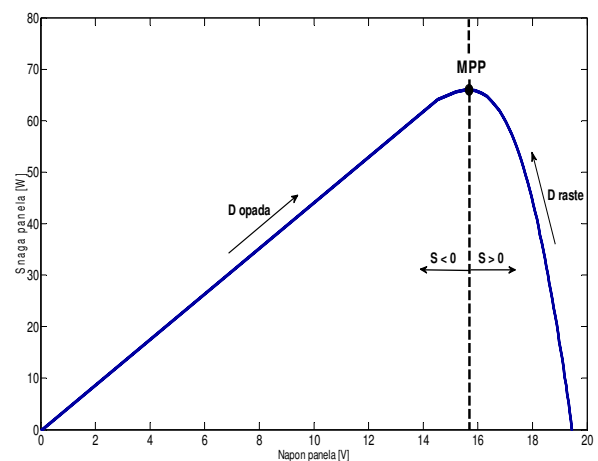
$$\dot{S} = \left(3 \frac{\partial R_{PV}}{\partial I_{PV}} + I_{PV} \frac{\partial^2 R_{PV}}{\partial I_{PV}^2} \right) \left(\frac{U_{PV}}{L} - \frac{U_0}{L} + \frac{D_{eq} U_0}{L} \right) = 0, \quad (13)$$

odakle slijedi da je

$$D_{eq} = 1 - \frac{U_{PV}}{U_0}. \quad (14)$$

Rješenje (14) zadovoljava uslov (12). Međutim, ovo upravljanje je nedovoljno, jer treba još obezbjediti i praćenje maksimuma snage panela. Sa slike 3 može se zaključiti da faktor ispuhe treba da ima sljedeći oblik:

$$D_{novo} = \begin{cases} D_{staro} - \Delta D, & S < 0 \\ D_{staro} + \Delta D, & S > 0 \end{cases} \quad (15)$$



Slika 3. Uticaj faktora ispuhe D na položaj radne tačke solarnog panela

Upravo promjena ΔD omogućava MPPT. Odabirajući da je $\Delta D = kS$, gdje je k pozitivna konstanta, a imajući u vidu da je $0 \leq D \leq 1$, rezultujuće upravljanje ima oblik:

$$D = \begin{cases} 1, & \text{za } D_{eq} + kS \geq 1 \\ D_{eq} + kS, & \text{za } 0 < D_{eq} + kS < 1 \\ 0, & \text{za } D_{eq} + kS \leq 0 \end{cases} \quad (16)$$

Konstantu k treba odabrati što je moguće manjom, da upravljački signal D ne bi stalno odlazio u zasićenje ($D=0$ ili $D=1$).

IV. REZULTATI SIMULACIJA

U programu Matlab/Simulink napravljen je model solarnog panela, koji uzima u obzir uticaj temperature i zračenja. Slika 1 je nastala na osnovu tog modela. Takođe, napravljen je model *boost* pretvarača sa slike 2, koji je povezan na izlaz panela. Parametri pretvarača dati su u tabeli I. Prekidačka frekvencija je podešena na 20kHz.

TABELA I. Parametri *boost* pretvarača

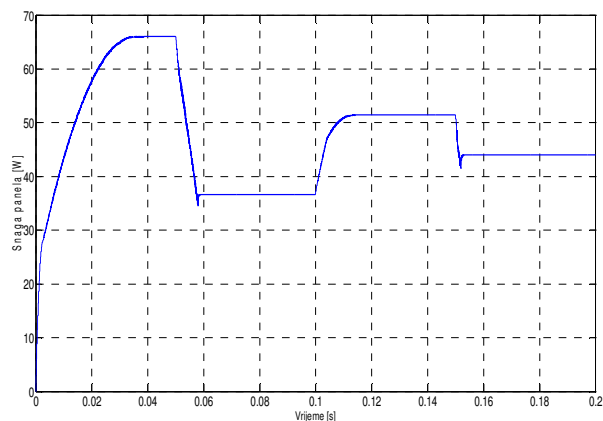
Parametri	Vrijednost
C	100 μ F
R_O	30 Ω
L	20mH

U simulaciji se razmatra slučaj naglih promjena intenziteta sunčevog zračenja, dok temperaturne promjene nisu posmatrane. Svaki 0.05s se skokovito promijeni zračenje, sljedećim redoslijedom: 900W/m², 500W/m², 700W/m² i 600W/m². U tabeli II date su približne vrijednosti maksimalnih snaga upotrebljenog modela solarnog panela, za gore navedene vrijednosti zračenja. Na slici 4 prikazana je vremenska zavisnost snage solarnog panela, za pomenuti slučaj. Očigledno je da upotrebljeni MPPT algoritam odlično prati skokovite promjene zračenja. Konstanta k iznosi 0.01. Vrijeme potrebno da snaga dostigne maksimum iznosi oko 30ms. Odabirom većeg k postiže se veća brzina algoritma, međutim, mora se voditi računa da faktor ispuše ne odlazi u zasićenje. Na slici 5 prikazan je faktor ispuše D .

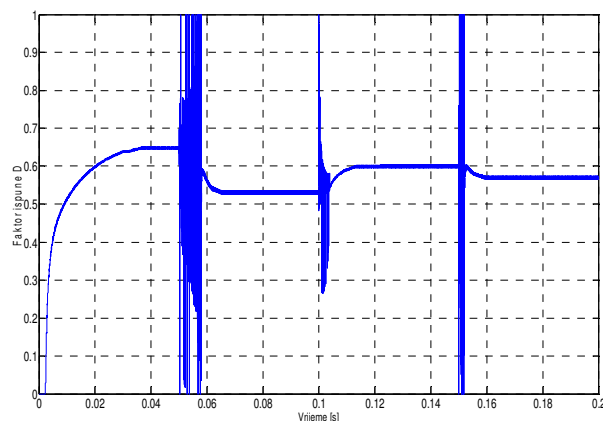
TABELA II. Maksimalne snage solarnog panela

Intenzitet sunčevog zračenja [W/m ²]	Maksimalna snaga [W]
900	66
700	51
600	44
500	36

Vidi se da faktor ispuše ima diskontinualni karakter samo u kratkim vremenskim intervalima nakon skokovitih promjena

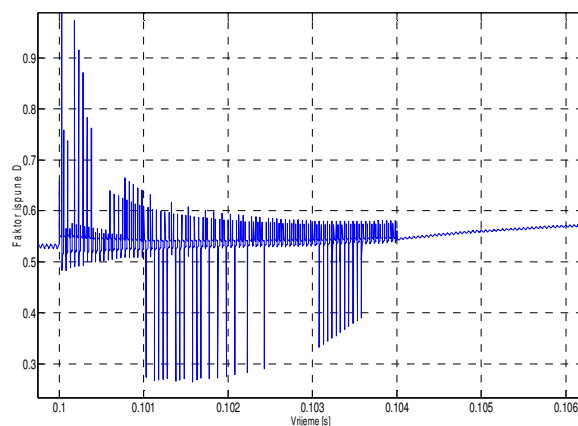


Slika 4. Snaga panela za različite vrijednosti intenziteta sunčevog zračenja



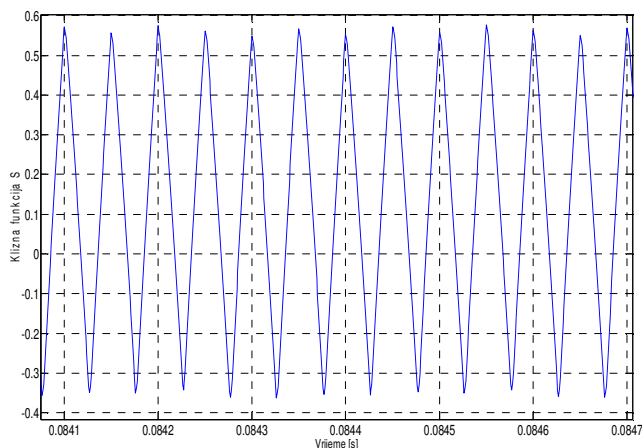
Slika 5. Faktor ispuše D

zračenja, ali u stacionarnom stanju njegove promjene iznose svega oko 0.01 oko ravnotežnog položaja. Prilikom skokovite promjene zračenja, može se desiti da vrijednost klizne funkcije S naglo poraste ili opadne, što predstavlja razlog čestog odlaska faktora ispuše u zasićenje (0 ili 1). Na slici 6 prikazan je talasni oblik faktora ispuše u trenutku 0.1s, tokom prelaznog procesa.



Slika 6. Faktor ispuše D tokom prelaznog procesa u trenutku 0.1s

Na slici 7 dat je talasni oblik klizne funkcije S , pri zračenju od 500W/m^2 , gdje se može vidjeti postojanje kliznog režima ($S = 0$).



Slika 7. Klizna funkcija S

V. ZAKLJUČAK

U ovom radu opisana je jedna tipična struktura koja se sastoji od solarnog panela, podizača napona i potrošača. Predložen je MPPT algoritam, zasnovan na primjeni kliznog režima. Njegova prednost je u tome što daje konstantnu prekidačku učestanost i obezbjeđuje odlične dinamičke karakteristike sistema. Praktična realizacija ovog algoritma, sa stanovišta harverskih ograničenja, cijene, itd., je lako izvodljiva. Jedan od načina je da se koristi *Real Time Windows Target* okruženje Matlab-a, uz upotrebu I/O akvizicione kartice. Zbog svoje jednostavnosti, moguća je realizacija algoritma na mikrokontrolerima i drugim sličnim kolima. Prije toga, potrebno bi bilo izvršiti diskretizaciju čitavog upravljačkog sistema. Nedostatak ovog MPPT algoritma je u

tome što se zahtijeva mjerenje tri veličine: napon i struja panela, kao i napon na izlazu podizača. Međutim, veliki broj ostalih metoda takođe iziskuje mjerenje dvije ili više veličina.

LITERATURA

- [1] Milomir Šoja, Slobodan Lubura, Srđan Lale, „MPPT metode za solarne panele“, INFOTEH-JAHORINA, Vol. 9, Ref. E-V-20, p. 787-791, Mart 2010.
- [2] M. I. Arteaga Orozco, J. R. Vazquez, P. Salmeron, S. P. Litran, F. J. Alcantara, „Maximum power point tracker of a photovoltaic system using sliding mode control“, International Conference on Renewable Energies and Power Quality, 2009.
- [3] Chen-Chi Chu, Chieh-Li Chen, „Robust maximum power point tracking method for photovoltaic cells: A sliding mode control approach“, Solar Energy, 2009.
- [4] Siew-Chong Tan, Y. M. Lai, Chi K. Tse, Chi Kin Wu, „A pulsewidth modulation based integral sliding mode current controller for boost converters“, IEEE Power Electronics Specialists Conference, 2006.

Abstract – This paper proposes MPPT (Maximum Power Point Tracking) of solar modules based on sliding mode control. The analyzed MPPT system consists of: solar module, boost converter with resistive load and MPPT sliding controller. The drawback of conventional sliding mode control of power converter – variable switching frequency, can be removed with suggested algorithm. The algorithm performances in different conditions are verified through simulation in Matlab/Simulink.

Key words – solar module, boost converter, MPPT, sliding mode control.

Maximum power point tracking of solar photovoltaic modules using sliding mode control with constant switching frequency

Активни и пасивни филтери инверзне компоненте напона за примјену у заштитним релејима

Бојан Кнежевић

Универзитет у Бањој Луци, Машински факултет
РС, БиХ
bojan.knez@blic.net

Миленко Ђурић

Универзитет у Београду, Електротехнички факултет
Република Србија
mdjuric@etf.rs

Садржај—У овом раду су представљене двије врсте филтера инверзне компоненте напона који су намјењени да се користе у статичким заштитним релејима. Примјену налазе у заштитама од асиметричног напајања, прекида једне фазе и супротног смјера обртања трофазних мотора.

Кључне ријечи—филтери; релејна заштита; инверзна компонента

I. УВОД

Асиметрија напона код асинхроних мотора проузрокује 6 до 10 пута већу асиметрију струја услед које долази до прекомјерног загријавања мотора [1]. Ако мотор ради са само 10°C већом температуром од номиналне, његов животни вијек биће скраћен за 50% [2]. Са асиметријом напона слаби и ефикасност мотора јер због повећања струје кроз намотаје повећавају се и губици па се све већи дио енергије претвара у топлоту, а не у користан рад [3]. Да би се мотори заштитили од прегорјевања *NEMA* у својој спецификацији *MG1 14:35* наводи да се моторима мора смањити оптерећење када се детектује напонска асиметрија вриједности изнад 1%, а искључење мотора се предлаже за вриједности изнад 5%.

Потпуни прекид једног фазног напона представља гранични случај асиметрије, који је најопаснији за мотор, а истовремено је и најтежи за детекцију. Од благовременог откривања квара зависи исправност рада погона и појава хаварије. Комерцијалне релејне заштите врло често имају лажно реаговање или потпуно одсуство реакције у случају квара.

С обзиром да је задатак детектовати асиметрију у напону напајања, инверзна компонента напона може да послужи за квалитативну и квантитативну детекцију квара. Инверзна компонента напона може да се издвоји из напонског сигнала филтером инверзне компоненте напона. Постоји више реализација филтера. Већи број различитих шема представљено је у [4,5]. Оно што им је заједничко јесте да користе специфичне трансформаторе или калемове. За њих је потребна посебна изградња јер се не могу купити као стандардне компоненте.

У овом раду представљена су два једноставна и јефтина типа филтера који се реализују стандардним компонентама. У другој глави је описан пасивни, а у трећој активни филтер инверзне компоненте напона.

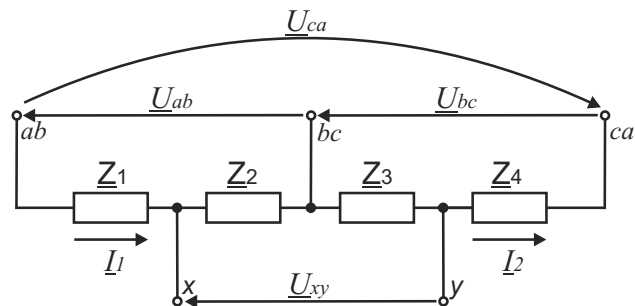
II. ПАСИВНИ ФИЛТЕР ИНВЕРЗНЕ КОМПОНЕНТЕ НАПОНА

A. Општи случај

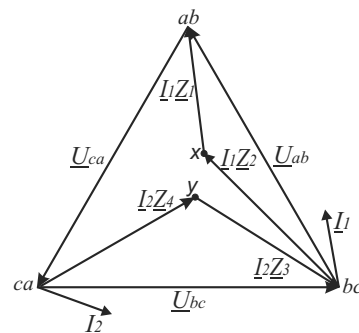
Ради уопштавања, за анализу пасивног филтера инверзне компоненте напона, све компоненте се посматрају као импедансе, Сл. 1 [6,7].

Филтру се као улази доводе међуфазни напони. Између излазних тачака филтера (тачке x и y) прикључује се потрошач са великом унутрашњом импедансом. Ако фазни напони имају директан фазни редослијед (\underline{U}_a , \underline{U}_b , \underline{U}_c) и међуфазни напони \underline{U}_{ab} , \underline{U}_{bc} и \underline{U}_{ca} имаће такође директан фазни редослијед. Фазорски дијаграм напона и струја филтра инверзне компоненте напона приказан је на Сл. 2.

Претпостављено је да импедансе од \underline{Z}_1 до \underline{Z}_4 имају такве параметре да струје I_1 и I_2 фазно заостају за својим напонима \underline{U}_{ab} и \underline{U}_{bc} . У општем случају потенцијали тачака x и y биће различити па ће постојати напон \underline{U}_{xy} који је

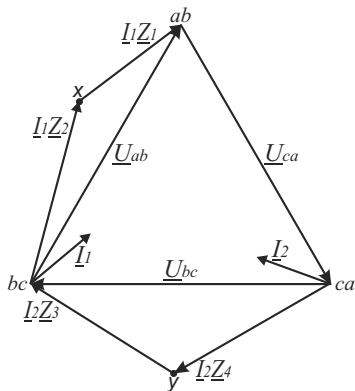


Слика 1. Пасивни филтер инверзне компоненте напона у општем случају.



Слика 2. Векторски дијаграм напона и струја при директном фазном редослиједу улазних напона филтера.

различит од нуле. Фазорски дијаграм напона и струја истог филтера али при инверзном фазном редослиједу улазних напона приказан је на Сл. 3.



Слика 3. Векторски дијаграм напона и струја при инверзном фазном редослиједу улазних напона филтера.

Због промјене фазног редослиједа улазних напона мијења се положај фазора напона, услед чега се мијења и положај тачака x и y . У овом случају напон \underline{U}_{xy} има другачију вриједност у односу на случај када улазни напони имају директан фазни редослијед. Ако желимо да приказани филтер буде филтер инверзне компоненте напона, импедансе од Z_1 до Z_4 треба димензионисати тако да при директном фазном редослиједу улазних напона напон \underline{U}_{xy} буде једнак нули, односно да тачке x и y имају исти положај (Сл. 4).

Са Сл. 4 одређују се разлике аргумената импеданси:

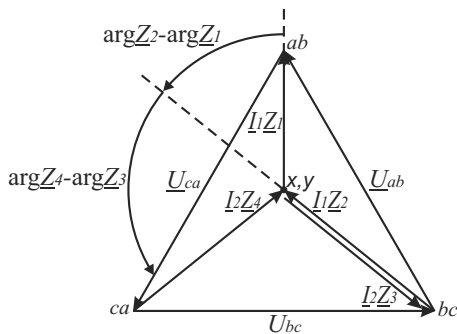
$$\arg Z_2 - \arg Z_1, \quad (1)$$

$$\arg Z_4 - \arg Z_3. \quad (2)$$

и види се да вриједи и односи:

$$\frac{|Z_1|}{|Z_2|} = \frac{ab \ xy}{bc \ xy}, \quad (3)$$

$$\frac{|Z_3|}{|Z_4|} = \frac{bc \ xy}{ca \ xy}. \quad (4)$$



Слика 4. Односи напона филтера инверзне компоненте напона при директном фазном редослиједу улазних напона.

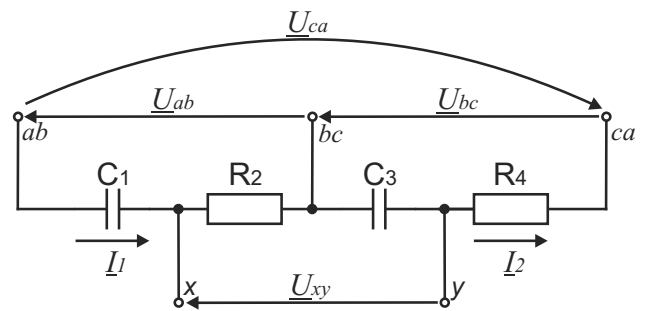
На основу добијених израза од (1) до (4) могу се одредити вриједности импеданси филтера инверзне компоненте напона са Сл. 1 при којима се за директан фазни редослијед напона на улазу добија напон једнак нули на излазу.

В. Филтер са кондензаторима и отпорницима

Усвојимо да су импедансе Z_1 и Z_3 чисто капацитивне, а импедансе Z_2 и Z_4 отпорности (Сл. 5.). У овом случају разлике аргумената импеданси су једнаке:

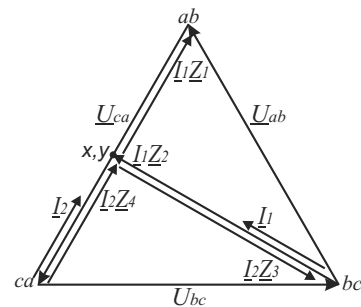
$$\arg Z_2 - \arg Z_1 = 0 - (-90^\circ) = 90^\circ, \quad (5)$$

$$\arg Z_4 - \arg Z_3 = 0 - (-90^\circ) = 90^\circ. \quad (6)$$



Слика 5. Пасивни филтер инверзне компоненте напона.

Да би резултати добијени у (5) и (6) били задовољени на фазорском дијаграму тачке x и y треба да буду постављене на средину дужи $ab \ ca$ као што је и приказано на Сл. 6.



Слика 6. Векторски дијаграм напона и струја филтера са Сл. 5.

Из векторског дијаграма (Сл. 6) одређују се односи дужи датих у (3) и (4) који износе $1/\sqrt{3}$ и $\sqrt{3}$, респективно. Уврштавајући вриједности у (3) и (4) добија се:

$$\frac{|Z_1|}{|Z_2|} = \frac{1}{\omega C_1 R_2} = \frac{1}{\sqrt{3}} \Rightarrow \frac{1}{\omega C_1} = \frac{R_2}{\sqrt{3}}, \quad (7)$$

$$\frac{|\underline{Z}_3|}{|\underline{Z}_4|} = \frac{1}{\frac{\omega C_3}{R_4}} = \sqrt{3} \Rightarrow \frac{1}{\omega C_3} = R_4 \sqrt{3}. \quad (8)$$

Струје I_1 и I_2 одређују се из израза:

$$I_1 = \frac{U_{ab}}{|\underline{Z}_1 + \underline{Z}_2|}, \quad (9)$$

$$I_2 = \frac{U_{bc}}{|\underline{Z}_3 + \underline{Z}_4|}, \quad (10)$$

а вриједности у називницима, уз уважавање (7) и (8), су:

$$|\underline{Z}_1 + \underline{Z}_2| = \sqrt{\left(\frac{1}{\omega C_1}\right)^2 + R_2^2} = \frac{2R_2}{\sqrt{3}}, \quad (11)$$

$$|\underline{Z}_3 + \underline{Z}_4| = \sqrt{\left(\frac{1}{\omega C_3}\right)^2 + R_4^2} = 2R_4. \quad (12)$$

Струје I_1 и I_2 и напони U_{ab} и U_{bc} имају исте ефективне вриједности, односно модуле, међусобно. Уврштавајући резултате из (11) и (12) у (9) и (10), респективно, добијају се изрази за израчунавање вриједности отпорности:

$$R_4 = \frac{U_{ab}}{2I_1}, \quad (13)$$

$$R_2 = \sqrt{3}R_4. \quad (14)$$

На основу (7) и (8) могу се написати и изрази за капацитивности кондензатора:

$$C_1 = \frac{1}{\omega R_4}, \quad (15)$$

$$C_3 = \frac{C_1}{\sqrt{3}}. \quad (16)$$

На основу израза од (13) до (16) може се прорачунати филтер инверзне компоненте напона са Сл. 5. Улазни подаци за прорачун су номинална ефективна вриједност међуфазног напона и ефективна вриједност струје кроз филтер коју сами дефинишемо. Струја филтера је у ствари струја потрошње и потребно је да буде што мања. Мања струја ће на отпорницима развијати мању снагу дисипације па ће се користити и отпорници мањих снага који су јефтинији. Проблем се јавља код кондензатора. Напони на кондензаторима достижу вриједности номиналних. Због тога се морају уграђивати кондензатори са диелектрицима који су предвиђени за велика напонска напрезања. Такви

кондензатори су значајно скупљи од кондензатора истих капацитивности али предвиђени за мање напоне. Поред тога имају и веће димензије па заузимају више простора у кућишту релеја.

С. Филтер са ослабљивачем

Да би се смањило напон на кондензаторима, испред филтера се може уградити ослабљивач са отпорницима. На Сл. 7 приказан је пасивни филтер инверзне компоненте напона са ослабљивачем на улазу.

Отпорност отпорника ослабљивача рачуна се формулама:

$$R_1 = \frac{U_{ab} - U'_{ab}}{I_u}, \quad (17)$$

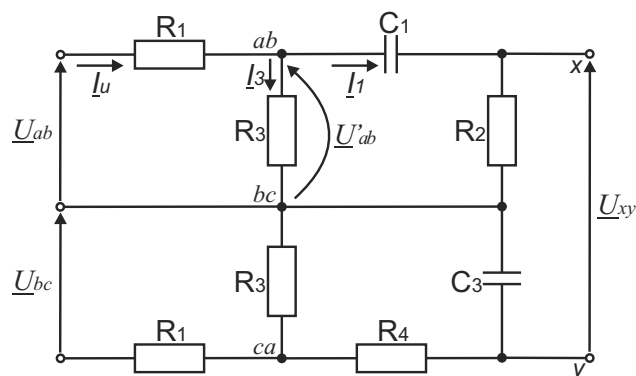
$$R_3 = \frac{U'_{ab}}{I_3}. \quad (18)$$

Вриједности струја и напона на излазу ослабљивача одређују се произвољно у складу са жељеном потрошњом укупног филтера са ослабљивачем, струјом филтера $I_1 = I_u - I_3$ и напонам који желимо да добијемо на улазу у филтер, U'_{ab} .

Прорачун филтера извршен је под условом да је струја на излазу једнака нули, односно да наредно коло које се прикључује мора да има велику улазну импедансу. Рад филтера (Сл. 7) провјерен је мјерењима на реализованом склопу прикључивањем на више различитих мотора. Коришћене су компоненте следећих вриједности: $R_1=390\text{k}\Omega$, $R_2=329\text{k}\Omega$, $R_3=5,1\text{k}\Omega$, $R_4=190\text{k}\Omega$, $C_1=16,5\text{nF}$ и $C_3=10\text{nF}$.

Резултати мјерења су дати у Таб. I. Мјерења су извршена на девет нових мотора чије су номиналне снаге у опсегу од 0,37kW до 5,5kW. Процедура при мјерењу била је таква да се један фазни напон искључи, а напон на излазу филтера се мјери волтметром. Улази филтера су били везани на прикључке мотора.

Несавршеност филтера је неминовна јер компоненте које чине филтер и ослабљивач имају своју толеранцију па



Слика 7. Пасивни филтер инверзне компоненте напона са ослабљивачем на улазу.

њихове вриједности одступају од израчунатих. Напони мреже и у нормалним радним стањима нису потпуно симетрични па постоји мали удио инверзне компоненте у напону напајања. Због поменутих разлога на излазу филтера у случају и када нема квара напон није нула. Излазни напон филтера последице настанка квара има различите вриједности које су директно у вези са вриједношћу напона који се индукује на прикључку мотора који је остао без напајања из мреже. На основу резултата представљених у Таб. I може се закључити да сваки измјерени напон на излазу филтера који је већи од 400mV јасно указује да је дошло до прекида напајања мотора на једном фазном напону.

ТАБЕЛА I. РЕЗУЛТАТИ МЈЕРЕЊА НАПОНА НА ИЗЛАЗУ ПАСИВНОГ ФИЛТЕРА ИНВЕРЗНЕ КОМПОНЕНТЕ НАПОНА СА ОСЛАБЉИВАЧЕМ ПРИ ПРЕКИДУ ЈЕДНОГ ФАЗНОГ НАПОНА [6]

Тип мотора	Супера	Фазни напон прије квара	Излазни напон филтера прије квара	Фазни индуковани напон последице квара	Излазни напон филтера последице квара
		[V]	[mV]	[V]	[mV]
1ZK 71 A-2	Y	237.6	381	169	1092
1ZK 71 B-4	Y	239	379	148.4	1225
1ZK 71 B-2	Y	239	385	176.7	894
1ZK 80 A-4	Y	238.9	382	156.6	1021
1ZK 80 B-4	Y	238.5	370	149.6	1095
1ZK 80 B-2	Y	239.5	382	183.2	720
1ZK 90 S-4	Y	239	356	173	936
1ZK 90 L-4	Y	238.5	368	176.7	849
1ZK 132 S-4	D	240.5	356	186.1	613
	Y	240	348	193.7	515

III. АКТИВНИ ФИЛТЕР ИНВЕРЗНЕ КОМПОНЕНТЕ НАПОНА

Недостатак пасивног филтера је у томе што ниво напона на његовом излазу зависи само од напона на улазу и параметара филтера. Напон може бити само ослабљен без могућности да се прилагоди по амплитуди следећем степену. У овом поглављу биће описан и анализиран активни филтер инверзне компоненте. Због своје приступачности, ниске цијене и могућности да се у потпуности употребије уз мали број додатних компоненти, као активни елементи коришћени су операциони појачавачи.

При конструкцији филтера полази се од дефиниције инверзног напона која је дата формулом:

$$\underline{U}_2 = \frac{1}{3}(\underline{U}_a + \underline{a}^2 \underline{U}_b + \underline{a} \underline{U}_c), \quad (19)$$

гдје су \underline{U}_a , \underline{U}_b и \underline{U}_c комплексне вриједности фазних напона. Производ фазног напона и оператора трофазног система, \underline{a} , даје напон исте амплитуде али фазно помјерен за 120° . У наредном тексту дат је опис реализације аналогног електронског кола које ће вршити „израчунавање“ инверзне компоненте напона по изразу (19).

Први задатак је конструисати електронско коло које може да врши фазно помјерање синусног напона. На Сл. 8 приказан је активни НФ филтер реализован са операционим појачавачем. Ако се на његов улаз доведе напон синусног облика излазни напон ће бити такође синусни али фазно помјерен у односу на улазни [8]. За који угао ће бити извршено помјерање дефинише се отпорностима отпорника R_u и R и капацитивношћу кондензатора C . Да би се одредиле њихове вриједности полази се од основне анализе приказаног кола.

Израз за појачање кола са Сл. 8 може писати у облику:

$$\frac{\underline{U}_i}{\underline{U}_u} = -\frac{\underline{Z}}{R_u} \Rightarrow \underline{U}_i = -\frac{R}{R_u + j\omega C R R_u} \underline{U}_u, \quad (20)$$

гдје је \underline{Z} импеданса коју чине отпорност R и капацитивност C везани у паралелу.

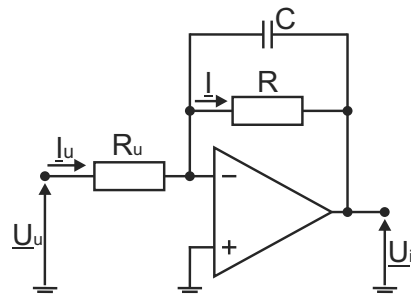
НФ филтер треба да уноси фазни помјерај од 120° , односно да реализује множење улазног напона са комплексним оператором \underline{a} . Веза између излазног и улазног напона треба да буде:

$$\underline{U}_i = \underline{a} \frac{1}{k} \underline{U}_u = \frac{1}{k} \left(-\frac{1}{2} + j \frac{\sqrt{3}}{2} \right) \underline{U}_u, \quad (21)$$

гдје је k вриједност за коју се жели ослабити улазни сигнал. Мрежни напон сувише је високе вриједности да би се доводио директно, без слабљења, на улаз операционог појачавача. Смањење напона може да се изведе претходно уградњом атенуатора али најједноставније и најјефтиније рјешење је да сам појачавач слаби сигнал. У том случају НФ филтер има двије функције без повећања броја компоненти.

У (20) треба раздвојити реални и имагинарни дио и изједначити га са (21) па се тако добија:

$$-\frac{R}{R_u + (\omega C R)^2 R_u} = -\frac{1}{2k}, \quad (22)$$



Слика 8. Активни НФ филтер са операционим појачавачем.

$$\frac{\omega CR^2}{R_u + (\omega CR)^2 R_u} = \frac{\sqrt{3}}{2k}. \quad (23)$$

Поступком изједначавања добијају се двије једначине са три непознате, R_u , R и ωCR . Рјешење се може добити тако што се вриједност једне непознате усвоји. Ако се узме да је $\omega CR = \sqrt{3}$ тада (22) и (23) постају идентичне и дају исто рјешење:

$$R = \frac{2R_u}{k}. \quad (24)$$

Сада се могу тачно прорачунати параметри свих компоненти НФ филтера који ће уносити фазни помјерај од 120° и жељено слабљење дефинисано коефицијентом k .

Ако се напон фазе b , \underline{U}_b , доведе на улаз НФ филтера који уноси слабљење ($k > 1$) на његовом излазу добијамо напон чија је вриједност једнака:

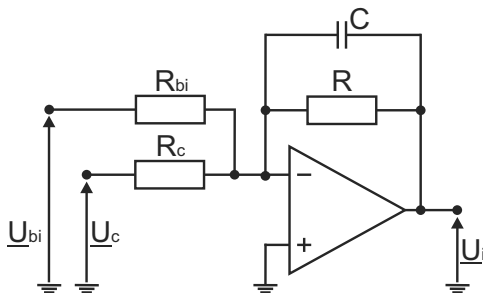
$$\underline{U}_{bi} = \frac{a}{k} \underline{U}_b. \quad (25)$$

Следећи НФ филтер треба да изврши сабирање напона \underline{U}_{bi} са напонам фазе c , \underline{U}_c , али умањеним k пута. Потом, исто коло треба да унесе помјерај од 120° тако да се на његовом излазу добије:

$$\underline{U}_{ca} = a \underline{U}_{ci} = \frac{a^2}{k} \underline{U}_b + \frac{a}{k} \underline{U}_c. \quad (26)$$

Да би се извршиле наведене операције, добијени напон из претходног степена доводи се на улаз кола какво је приказано на Сл. 9. Излазни напон је једнак:

$$\underline{U}_i = - \left(\frac{\underline{U}_{bi}}{R_{bi}} + \frac{\underline{U}_c}{R_c} \right) \cdot \underline{Z}. \quad (27)$$



Слика 9. Активни НФ филтер са сабирањем напонских сигнала.

Напон фазе c , \underline{U}_c , мора бити умањен k пута. Због тога треба отпорност преко које се доводи на улаз операционог појачавача повећати k пута у односу на отпорност преко које се доводи напон \underline{U}_{bi} па слиједи да је:

$$\underline{U}_i = - \left(\frac{\underline{U}_{bi}}{R_{bi}} + \frac{\underline{U}_c}{kR_{bi}} \right) \cdot \underline{Z} = - \frac{\underline{Z}}{R_{bi}} \left(\underline{U}_{bi} + \frac{\underline{U}_c}{k} \right). \quad (28)$$

Израз (28) треба изједначити са вриједношћу напона која се жели имати на излазу на основу чега се добија:

$$-\frac{\underline{Z}}{R_{bi}} \left(\underline{U}_{bi} + \frac{\underline{U}_c}{k} \right) = a \left(\underline{U}_{bi} + \frac{\underline{U}_c}{k} \right) \Rightarrow -\frac{\underline{Z}}{R_{bi}} = a, \\ \underline{Z} = -aR_{bi} \Rightarrow \frac{R}{1 + (\omega CR)^2} = \frac{R_{bi}}{2}, \quad (29)$$

што коначно, уз усвојену вриједност за ωCR , даје тражену зависност:

$$R = 2R_{bi}. \quad (30)$$

Коначна формула која за резултат даје инверзну компоненту напона добија се када се претходном резултату дода напон фазе a , \underline{U}_a , умањен k пута и све подијели са 3:

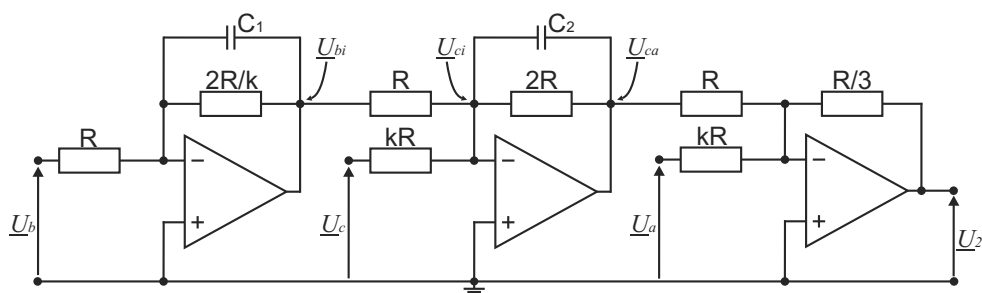
$$\underline{U}_2 = \frac{1}{3k} \left(\underline{U}_a + a^2 \underline{U}_b + a \underline{U}_c \right). \quad (31)$$

Последња у низу операција се реализује колом за сабирање. Излазни напон сразмјеран је алгебарском збиру улазних напона, а напонска појачања напона \underline{U}_{ca} и \underline{U}_a су:

$$A_{ca} = -\frac{R_u}{3} = -\frac{1}{3}, \quad A_a = -\frac{R_u}{kR_u} = -\frac{1}{k3}. \quad (32)$$

Комплетиран активни филтер инверзне компоненте, приказан је на Сл. 10. Отпорност отпорника R може да се бира произвољно, а капацитивности кондензатора C_1 и C_2 рачунају се следећим формулама:

$$C_1 = \frac{k\sqrt{3}}{4\pi fR}, \quad C_2 = \frac{\sqrt{3}}{4\pi fR}. \quad (33)$$



Слика 10. Активни филтер инверзне компоненте напона.

Излазни напон креће се у границама од нуле, за случај када не постоји инверзна компонента, до вриједности k пута мање од фазног напона, за случај чисто инверзног редослиједа фаза. На излаз филтера потребно је прикључити било које коло које ће реаговати када вриједност излазног напона филтера премаши подешену вриједност.

IV. ЗАКЉУЧАК

Напонска асиметрија изазвана нестанком једног фазног напона је тежак квар са аспекта његове детекције. Филтрирање инверзне компоненте напона је квалитетан приступ за реализацију заштитног релеја. Представљена су два филтера, пасивни и активни. Пасивни филтер инверзне компоненте карактерише једноставност и ниска цијена. Све компоненте су стандардне и за рад самог филтера није потребан додатни извор напајања. Напајање је неопходно за следећи степен. Активни филтер има више компоненти које су и скупље, али пружа много више могућности када је у питању прилагођење наредном степену. Напајање из властитог извора напајања је неопходно због коришћења операционих појачавача али то није мана јер извор стабиланог једносмјерног напона потребан је за сваку врсту релеја. Са тог извора напаја се и излазни електромагнетни релеј.

Филтери инверзне компоненте напона имају предност што се са њима може реализовати и заштита од погрешног смјера обртања ротора. Обрнут редослијед фаза на улазу релеја лако се детектује па се на овај начин у једном релеју реализују двије врло важне заштитне функције.

Треба напоменути да је могућа и комбинација више филтера у сврху добијања поузданијег релеја или релеја са више функција. Добра опција је комбинација филтера инверзне и директне компоненте напона. За детекцију квара се не би користила само вриједност инверзне компоненте напона већ однос инверзне и директне

компоненте. То би била практична реализација стварне дефиниције асиметрије [2]. Наравно да се у оваквим случајевима увијек мора водити рачуна о томе шта се тиме добија, а шта губи и да ли је повећање броја компонента рационално.

ЛИТЕРАТУРА

- [1] *Voltage monitor, Application notes and Glossary*, ABB Inc., <http://controldesignsupplyinc.com/marketing/ABB%20SSAC%20SS3%20Timers%20&%20Controls%20-%20Section%2013%20-%20Application%20Notes,%20Glossary,%20&%20Warranty.pdf>, посјечено: 17.5.2010. године.
- [2] P. Pillay, M. Manye, "Definitions of Voltage Unbalance", IEEE Power Engineering Review, May 2001.
- [3] *Eliminate Unbalanced Voltages - Take Action*, Quality Energy, <http://www.quality-energy.com/PDF/MotorUnbalancedVoltages.pdf>, посјечено: 21.6.2010. године.
- [4] C. Russell Mason, *The Art and Science of Protective Relaying*, Wiley, New York.
- [5] *Electrical Transmission and Distribution Reference Book*, Central Station Engineers of the Westinghouse Electric & Manufacturing Co.
- [6] Бојан Кнежевић, *Заштита нисконапонских асинхронних мотора од асиметричног напајања*. мастер рад, Електротехнички факултет, Београд, 2010.
- [7] Миленко Ђурић, *Класични дистантни релеји и дистантне заштите*, монографија, ИСБН 86-23-42105-1.
- [8] Ратко Опачић, *Електроника II*, Завод за уџбенике и наставна средства, Београд, 1999.

Abstract-This paper presents two kinds of negative sequence voltage filters which are intended to be used in static protective relays. They are used in protection against voltage unbalances, phase faults and the opposite direction of rotation of three-phase motors.

Key words-filters, relay protection, inverse component

Active and passive filters of negative sequence voltage for use in protective relays

Mogućnost primjene fotonaponskih sistema na području Tuzlanskog kantona za proizvodnju električne energije

Izudin Softić, Suad Halilčević
Fakultet elektrotehnike u Tuzli
Univerzitet u Tuzli
Tuzla, Bosna i Hercegovina

Sadržaj — Industrijski razvoj većine država utiče na stalni porast potrošnje energije u svijetu. U takvim uslovima, te u uslovima klimatskih promjena i iscrpljenosti rezervi fosilnih goriva, povećanje potrošnje sve se više oslanja na alternativne načine snabdijevanja energijom u vidu obnovljivih izvora energije. Konverzijom energije Sunca u električnu energiju, primjenom fotonaponskih sistema, jedan je od načina zadovoljenja povećanih potreba za energijom. U ovom radu daju se osnovne karakteristike fotonaponskih sistema, uz opis faktora koje treba uzeti u obzir prilikom izbora i dimenzionisanja ovih sistema. Takođe, analizira se potencijal energije Sunca za proizvodnju električne energije na području Tuzlanskog kantona.

Ključne riječi - baterije; električna energija; fotonaponsko polje; fotonaponski sistem; Sunčeva insolacija.

I. UVOD

Prilikom izbora fotonaponskog sistema moraju se prije svega zadovoljiti potrebe za električnom energijom koju određuju električni potrošači u sistemu. Pored ove činjenice odlučujući faktor za izbor i dizajn fotonaponskog sistema ima prosječna vrijednost Sunčeve insolacije tokom razmatranog perioda rada sistema [1],[2],[3]. Dimenzionisanje bilo kojeg fotonaponskog sistema uglavnom se zasniva na sljedećem:

- utvrđivanju vrste potrošača i ukupne potrošnje električne energije,
- proračunu veličine baterijskog sistema i izboru baterija,
- proračunu veličine fotonaponskog polja i njegovog nagiba, i
- ekonomskoj analizi.

Fotonaponski sistemi koji se koriste tokom sezone ili tokom čitave godine moraju biti tako dizajnirani da zadovolje potrebe za električnom energijom u najgorim mogućim uslovima, odnosno u mjesecu najmanje Sunčeve insolacije i najdužeg perioda autonomnog rada. Da bi se ispitale mogućnosti primjene fotonaponskih sistema na području Tuzlanskog kantona analizira se fotonaponski sistem za snabdijevanje električnom energijom jednog domaćinstva u periodu čitave godine.

Opšte informacije o položaju mjesta date su u tabeli I.

TABELA I. OPŠTE INFORMACIJE O POLOŽAJU MJESTA

Mjesto	Tuzla
Geografski položaj	45° SGŠ - 18° ZGD
Nadmorska visina	230m
Minimalna i maksimalna temperatura	-25 do 38 °C
Prosječna brzina vjetra	1,6 m/s
Dostupnost	90% (bez kritičnih potrošača)
Dani autonomnog rada sistema	5
Profil potrošača	Varijabilni (DC i AC)

Svi meteorološki podaci koji se koriste dobiveni su iz:

- meteorološke stanice Tuzla
- NASA-og meteorološkog satelitskog centra [4]
- softverskog paketa SolarSizer [5]

II. DIMENZIONISANJE FOTONAPONSKOG SISTEMA

A. Potrebna energija za potrošače

Proračun potrebne energije za potrošače obuhvata utvrđivanje vrste i broja potrošača, njihove snage, dnevnog i sedmičnog ciklusa rada, te ukupnih dnevnih potreba za električnom energijom (tabela II). Dnevna potrošnja pojedinih potrošača računa se kao

$$E_p = P_p \cdot h \text{ (snaga} \cdot \text{ broj sati rada) potrošača [Wh]} \quad (1)$$

Dnevna potrošnja izražena u Ah se tada računa kao

$$E_{p/dan} = \frac{E_p \cdot S_c}{\eta_i \cdot U_n} \quad (2)$$

gdje su:

S_c – sedmični ciklus,

U_n – nominalni napon fotonaponskog sistema od 24 V, i

η_i – koeficijent efikasnosti invertora, uzet od proizvođača.

TABELA II. OPŠTE INFORMACIJE O POTROŠAČIMA

Vrsta potrošača	Broj potrošača	Snaga (W)	Dnevno korištenje (h)	Sedmično korištenje (dan)	Dnevna potrošnja (Wh/dan)	Sedmični ciklus	Koeficijent efikasnosti invertora	Dnevno potrošnja (Ah/dan)
Kompaktne fluorescente sijalice istosmjernog napona	5	15	6	7	450	7/7	0,98	19,13
Televizor	1	100	5	7	500	7/7	0,93	22,40
Stereo sistem	1	55	2	6	110	6/7	0,93	4,22
Veš mašina	1	800	1,5	5	1200	5/7	0,93	4,22
Hladnjak	1	120	2	7	240	7/7	0,93	53,76
Računarska oprema	1	120	2	3	240	3/7	0,93	4,61
Usisivač	1	800	0,16	4	128	4/7	0,93	3,28
Ostali potrošači (40% od potrošnje ostalih potrošača)	X	X	X	7	1532	7/7	0,93	68,64
Ukupno	11	2010	X	X	5360	X	X	214,44

Ukupna dnevna potrošnja (potrebna energija za rad potrošača), uključujući gubitke u sistemu, jednaka je

$$E_{p/dan(ukupno)} = \frac{E_{p/dan}}{\eta_k \cdot \eta_b} \quad (3)$$

gdje su:

η_k , η_b – koeficijent efikasnosti kablova i koeficijent efikasnosti baterija, uzeti od strane proizvođača, a njihove vrijednosti iznose 0,98 i 0,9.

B. Proračun struja i određivanje nagiba modula

Proračun struja i određivanje nagiba modula podrazumijeva određivanje struje sistema u zavisnosti od prosječne vrijednosti Sunčeve insolacije za odabrani interval vremena. Vrijednosti Sunčeve insolacije na kosu površinu određena je na osnovu meteoroloških podataka i softverskog paketa SolarSizer. Podaci o prosječnoj vrijednosti Sunčeve insolacije kose površine u posljednjih deset godina za geografski položaj grada Tuzle prikazani su u tabeli III.

Na osnovu podataka o Sunčevoj insolaciji vrijednost struje sistema (za svaki mjesec pojedinačno) računa se na osnovu izraza

$$I_{sn} = \frac{E_{p/dan(ukupno)}}{I_{sunce}} \quad (4)$$

gdje je I_{sunce} prosječan mjesečni broj sati kada je Sunčeva insolacija jednaka 1000 W/m².

Fotonaponski moduli postavljeni su na fiksnu potpurnu strukturu sa mogućnošću podešavanja ugla nagiba za tri vrijednosti. Optimalni ugao položaja modula može se dobiti na osnovu odabrane vrijednosti struje za period koji se posmatra. Mjesec sa najnepovoljnijim uslovima, odnosno sa najvećom vrijednošću struje uzima se kao mjesec za koji se određuje veličina sistema. Na osnovu toga, direktno slijedi da će od tri različita nagiba modula biti izabran onaj pri kojem sistem ima najmanju struju. Dakle, na osnovu podataka iz tabele III, može se formirati tabela IV koja prikazuje za koji period rada tokom godine treba birati odgovarajući ugao nagiba fotonaponskog sistema.

TABELA IV. OPTIMALAN POLOŽAJ UGLA NAGIBA FOTONAPONSKOG SISTEMA ZA GRAD TUZLU

Period rada	Godišnji sistem	Sezonski sistem
Najveća struja sistema (A)	119,05	50,97
Sunčeva insolacija (kWh/m ²)	2,04	4,76
Ugao nagiba	60°	30°

TABELA III. PROSJEČNE VRIJEDNOSTI SUNČEVE INSOLACIJE KOSE PVRŠINE I STRUJE SISTEMA ZA GRAD TUZLU

Mjesec	Ukupna dnevna potrošnja (Ah/dan)	Ugao nagiba $\varphi=45^\circ-15^\circ$		Ugao nagiba $\varphi=45^\circ$		Ugao nagiba $\varphi=45^\circ+15^\circ$	
		Sunčeva insolacija (kWh/m ²)	Struja sistema (A)	Sunčeva insolacija (kWh/m ²)	Struja sistema (A)	Sunčeva insolacija (kWh/m ²)	Struja sistema (A)
Januar	242,63	2,03	119,52	2,22	109,30	2,31	105,03
Februar	242,63	2,66	91,21	2,77	87,39	2,76	87,91
Mart	242,63	3,39	71,57	3,42	70,90	3,30	73,52
April	242,63	4,01	60,05	3,94	61,58	3,78	64,19
Maj	242,63	4,76	50,97	4,57	53,10	4,44	54,65
Juni	242,63	5,07	47,86	4,84	50,13	4,76	50,97
Juli	242,63	5,82	41,69	5,45	44,52	5,41	44,85
Avgust	242,63	5,44	44,60	5,22	46,48	5,11	47,48
Septembar	242,63	4,96	48,92	4,90	49,52	4,99	48,62
Oktobar	242,63	3,04	79,81	3,14	77,27	3,08	78,78
Novembar	242,63	1,92	126,4	2,09	116,1	2,16	112,33
Decembar	242,63	1,71	141,8	1,90	125,1	2,04	119,05

Za vrijeme ljeta ovaj fotonaponski sistem bi proizvodio više električne energije nego u zimskom periodu, naročito ako bi se promijenio ugao nagiba modula sa 60° na 30°, pa bi se taj višak mogao iskoristiti za snabdijevanje dodatnih potrošača ili injektiranje električne energije u distributivnu mrežu.

C. Proračun baterija

Na izbor baterija u sistemu najviše utiče broj dana autonomnog rada sistema, dnevna potrošnja, dozvoljena dubina pražnjenja i gubici napona usljed povećanja temperature, jer povećanje temperature okoline od jednog stepena može uzrokovati pad napona od 70 mV [6]. Broj baterija u sistemu direktno određuje kapacitet izabrane baterije i nominalni napon sistema.

Karakteristike izabrane baterije [7] date su u tabeli V.

TABELA V. OPŠTE INFORMACIJE O BATERIJI

Proizvođač	Trojan
Model	L-16H
Tip	Olovo-Antimon
Nominalni napon (V)	6
Koeficijent efikasnosti	0,9
Dozvoljena dubina pražnjenja	0,8
Kapacitet (Ah)	400

Potrebni kapacitet sistema baterija određuje se kao

$$C_s = \frac{E_{p/dan(ukupno)} \cdot DA}{D_p \cdot G_t} \quad (5)$$

gdje su:

DA – dani autonomnog rada,

D_p – dozvoljena dubina pražnjenja, i

G_t – gubici napona usljed povećanja temperature.

Broj baterija povezanih u paraleli određuje se kao

$$BB_p = \frac{C_s}{C_b} \quad (6)$$

Broj baterija povezanih u seriji određuje se kao

$$BB_s = \frac{U_n}{U_{nb}} \quad (7)$$

gdje su:

C_b – nominalni kapacitet baterije

U_{nb} – nominalni napon baterije

Korisni kapacitet sistema baterija određen je dozvoljenom dubinom pražnjenja prema izrazu

$$K_s = \frac{C_s}{D_p} \quad (8)$$

Ukoliko nema podataka proizvođača, dozvoljena dubina pražnjenja za pojedine tipove baterija može se uzeti iz tabele VI.

TABELA VI. DOZVOLJENA DUBINA PRAŽNJENJA

Tip baterije	Vrijednost
Olovne sa plitkim pražnjenjem	0,25
Olovne sa dubokim pražnjenjem	0,8
Nikl-Kadmijum	0,9

Na osnovu karakteristika izabrane baterije, ukupnog dnevnog potrošnje sistema i broja dana autonomnog rada, moguće je odrediti ukupan broj baterija u sistemu, te broj baterija povezanih u seriju i paralelu kao što prikazuje tabela VII.

TABELA VII. FAKTORI KOJI UTIČU NA UKUPAN BROJ BATERIJA U SISTEMU

Ukupna dnevna potrošnja (Ah/dan)	242,63
Dani autonomnog rada	5
Dozvoljena dubina pražnjenja	0,8
Gubici napona usljed povećanja temperature	1
Potrebni kapacitet sistema baterija (Ah)	1516,44 (1600)
Korisni kapacitet sistema baterija (Ah)	1280
Nominalni napon sistema (V)	24
Nominalni napon baterije (V)	6
Broj baterija u seriji	4
Broj baterija u paraleli	4
Ukupan broj baterija	16

D. Dimenzionisanje fotonaponskog polja

Dimenzionisanje fotonaponskog polja podrazumijeva određivanje broja fotonaponskih modula odnosno broj modula povezanih u paralelu i seriju. Veličina fotonaponskog polja mora biti takva da zadovolji potrebe za električnom energijom u predviđenom periodu rada i da napuni baterije u periodu dužeg Sunčevog vremena [8].

U tu svrhu odabran je fotonaponski modul čije su karakteristike date u tabeli VIII.

TABELA VIII. OPŠTE INFORMACIJE O FOTONAPONSKOM MODULU

Model	Siemens SR 100	
Snaga (W)	100	
Dužina (mm)	1498	
Širina (mm)	594	
Debljina (mm)	40	
Težina (kg)	10,9	
Napon modula pri maksimalnoj temperaturi (V)	14,4	
Nominalni napon (V)	12	
Napon (V)	Standardni uslovi	17,7
	Prazan hod	22
Struja (A)	Standardni uslovi	5,6
	Kratak spoj	6,3

Broj modula povezanih u paraleli određuje se kao

$$BM_p = \frac{I_{sn}}{\eta_m \cdot I_{mn}} \quad (9)$$

Broj modula povezanih u seriju određuje se kao

$$BM_s = 1,2 \frac{U_n}{U_{m(max)}} \quad (10)$$

gdje su:

η_m – koeficijent efikasnosti modula,

I_{mn} – nominalna vrijednost struje modula pri standardnim uslovima, i

$U_{m(max)}$ – napon modula pri maksimalnoj temperaturi.

Nakon provedenog proračuna, u tabeli IX prikazan je potreban ukupan broj modula.

TABELA IX. FAKTORI KOJI UTIČU NA UKUPAN BROJ MODULA U SISTEMU

Period rada	Godišnji sistem	Sezonski sistem
Najveća struja sistema (A)	119,05	50,97
Koeficijent efikasnosti modula	0,9	0,9
Ukupna struja sistema (A)	132,28	56,33
Nominalna struja modula(A)	5,6	5,6
Nominalni napon baterija (V)	24	24
Napon koji zahtijevaju potrošači (V)	28,8	28,8
Napon modula pri najvišoj temperature (V)	14,4	14,4
Broj modula povezanih u paraleli	23	10
Broj modula povezanih u seriji	2	2
Ukupan broj modula	46	20

III. SUMIRANJE TEHNIČKO EKONOMSKIH REZULTATA

U sljedećem nizu tabela predstavljena je prosječna godišnja potrošnja i proizvodnja električne energije (tabela X), prosječna dnevna proizvodnja električne energije fotonaponskog sistema u svakom mjesecu (tabela XI), te procentualna mjesečna potrošnja obezbijedena od strane fotonaponskog sistema (tabela XII). Na osnovu predstavljenih rezultata, može se dobiti generalna slika rada fotonaponskog sistema. S obzirom na prosječnu dnevnu proizvodnju električne energije fotonaponskog sistema, za vrijeme ljeta proizvodnja električne energije je i do 2,5 puta veća nego što su potrebe za električnom energijom, pa se taj višak električne energije može iskoristiti na različite načine (priklučenje dodatnih potrošača, korištenje za zagrijavanje vode, i slično).

TABELA X. USPOREDBA PROSJEČNE POTROŠNJE I PROIZVODNJE ELEKTRIČNE ENERGIJE FOTONAPONSKOG SISTEMA

Period rada	Fotonaponski sistem
Prosječna godišnja potrošnja električne energije (kWh/god)	2126
Prosječna godišnja proizvodnja električne energije (kWh/god)	3715

TABELA XI. PROSJEČNA DNEVNA PROIZVODNJA ELEKTRIČNE ENERGIJE FOTONAPONSKOG SISTEMA U SVAKOM MJESECU TOKOM GODINE

Mjesec	Fotonaponski sistem	
	kWh/dan	Ah/dan
Januar	6,5	270
Februar	7,7	323
Mart	9,3	386
April	10,6	442
Maj	12,5	519
Juni	13,4	557
Juli	15,2	633
Avgust	14,3	598
Septembar	12,1	503
Oktobar	8,6	360
Novembar	6,1	253
Decembar	5,7	239

TABELA XII. PROCENTUALNA MJESEČNA POTROŠNJA ELEKTRIČNE ENERGIJE FOTONAPONSKOG SISTEMA

Mjesec	Fotonaponski sistem
	%
Januar	109
Februar	130
Mart	155
April	178
Maj	209
Juni	224
Juli	254
Avgust	240
Septembar	202
Oktobar	145
Novembar	102
Decembar	96

TABELA XIII. EKONOMSKI PRIKAZ INVESTICIJA FOTONAPONSKOG SISTEMA

Broj elemenata	Opis elementa	Tip elementa	Cijena elementa (KM)	Ukupna cijena elementa (KM)	Procentualno učešće u ukupnoj cijeni elementa (%)
46	Siemens moduli	SR 100	670	30820	65,46
16	Trojan baterije	L-16H	280	4480	9,52
1	Invertor Trace	SW4024	6000	6000	12,74
-	Hardver balansa sistema i uzmeljivači	-	1000	1000	2,12
-	Prekidači, žice, osigurači i ostalo	-	10% od ukupne cijene ostalih elemenata	4280	9,10
1	Uredaj za monitoring	-	500	500	1,06

Ukupni trošak investicije: 47080 KM

TABELA XIV. EKONOMSKI PRIKAZ ODRŽAVANJA FOTONAPONSKOG SISTEMA

Troškovi	Vrsta	Cijena (KM)
Instalacije	-	100
Održavanje	Godišnja inspekcija	100
Zamjena elemenata	Baterije	7800
	Invertor	3000
	Kontroler	200
Ostali elementi i mogući kvarovi	-	1000
Ukupni trošak održavanja: 12200 KM		

Svi ovi podaci su vrlo bitni, jer se u ekonomskoj analizi, zajedno sa cijenom koštanja pojedinih elemenata, daje odgovor na pitanje cijene kWh proizvedene električne energije i uopšte ekonomske opravdanosti ovakvih sistema.

S obzirom da su dimenzionirani svi osnovni elementi sistema, postavlja se pitanje njegove ekonomske opravdanosti. Kako cijena pojedinih elemenata fotonaponskog sistema na tržištu varira, to se može dati samo jedna okvirna slika ekonomičnosti. U tabeli XIII dat je pregled osnovnih elemenata sistema i njihova cijena koštanja [9], te je na osnovu toga data ukupna cijena investicionog ulaganja u sistem.

Kompletna ekonomska slika uzima u obzir i troškove održavanja pojedinih elemenata u sistemu i njihovu zamjenu poslije isteka životne dobi, zatim troškove usljed mogućih kvarova, i slično, kao što prikazuje tabela XIV.

S obzirom da je životna dob izabranog modula 25 godina, upravo se ta vrijednost uzima za životnu dob čitavog sistema, pa su i troškovi instalacije, održavanja i zamjena elemenata vezani za taj period. Cijena kWh električne energije iz ovakvog fotonaponskog sistema iznosi oko 0.9 KM/kWh.

Većinu troškova sistema (između 60-80%) čine investicioni troškovi nabavke pojedinih elemenata. Cijena kWh dobivena iz fotonaponskih polja instaliranih u Tuzlanskom kantonu je visoka, komparirajući je sa cijenom kWh iz elektrodistributivne mreže elektroprivrede.

Međutim, u uslovima izolovanog rada nekog objekta, ovaj trošak može biti opravdan, te ova cijena kWh može biti konkurentna sa onom cijenom kWh iz električne mreže, kada se uzme u obzir izgradnja i održavanje infrastrukture potrebne za napajanje električnom energijom izolovanih objekata.

IV. ZAKLJUČAK

Na osnovu provedene analize može se reći da na prostoru Tuzlanskog kantona postoje uslovi za primjenu fotonaponskih sistema za proizvodnju električne energije. Što se tiče Sunčevog zračenja, prosječna vrijednost iradijacije kreće se u granicama od 2.0 kWh/m² u zimskom periodu do 5.0 kWh/m² u ljetnom periodu. Primjena fotonaponskih sistema sa stanovišta potrošača nije još uvijek interesantna u uslovima gdje postoji mogućnost povezivanja sa elektroenergetskim sistemom, jer je cijena kWh električne energije iz fotonaponskog sistema dosta veća od cijene kWh dobivenog iz elektroenergetskog sistema. Situacija bi se mogla popraviti ako bi društvena zajednica stala iza projekata ovakve vrste, kroz sistem subvencionisanja i povoljnije FI (*feed-in*) tarife za

energiju Sunca kao jednog od obnovljivih izvora energije. Svakako da ugradnja fotonaponskih polja na izolovanim objektima u najvećem broju slučajeva ima svoju ekonomsku opravdanost. Posebno se opravdanost korištenja fotonaponskih modula ogleda u jednoj široj energetskej slici, koja uzima u obzir ekološke i socijalne koristi.

LITERATURA

- [1] <http://www1.eere.energy.gov/solar/index.html>, Solar Energy Technologies Program
- [2] S. Halilčević, "Upravljanje energijom", Univerzitet u Tuzli, 2000.
- [3] Aldo da Rosa, "Fundamentals of Renewable Energy Processes", Academic Press, 2005.
- [4] www.eosweb.larc.nasa.gov, NASA Surface Meteorology and Solar Energy Data Set
- [5] www.solarsizer.com
- [6] Roger A. Messenger, Jerry Ventre, "Photovoltaic Systems Engineering", second edition, CRC Press, 2005.
- [7] <http://www.trojan-battery.com>, Tehničke karakteristike i cijena Trojan baterija
- [8] Planning and Installing Photovoltaic Systems, "A Guide for Installers, Architects and Engineers", www.contractor-books.com
- [9] <http://www.veneko.hr>, Cjenik komponenti

Abstract — The industrial development of most countries affects the steady increase of energy consumption in the world. In such circumstances, and in terms of climate change and the exhaustion reserves of fossil fuels, increase consumption is increasingly relying on alternative ways of supplying energy in the form of renewable energy sources. Conversion of solar energy into electrical energy, usage photovoltaic systems, is one of the ways to meet the increased need for energy. In this paper the basic characteristics of photovoltaic systems, with description of factors which should be considered when choosing and design the photovoltaic systems is presented. Also, the potential of solar energy for production of electrical energy in the Tuzla Canton region is analyzed.

Keywords – battery, electrical energy, photovoltaic field, photovoltaic system, Solar insolation.

Possibility of the application of photovoltaic systems for electrical energy production in the Tuzla canton region

Алгоритам за естимацију фазора виших хармоника напона и струја у електроенергетском систему

Бојана Новаковић, Срђан Јокић
Електротехнички факултет
Универзитет у Источном Сарајеву
Источно Сарајево, Република Српска
bojana.novakovic@etf.unssa.rs.ba,
srdjan.jokic@etf.unssa.rs.ba

Жељко Ђуришић
Одсек за енергетику
Електротехнички факултет
Београд, Република Србија
djurisic@etf.rs

Садржај – У раду је анализиран модификовани Фуријеов алгоритам за естимацију фазора виших хармоника напона и струја у електроенергетском систему (ЕЕС). Описана је теоријска основа, као и практична примјена алгоритма. Перформансе предложеног алгоритма тестиране су обрадом рачунарски симулираних сигнала. Алгоритам карактерише висока прецизност мјерења у широком мјерном опсегу, чак и за јако изобличене сигнале. Овакве карактеристике алгоритма омогућавају његову примјену у ЕЕС-у, у дигиталној релејној заштити, за мјерење показатеља квалитета електричне енергије, те за прорачун токова снага.

Кључне ријечи – алгоритам, виши хармоници, фазор, квалитет електричне енергије, токови снага

I. УВОД

Дигитално мјерење и праћење амплитуда напона и струја има суштинску важност за исправно функционисање ЕЕС-а. Тачност и брзина мјерења утичу на ефикасност дигиталне релејне заштите, на системе за управљање, мониторинг и контролу елемената ЕЕС-а, на дигитална бројила активне и реактивне енергије, итд. Тачност алгоритма за процесавање мјерних сигнала директно утиче на класу тачности ових инструмената.

Мјерни сигнали (напони и струје) у ЕЕС-у, због све већег присуства нелинеарних потрошача са енергетском електроником и дистрибуираних извора електричне енергије, постају у све већој мјери загађени вишим хармоницима и шумом. Присуство хармонијских изобличења таласних облика напона и струја је један од основних разлога лошијег квалитета електричне енергије. Да би се извршила анализа и поређење са међународним стандардима који уређују ову проблематику (IEEE 519, EN50160, IEC 61000-3-2), како за поједине категорије потрошача, тако и за елементе производног дијела ЕЕС-а, неопходно је хармонијска изобличења мјерити. Инструкције о методама и инструментима за мјерење хармоника и интерхармоника у електроенергетском систему дате су нормом IEC 61000-4-7. Коришћени алгоритми

морају обезбиједити стабилност и тачност у широком мјерном опсегу.

Појава уређаја са синхронизацијом мјерења помоћу времена GPS (*Global Positioning System*) сателита омогућила је истовременост мјерења у различитим дијеловима ситема. Синхронизација времена омогућава прорачун токова снага у ЕЕС-у, заснован на вриједностима фазора напона у његовим различитим тачкама. Мала грешка у мјерењу амплитуде и фазе напона пресликава се у велику грешку при рачунању снаге вода. Алгоритми који се користе у дигиталним естиматорима фазора мјерних сигнала морају обезбиједити тачност и у условима великих хармонијских изобличења улазног сигнала.

У овом раду предложена је модификација Фуријеовог алгоритма за естимацију амплитуде основног хармоника мјерног сигнала са фиксном ширином прозора података, описаног у [1]. Предложени алгоритам омогућава естимацију фазора основног и виших хармоника мјерног сигнала, па је примјенљив и за анализу токова снага виших хармоника.

II. АЛГОРИТАМ ЗА ЕСТИМАЦИЈУ ФАЗОРА ВИШИХ ХАРМОНИКА МЈЕРНОГ СИГНАЛА НА БАЗИ ФУРИЈЕОВЕ МЕТОДЕ

Претпоставља се да је посматрани мјерни сигнал $x(t)$ облика:

$$x(t) = \sum_{k=1} C_k \cos(k\omega t + \varphi_k) + R(t). \quad (1)$$

Параметри сигнала су: C_k – амплитуда k -тог хармоника, $\omega = 2\pi f$ – основна угаона фреквенција, f – основна фреквенција, $k\omega = 2k\pi f$ – угаона фреквенција која одговара хармонику реда k , φ_k – почетна фаза k -тог хармоника и $R(t)$ – дио сигнала који се састоји од суме интерхармоника и субхармоника.

Хармонијска компонента реда k сигнала (1) се може представити дискретним Фуријеовим редом:

$$\underline{X}_k = \frac{2}{m} \left[\sum_{n=1}^m x_n \cos\left(\frac{k\omega_f T_f}{m} n\right) + j \sum_{n=1}^m x_n \sin\left(\frac{k\omega_f T_f}{m} n\right) \right] = A_k + jB_k, \quad (2)$$

гдје су: ω_f – претпостављена фреквенција основног хармоника мјерног сигнала, m – број одбирака у периоди T_f (периода која одговара фреквенцији ω_f), x_n – n -ти одбирак сигнала.

Релација (2) се може написати у погоднијем матричном облику:

$$\underline{X}_k = [\text{COS}_k][x]^T + j[\text{SIN}_k][x]^T = A_k + jB_k, \quad (3)$$

гдје је $[x]$ вектор одбирака у прозору података који одговара k -том хармонику, односно:

$$[x] = [x_1 \ x_2 \ x_3 \ \dots \ x_m]. \quad (4)$$

Вектори COS_k и SIN_k се формирају за претпостављену основну учестаност мјерног сигнала (f_f) и задату учестаност одабирања (f_s) сигнала $x(t)$, према релацијама:

$$\text{COS}_k = \frac{2}{m} \left[\cos\left(\frac{2k\pi}{m}\right) \cos\left(\frac{2k\pi}{m}\right) \cos\left(\frac{2k\pi}{m}\right) \dots \cos\left(\frac{2k\pi}{m}\right) 1 \right], \quad (5)$$

$$\text{SIN}_k = \frac{2}{m} \left[\sin\left(\frac{2k\pi}{m}\right) \sin\left(\frac{2k\pi}{m}\right) \sin\left(\frac{2k\pi}{m}\right) \dots \sin\left(\frac{2k\pi}{m}\right) 0 \right], \quad (6)$$

гдје је:

$$m = \frac{f_s}{f_f}. \quad (7)$$

Претпостављена учестаност мјерног сигнала (f_f) и задата учестаност одабирања (f_s) морају бити тако одабране да m буде цио број.

Процјена амплитуде k -тог хармоника мјерног сигнала C_k у актуелном прозору података се може вршити на основу слједеће релације:

$$C_k = \sqrt{A_k^2 + B_k^2}, \quad (8)$$

гдје су A_k и B_k реална и имагинарна компонента k -тог хармоника мјерног сигнала $x(t)$, респективно.

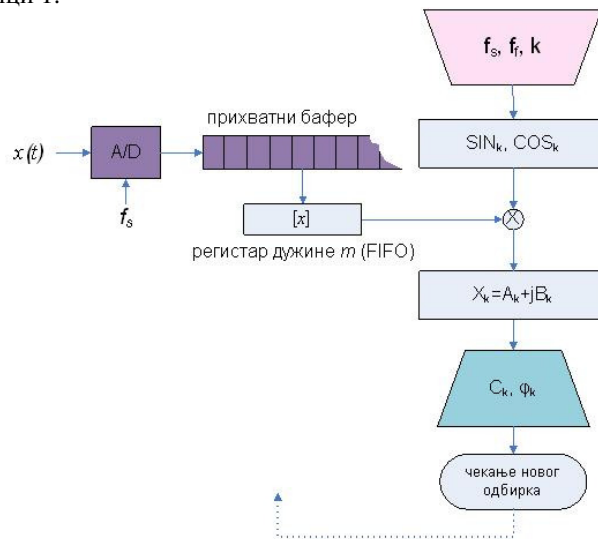
Естимирана фаза основног хармоника мјерног сигнала је:

$$\varphi_k = \arctg \frac{B_k}{A_k}. \quad (9)$$

За сваки прозор података могуће је добити по једну тачку за ортогоналне компоненте Фуријеовог реда k -тог хармоника мјерног сигнала – A_k и B_k , на основу (3).

Уколико се одабирање врши континуално, са клизним прозором података, и уколико ред виших хармонијских компоненти мјерног сигнала $x(t)$ задовољава теорему о одабирању (за изабрану учестаност одабирања f_s), онда су естимиране ортогоналне компоненте Фуријеовог реда $A_k(t)$ и $B_k(t)$ протопериодичне функције чије амплитуде одговарају амплитуди k -тог хармоника мјерног сигнала [2,3,4,5].

Логички блок дијаграм приказаног алгоритма дат је на слици 1.



Слика 1. Логички блок дијаграм Фуријеовог алгоритма за естимацију фазора виших хармоника мјерног сигнала

III. МОДИФИКОВАНИ ФУРИЈЕОВ АЛГОРИТАМ ЗА ЕСТИМАЦИЈУ ФАЗОРА ВИШИХ ХАРМОНИКА МЈЕРНОГ СИГНАЛА

Прорачун токова снага захтијева познавање фазора не само једне, већ свих хармонијских компоненти сигнала. Због тога је направљена модификација алгоритма описаног у претходном поглављу, која омогућава естимацију фазора мјерног сигнала чији ред није већи од задатог.

При естимацији амплитуде основног хармоника мјерног сигнала алгоритмом описаним у [1] постоји значајна грешка уколико мјерни сигнал садржи и више хармонике, субхармонике и интерхармонике, у случајевима када се стварна и претпостављена основна мрежна фреквенција разликују. Ради смањивања грешке, предложено је да се од мјерног сигнала одузму све хармонијске компоненте реда нижег од реда естимираног хармоника. Дакле, уколико желимо естимирати амплитуду и фазу k -тог хармоника, потребно је од мјерног сигнала одузети хармонике реда 1 (основни), 2, ... и $(k-1)$.

Да би се то постигло, потребно је прво естимирати све те хармонике реда нижег од посматраног. Због тога, у предложеној модификацији алгоритма, естимација k -тог хармоника, уствари, обухвата естимацију свих хармоника чији је ред мањи или једнак k .

На почетку је потребно формирати вектор одбирака сигнала $[x_o]$.

Прорачунавају се вектори COS_1 и SIN_1 , те се описаним алгоритмом естимира основни хармоник сигнала x_1 , који је уствари простопериодична функција $x_1(t)$:

$$x_1(t) = C_1 \cos(\omega t + \varphi_1). \quad (10)$$

Затим се формира вектор одбирака $[x_1]$ сигнала $x_1(t)$. Елементи вектора $[x_1]$ су вриједности сигнала $x_1(t)$ у еквидистантним тачкама чије растојање одговара фреквенцији узимања одбирака мјерног сигнала ($\Delta t = 1/f_s$). Након тога се од одбирака мјерног сигнала $[x_o]$ одузму одбирци естимираног првог хармоника $[x_1]$, чиме се добија нови вектор одбирака, $[x_{o2}]$, који користимо за естимирање наредног, другог хармоника, што је описано релацијом (11).

$$[x_{o2}] = [x_o] - [x_1]. \quad (11)$$

Образују се вектори COS_2 и SIN_2 , те се естимира други хармоник мјерног сигнала, $x_2(t)$:

$$x_2(t) = C_2 \cos(2\omega t + \varphi_2). \quad (12)$$

На основу добијеног таласног облика другог хармоника, формирамо вектор одбирака који одговара другом хармонику $[x_2]$. Затим се вектор $[x_2]$ одузме од вектора $[x_{o2}]$, чиме добијамо вектор одбирака $[x_{o3}]$, који користимо за естимацију наредног, трећег хармоника:

$$[x_{o3}] = [x_{o2}] - [x_2]. \quad (13)$$

Поступак се понавља док коначно не естимирамо жељени k -ти хармоник. Логички блок дијаграм предложеног алгоритма дат је на слици 2.

IV. ТЕСТИРАЊЕ АЛГОРИТАМА ПОМОЋУ РАЧУНАРСКИ ГЕНЕРИСАНОГ СИГНАЛА

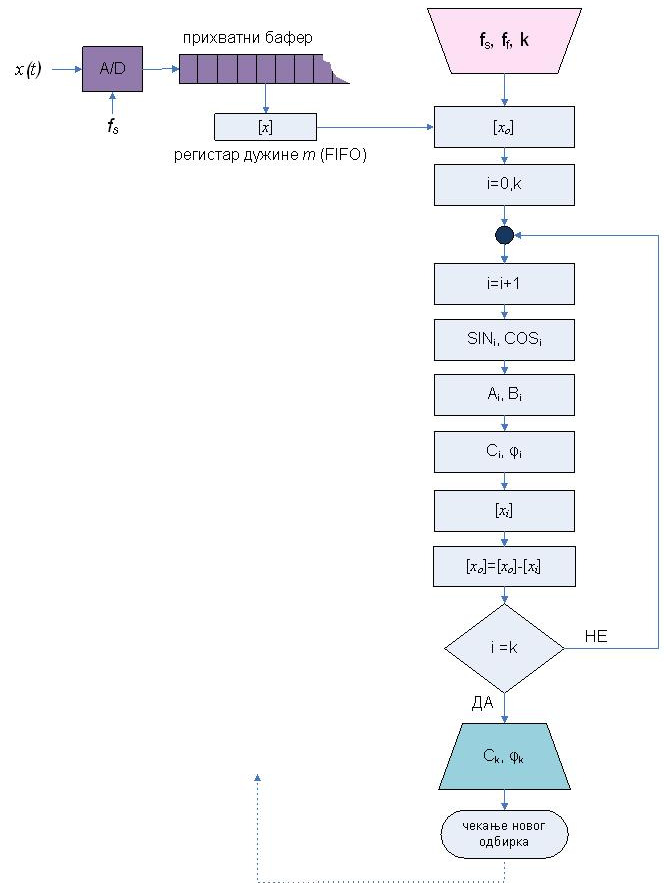
Описани алгоритми за естимирање хармоника тестирани су помоћу података добијених узимајући одбирке рачунарски генерисаних сигнала. У овом раду су приказани резултати тестирања за случајеве када се стварна и претпостављена фреквенција не разликују, односно $f_f = f$.

A. Тестирање сложенепериодичним сигналом

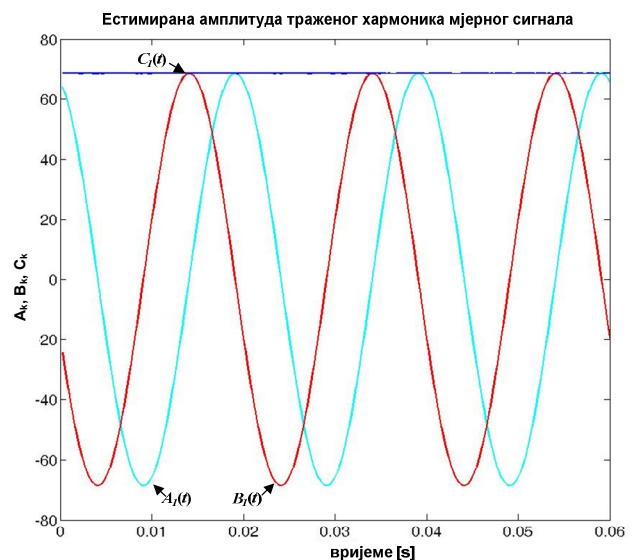
Прво је генерисан сложенепериодични сигнал који, поред основног хармоника садржи цјелобројне више хармонике. У раду су представљени резултати тестирања сигналом (14).

$$x(t) = 68,57 \cos(\omega t + 21 \cdot \frac{2\pi}{360}) + 17,46 \cos(3\omega t + 45 \cdot \frac{2\pi}{360}) - 5,28 \cos(5\omega t - 24 \cdot \frac{2\pi}{360}) + 1,16 \cos(7\omega t + 5 \cdot \frac{2\pi}{360}). \quad (14)$$

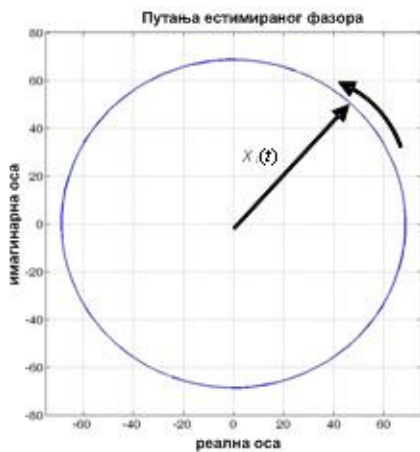
За основну фреквенцију изабрана је мрежна фреквенција $f = 50$ Hz. На слици 3 приказана је естимирана амплитуда основног хармоника тестног сигнала (14). На слици 4 приказан је ходограф фазора основног хармоника која одговара временском дијаграму на слици 3.



Слика 2. Логички блок дијаграм Фуријеовог алгоритма за естимацију виших хармоника мјерног сигнала са одузимањем хармоника нижег реда

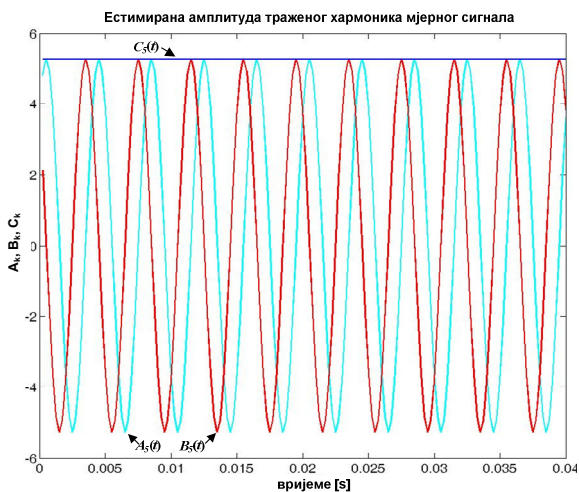


Слика 3. Естимација амплитуде основног хармоника тестног сигнала

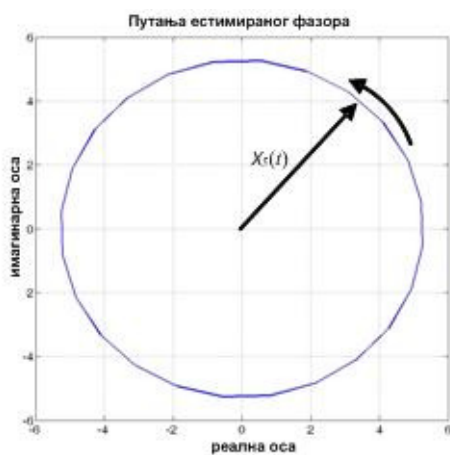


Слика 4. Путања фазора тестног сигнала која одговара временском дијаграму на слици 3

На слици 5 приказана је естимирана амплитуда петог хармоника тестног сигнала (14) и одговарајућа реална и имагинарна компонента. На слици 6 приказан је ходограф фазора петог хармоника која одговара временском дијаграму на слици 5.



Слика 5. Естимација амплитуде петог хармоника тестног сигнала



Слика 6. Путања фазора тестног сигнала која одговара временском дијаграму на слици 6

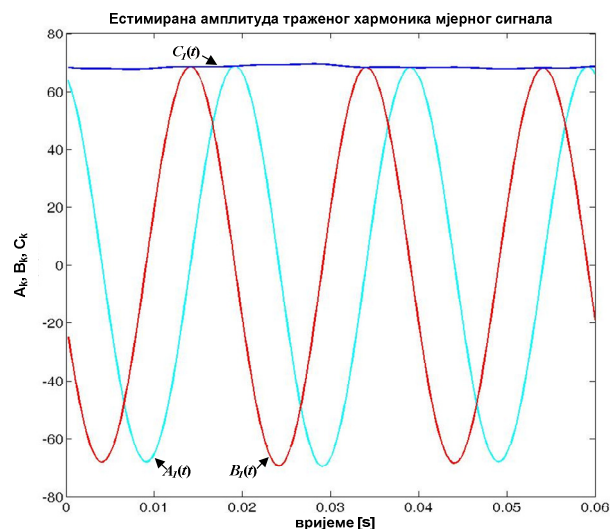
Приказани резултати идентични су за оба алгоритма. Поређењем стварних и естимираних вриједности, утврђено је да је релативна грешка естиматора при естимацији сигнала који садржи само цјелобројне хармонијске компоненте једнака нули. Фреквенција одабирања не утиче на естимиране вриједности. Наравно, ово важи уколико ред естимираног хармоника и фреквенција одабирања задовољавају теорему о одабирању. Амплитуда естимираног хармоника је константна, а естимирани фазор \underline{X}_k мјерног сигнала ротира по идеалној, кружној путањи. Резултати теста потврђују тачност математичког модела алгоритма.

Б. Тестирање сигналом који садржи и субхармонике и интерхармонике

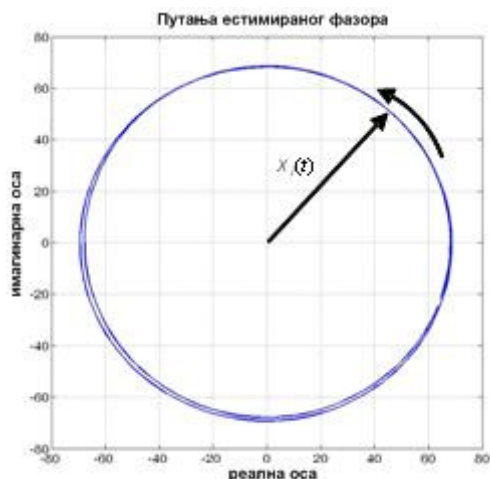
Естиматор је тестиран и сигналом који поред виших хармоника садржи и субхармонике и интерхармонике. У раду су представљени резултати тестирања сигналом (15) модификованог алгоритма са одузимањем:

$$\begin{aligned}
 x(t) = & 0,25 \cos(0,8\omega t + 32 \cdot \frac{2\pi}{360}) + 0,9 \cos(0,3\omega t + 32 \cdot \frac{2\pi}{360}) + \\
 & + 1,13 \cos(1,5\omega t + 32 \cdot \frac{2\pi}{360}) + 0,67 \cos(2,2\omega t + 71 \cdot \frac{2\pi}{360}) + \\
 & + 68,57 \cos(\omega t + 21 \cdot \frac{2\pi}{360}) + 17,46 \cos(3\omega t + 45 \cdot \frac{2\pi}{360}) - \\
 & - 5,28 \cos(5\omega t - 24 \cdot \frac{2\pi}{360}) + 1,16 \cos(7\omega t + 5 \cdot \frac{2\pi}{360}). \quad (15)
 \end{aligned}$$

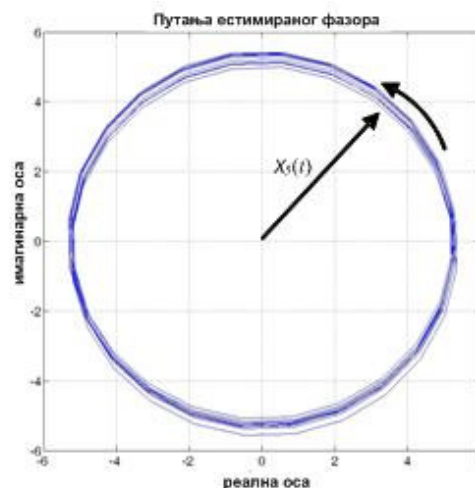
За основну фреквенцију изабрана је мрежна фреквенција $f = 50 \text{ Hz}$. На слици 7 приказана је естимирана амплитуда основног хармоника тестног сигнала, а на слици 8 ходограф основног хармоника која одговара временском дијаграму на слици 7.



Слика 7. Естимација амплитуде основног хармоника тестног сигнала

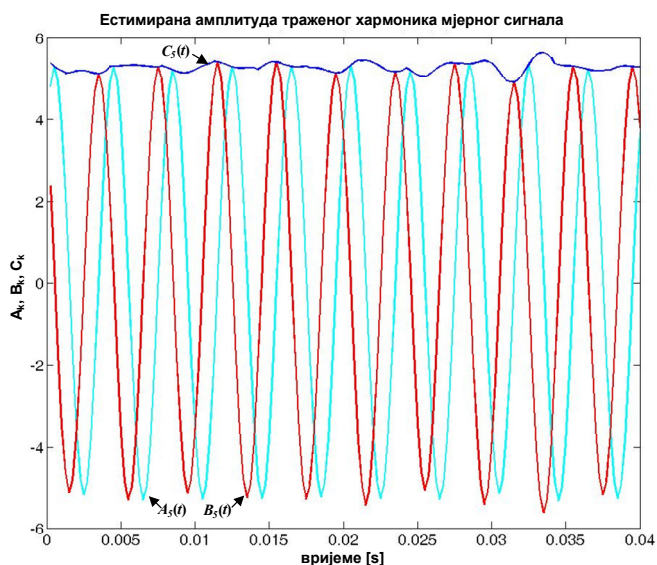


Слика 8. Путања фазора тестног сигнала која одговара временском дијаграму на слици 7



Слика 10. Путања фазора тестног сигнала која одговара временском дијаграму на слици 9

На слици 9 приказана је естимирана амплитуда петог хармоника тестног сигнала, а на слици 10 ходограф петог хармоника која одговара временском дијаграму на слици 9.



Слика 9. Естимација амплитуде петог хармоника тестног сигнала

У овом случају, естимирани фазор \underline{X}_k сигнала ротира по елиптичним путањама, а амплитуда естимираног фазора осцилује око тачне вриједности.

Поређењем стварних и естимираних вриједности, добијених усредњавањем, утврђено је да је при естимацији амплитуде k -тог хармоника сигнала, који поред сложенопериодичног дијела садржи и субхармонику и интерхармонику, релативна грешка естиматора реда $10^{-3} \%$, уколико је амплитуда естимираног хармоника већа од 1 % максималне вриједности основног хармоника сигнала, а реда 0,1 %, уколико је амплитуда естимираног хармоника мања од 1 % максималне вриједности основног хармоника сигнала. Грешка при естимацији фазе сигнала је 0,1 %.

Грешка алгоритма који не ради на принципу одузимања, у случају када се стварна и претпостављена основна мрежна фреквенција не разликују, не одступа значајно од грешке алгоритма са одузимањем.

Релативна грешка при естимацији фазора виших хармоника алгоритмом са одузимањем, при истој учестаности одабирања, повећава се са порастом реда хармоника, јер је кумулативна (због итеративног поступка естимације, у коме је потребно одредити и све хармонијске компоненте сигнала реда нижег од траженог). Погодним избором фреквенције одабирања могуће је значајно смањити грешку при естимацији хармоника одређеног реда.

На основу ових података закључујемо да је предложени алгоритам прихватљив за практичну реализацију мјерења у ЕЕС-у. Грешка мјерног уређаја реализованог на бази описаног алгоритма задовољавала би критеријуме наведене у норми ИЕС 61000-4-7, приказане у табели I. [8, 9]

ТАБЕЛА I. ДЕФИНИСАЊЕ МЈЕРНЕ НЕСИГУРНОСТИ ИЕС 61000-4-7 [8]

Класа тачности	Мјерење	Услови	Максимална грешка
I	Напон	$U_m \geq 1\% U_{nom}$ $U_m < 1\% U_{nom}$	5% U_m 0,05% U_m
	Струја	$I_m \geq 3\% I_{nom}$ $I_m < 3\% I_{nom}$	$\pm 5\% I_m$ $\pm 0,15\% I_{nom}$
	Снага	$P_m < 150 W$ $P_m > 150 W$	$\pm 1,5 W$ $\pm 1\% P_m$
II	Напон	$U_m \geq 3\% U_{nom}$ $U_m < 3\% U_{nom}$	5% U_m 0,15% U_m
	Струја	$I_m \geq 10\% I_{nom}$ $I_m < 10\% I_{nom}$	$\pm 5\% I_m$ $\pm 0,5\% I_{nom}$

U_m и I_m – мјерне вриједности

I_{nom} – Номинални струјни опсег инструмента

U_{nom} – Номинални напонски опсег инструмента

V. ЗАКЉУЧАК

У раду је приказана модификација Фуријеовог алгоритма за естимацију фазора основног хармоника мјерног сигнала са фиксном ширином прозора података, која омогућава и прецизну естимацију фазора виших хармоника мјерног сигнала. Суштинска разлика је модификација прорачуна ортогоналних компоненти Фуријеовог реда $A_k(t)$ и $B_k(t)$ које одговарају k -том хармонику, те увођење процеса одузимања хармоника реда нижег од траженог, k -тог хармоника. Алгоритам се одликује прије свега једноставношћу, прецизношћу и брзином процесирања.

На основу тестова спроведених на рачунарски генерисаним сигнаlima, алгоритам се показао као прихватљиво рјешење за практичне реализације мјерења хармонијских компоненти сигнала у ЕЕС-у. Кроз тестове је показано да алгоритам има високу тачност, чак и при изобличењима улазних мјерних сигнала у виду интерхармоника и субхармоника.

Висока тачност естимације основног хармоника сложенопериодичног сигнала се постиже већ за фреквенције одабирања $f_s \geq 2000$ Hz. Што је виши ред хармоника, за добру тачност естимације је потребно користити већу фреквенцију одабирања.

У плану је извођење нових тестирања - на нагле промјене амплитуде, на присуство случајног шума, те на осјетљивост на одступање претпостављене фреквенције од стварне.

Простор за даљи развој алгоритма је јако широк. Постоји могућност потпуног обједињавања алгоритама за мјерење фреквенције и амплитуде, комбинујући описани и *zero crossing* алгоритам. Смањење зависности естимације од одступања претпостављене фреквенције сигнала од стварне предлаже се увођењем повратне спреге по фреквенцији, те прилагођењем ширине прозора података (описано у [1], [6], [7]).

ЛИТЕРАТУРА

- [1] Ж. Ђуришић – „Развој алгоритма за дигиталне фреквенцијске релеје у условима великих изобличења улазних сигнала“, магистарски рад, Електротехнички факултет Београд, новембар 2005.
- [2] М. Ђурић – „Модификовани *Fourier*-ов алгоритам за мјерење основног хармоника сигнала“, Електропривреда, бр. 2, 2004., стр. 51 – 56.

- [3] М. Ђурић, Ж. Ђуришић – „Мјерење фреквенције помоћу *zero crossing* и *Fourier*-ове методе“, SIGRE – XII Симпозијум – управљање и телекомуникације у ЕЕС-у, Будва, 19 – 21. мај 2004.
- [4] М. Ђурић, Ж. Ђуришић – „Развој система за мјерење и анализу параметара квалитета електричне енергије базираном на персоналном рачунару“, елаборат, Београд, јун 2007.
- [5] М. Ђурић, Ж. Ђуришић – „Алгоритам за брзу естимацију амплитуде и фреквенције мјерних сигнала у електроенергетском систему“, Зборник радова, IX НАУЧНИ СКУП ИНФОРМАЦИОНЕ ТЕХНОЛОГИЈЕ, Жабљак, фебруар 2004. pp. 87-91
- [6] М. Ђурић, Ж. Ђуришић – „Алгоритам за естимацију амплитуде мјерних сигнала у ЕЕС-у у условима великих варијација фреквенције и присуству виших хармоника“, Зборник радова, INFOTEN@-JAHORINA, Јахорина 2005.
- [7] М. Ђурић, Ж. Ђуришић, „Frequency Measurement in Power Networks in the Presence of Harmonics Using Fourier and Zero Crossing Technique“, POWER TECH, 2005 IEEE RUSSIA, Print ISBN: 978-5-93208-034-4, Санкт Петербург, јун 2005.
- [8] IEC 61000-4-7:2002, Electromagnetic compatibility (EMC) – Part 4-7: Testing and measurement techniques – General guide on harmonics and interharmonics measurements and instrumentation for power supply systems and equipment connected thereto – Basic EMC publication
- [9] IEC 61000-4-30 (FDIS-Ed2), Electromagnetic compatibility (EMC) – Part 4-30: Testing and measurement techniques — Power quality measurement methods - Basic EMC publication.

Abstract – A modification of Fourier algorithm for harmonic phasors estimation of measured signals is presented. The theoretical basics and practical implementation of the method are described. Computer simulated data are processed to demonstrate the performances of the proposed algorithm. Accuracy over wide range of measurements, even for the signals with high distortion, characterise the algorithm. These characteristics provide the algorithm application in power systems, for digital relay protection, measurements of power quality indices and power flow computations.

Keywords – Amplitude estimation, Fourier method, Harmonics, Power quality, Power flow

An algorithm for harmonic phasors estimation of voltages and currents in electric power systems

Poboljšanje algoritma distantne zaštite na bazi integrala trenutne snage

Siniša Zubić, Čedomir Zeljković
Elektrotehnički fakultet
Univerzitet u Banjoj Luci
Banja Luka, Republika Srpska, BiH

Milenko Đurić
Elektrotehnički fakultet
Univerzitet u Beogradu
Beograd, Srbija

Sadržaj—Algoritmi za distantne zaštite elektroenergetskih vodova najčešće su bazirani na estimaciji impedanse voda do mjesta kratkog spoja, na osnovu koje se određuje udaljenost kvara i donosi odluka o reagovanju zaštitnog releja. Prezentovani algoritam umjesto estimacije impedanse koristi princip fazne komparacije posebno formiranih signala kako bi se dobila potrebna karakteristika reagovanja distantne zaštite. Fazni komparator je baziran na integralu trenutne snage. U radu se prezentuje poboljšanje algoritma na bazi fazne komparacije dodavanjem predfiltra opadajuće jednosmjerne komponente. Pokazano je da je osim poboljšanja robusnosti algoritma na opadajuću jednosmjernu komponentu, postignuto i povećanje brzine reagovanja algoritma u uslovima kvarova sa niskim vrijednostima napona.

Ključne riječi—Algoritmi za distantne zaštite; fazna komparacija; integral trenutne snage; *FCDF*T;

I. UVOD

Distantni releji su zaštitni uređaji u elektroenergetskim sistemima koji omogućavaju selektivno isključenje kvarova u složenim petljastim mrežama sa više izvora napajanja. Selektivnost se ostvaruje procjenom udaljenosti kvara od distantnog releja na bazi mjerenih vrijednosti napona i struja šticećenog voda. Klasični distantni releji procjenu udaljenosti kvara vrše putem estimacije impedanse. Ako estimirana impedansa pripada nekoj unaprijed definisanoj oblasti u kompleksnoj ravni impedanse, to se tretira kao pojava kvara. Naponi i struje mjereni na šticećenom vodu sadrže više harmonike, a struja kvara može da sadrži i opadajuću jednosmjernu komponentu. Zbog toga je za estimaciju impedanse ključan digitalni filter koji omogućava estimaciju osnovnih harmonika struja i napona u prisustvu pomenutih smetnji. Najčešće primjenjivani filter u oblasti digitalnih zaštita je filter baziran na diskretnoj Fourier-ovoj transformaciji (*FCDF*T – Full Cycle Discrete Fourier Transformation) [1] i njegove brojne adaptacije kako bi bio otporniji na uticaj opadajuće jednosmjerne komponente [2], [3], [4].

Princip fazne komparacije, kao osnova za distantne zaštite, korišćen je kod zaštitnih uređaja starije generacije [5], dok je kod digitalnih zaštita taj pristup zapostavljen. Distantni releji na bazi fazne komparacije ne vrše estimaciju impedanse kola, nego fazno porede pogodno izabrane signale $v_I(t)$ i $v_{II}(t)$, koji se dobijaju iz mjerenih napona i struja šticećenog voda. Od načina formiranja signala $v_I(t)$ i $v_{II}(t)$ zavisi oblik karakteristike reagovanja distantne zaštite. Pod karakteristikom reagovanja se

podrazumijeva kriva u kompleksnoj ravni impedanse koja razdvaja oblast reagovanja od oblasti u kojoj distantna zaštita ne reaguje. Za razliku od klasičnog pristupa gdje je potrebno estimirati i amplitude i fazne stavove signala, kod fazne komparacije je za detekciju kvara bitna samo fazna razlika signala $v_I(t)$ i $v_{II}(t)$.

U [6] i [7] su prezentovani rezultati istraživanja primjene fazne komparacije kod digitalnih distantnih zaštita. U [6] se koristi fazni komparator na bazi integrala trenutne snage (*ITS*), detaljno opisanog u [8] i [9], dok je u [7] fazno poređenje vršeno putem *FCDF*T. U [6] je, pored analize sposobnosti *ITS* da filtrira više harmonike, navedeno i da je njegov nedostatak u tome što je osjetljiv na prisustvo opadajuće jednosmjerne komponente. Ovaj rad predstavlja nastavak i poboljšanje rada [6], kroz uvođenje predfiltra opadajuće jednosmjerne komponente. U drugoj glavi su dati najvažniji rezultati iz [6] kako bi uvod u problematiku bio što potpuniji, ali je za potpuno sagledavanje svih osobina polaznog algoritma potrebno pogledati cjelokupan rad [6].

II. BLOK DIJAGRAM ALGORITMA

A. Opis blok dijagrama

Blok dijagram algoritma za distantnu zaštitu na bazi fazne komparacije sa *ITS*, predstavljenog u [6], dat je na slici 1. Prvi blok sa slike 1 predstavlja proces prihvatanja i pohranjivanja u memoriju novih odbiraka faznih napona i struja mjerenih na šticećenom vodu. Drugi blok sa Slike 1 je zadužen za detekciju vrste kvara. On ima ulogu da izlaznim signalima $u_r(t)$ i $i_r(t)$ pridruži odgovarajuću kombinaciju faznih struja ili napona, u zavisnosti od vrste kvara koju treba da detektuje distantna zaštita [10].

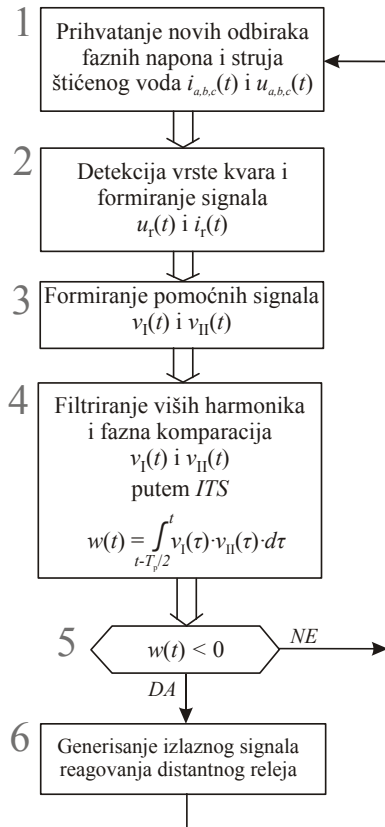
U trećem bloku sa slike 1 vrši se formiranje signala $v_I(t)$ i $v_{II}(t)$, koje je potrebno fazno porediti. U [6] je pokazano da se potreban oblik karakteristike reagovanja distantne zaštite (slika 2a) može dobiti na više načina. Od načina formiranja signala $v_I(t)$ i $v_{II}(t)$ zavisi brzina reagovanja digitalne distantne zaštite. Zbog toga je izvršena optimizacija karakteristike reagovanja, uz uslov da vrijeme reagovanja digitalne distantne zaštite bude minimalno, i došlo se do sljedećih izraza:

$$\underline{V}_I = -e^{-i\theta_v} \underline{U}_r, \quad (1)$$

$$\underline{V}_{II} = -e^{-i\varphi_v} \underline{U}_r + Z_g \cdot \underline{I}_r, \quad (2)$$

pri čemu su \underline{V}_I i \underline{V}_{II} kompleksni predstavnici osnovnog harmonika signala $v_I(t)$ i $v_{II}(t)$, φ fazne razlike signala $v_I(t)$ i $v_{II}(t)$ respektivno, dok $Z_g = |Z_g|$ predstavlja doseg distantne zaštite prikazan na slici 2a. Na slici 2b data je ista karakteristika sa slike 2a ali na njoj su označene vrijednosti fazne razlike signala φ na karakteristici voda i na karakteristici reagovanja distantne zaštite. Sa slike 2b može se uočiti da će za sve kvarove unutar zone reagovanja biti ispunjen uslov:

$$|\varphi| \geq 90^\circ. \quad (3)$$



Slika 1. Blok-dijagram algoritma za distantni relej sa faznim komparatorom na bazi ITS [6]

U četvrtom bloku sa slike 1, računa se integral trenutne snage označen sa $w(t)$:

$$w(t) = \int_{t-\frac{T_p}{2}}^t p_t(\tau) \cdot d\tau = \int_{t-\frac{T_p}{2}}^t v_I(\tau) \cdot v_{II}(\tau) \cdot d\tau, \quad (4)$$

gdje su

$w(t)$ – integral trenutne snage (ITS),

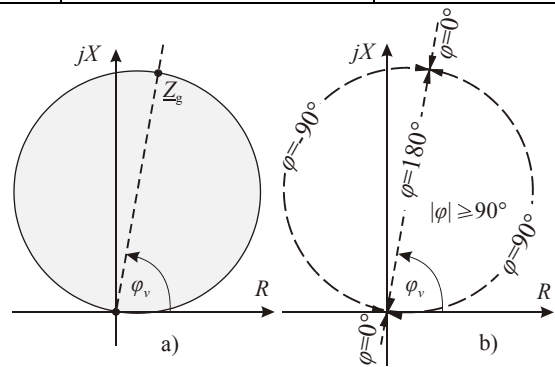
$p_t(t)$ – trenutna snaga,

T_p – period osnovnog harmonika signala.

Pod trenutnom snagom $p_t(t)$ se podrazumijeva proizvod signala $v_I(t)$ i $v_{II}(t)$. Integraljenje se vrši na intervalu dužine jedne polovine perioda osnovnog harmonika signala. Sam proces integraljenja ima filtarska svojstva, detaljno analizirana u [6], i omogućava smanjenje viših harmonika signala $v_I(t)$ i $v_{II}(t)$. Osim filtriranja, ITS omogućava fazno poređenje signala $v_I(t)$ i $v_{II}(t)$. U [6], [8] i [9] je opisana veza između ITS, fazne razlike φ i reagovanja distantne zaštite (Tabela I). U petom bloku sa slike 1 ispituje se znak signala $w(t)$ i ako je negativan, generiše se signal reagovanja distantne zaštite.

TABELA I. VEZA IZMEĐU ITS I STATUSA DISTANTNE ZAŠTITE

ITS	Fazna razlika $v_I(t)$ i $v_{II}(t)$	Distantni relej (DR)
$w(t) > 0$	$ \varphi < 90^\circ$	DR ne reaguje
$w(t) < 0$	$ \varphi > 90^\circ$	DR reaguje



Slika 2. Karakteristika reagovanja distantne zaštite dobijena iz izraza (1) i (2)

III. FILTAR OPADAJUĆE JEDNOSMJERNE KOMPONENTE

A. Osnova filtra

U [6] je pokazano da algoritmu sa slike 1 nedostaje robusnost na opadajuću jednosmjernu komponentu. Zbog toga se u ovom radu analizira primjena predfiltra, predstavljenog u [11], koji se koristi između blokova 2 i 3 sa slike 1, a koji ima zadatak da značajno ublaži uticaj opadajuće jednosmjerne komponente. U ovom poglavlju je opisan izabrani filter, dok je u narednom poglavlju opisana njegova primjena na algoritam distantne zaštite.

Polazna tačka u opisu filtra je model ulaznog signala $y(t)$ koji sadrži naizmjeničnu komponentu konstantne efektivne vrijednosti, opadajuću jednosmjernu komponentu i više harmonike:

$$y(t) = Ce^{-t/T_a} + \sum_{i=1}^n Y_i \cos(\omega_i t + \alpha_i), \quad (5)$$

Pri čemu C predstavlja početnu vrijednost opadajuće jednosmjerne komponente, T_a vremensku konstantu opadajuće jednosmjerne komponente, $\omega_i = 2\pi \cdot 50 \cdot i$ kružnu učestanost i -tog harmonika, Y_i amplitudu i -tog harmonika, α_i početni fazni

stav i -tog harmonika. Cilj je da se signal dat izrazom (5) transformiše u novi signal $x(t)$ koji ne sadrži eksponencijalni član. Transformacija se sastoji iz dva koraka. Prvi korak je da se eksponencijalni član zamijeni *McLaurin*-ovim polinomom prvog reda u $t=0$. Ta aproksimacija omogućava realizaciju filtra ali i dovodi do toga da filter ne prigušuje jednako dobro opadajuće jednosmjerne komponente različitih vremenskih konstanti. Pošto su signali diskretizovani u vremenu, može se uvesti znak * koji označava da se radi o diskretnim vrijednostima signala:

$$y^*(t) = C \left(1 - \frac{1}{T_a} t \right) + \sum_{i=1}^n Y_i \cos(\omega_i t + \alpha_i). \quad (6)$$

U drugom koraku se iz signala $y^*(t)$ računa novi signal $x^*(t)$ koji se dobija iz razlike:

$$x^*(t) = y^*(t) - y^*(t-T), \quad (7)$$

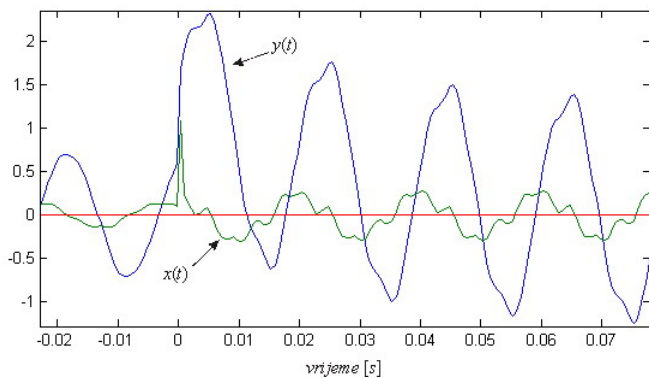
gdje T predstavlja period odabiranja signala. Pomoćni signal $x^*(t)$ je nazvan *CHARM Wave* (Characteristic Harmonic Wave), a sam filter je nazvan *CharmDF* (Charm Digital Filter) [11]. Pošto je:

$$y^*(t-T) = C \left[1 - \frac{1}{T_a} (t-T) \right] + \sum_{i=1}^n Y_i \cos[\omega_i (t-T) + \alpha_i], \quad (8)$$

slijedi:

$$x^*(t) = -C \frac{T}{T_a} + \sum_{i=1}^n \{ Y_i \cos(\omega_i t + \alpha_i) - Y_i \cos[\omega_i (t-T) + \alpha_i] \} \quad (9)$$

Sa slike 3 se može uočiti da u signalu $x^*(t)$ ne postoji opadajuća jednosmjerna komponenta, koja je problematična za filtriranje.



Slika 3. Ulazni signal $y^*(t)$ i izlazni signal $x^*(t)$ filtra opadajuće jednosmjerne komponente

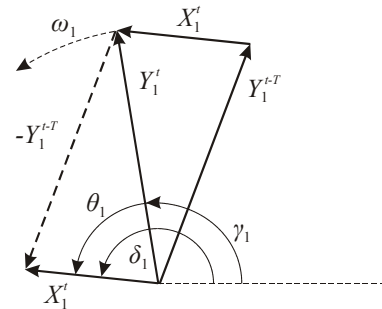
Veza između amplituda osnovnih harmonika signala $y^*(t)$ i $x^*(t)$, Y_1 i X_1 , respektivno, data je izrazom:

$$\frac{Y_1}{X_1} = \frac{1}{2 \cdot \sin(\pi/m)} = K_1. \quad (10)$$

Veza između faznih stavova signala $y^*(t)$ i $x^*(t)$ data je izrazom:

$$\theta_1 = \delta_1 - \gamma_1 = \frac{\pi}{2} - \frac{\pi}{m}, \quad (11)$$

pri čemu se ugao γ_1 odnosi na fazor osnovnog harmonika signala $y^*(t)$, a ugao δ_1 na fazor osnovnog harmonika signala $x^*(t)$. Na slici 4 prikazana je ilustracija fazora osnovnih harmonika signala $y^*(t)$ i $x^*(t)$, u trenucima t i $t-T$.



Slika 4. Fazorska predstava osnovnih harmonika signala $y^*(t)$ i $x^*(t)$ u trenucima t i $t-T$

B. Primjena CharmDF kod algoritma fazne komparacije

Izrazi (1) i (2) omogućavaju realizaciju karakteristike reagovanja distantne zaštite sa slike 2 uz minimalno kašnjenje algoritma. Eksponencijalni član u izrazima (1) i (2) uvodi kašnjenje u signal \underline{U}_r za ugao φ_v . U vremenskom domenu to znači da u izrazima (1) i (2) ulaze odbirci signala $u_r(t)$ sa zakašnjenjem od $\Delta T = T_p \cdot \varphi_v / 2\pi$ u odnosu na signal struje, pri čemu je ΔT izraženo u sekundama, a φ_v u stepenima. Kod nadzemnih vodova visokog napona φ_v leži u granicama od 75° do 85° , što daje ΔT u granicama između $4,17 \text{ ms}$ i $4,72 \text{ ms}$. Kako je opisano u [6] i [7], izrazi (1) i (2) u algoritam distantne zaštite unose kašnjenje koje se kreće od 0 do ΔT , zavisno od procenta smanjenja napona u toku kratkog spoja.

CharmDF je potrebno primjeniti na signal struje releja $i_r(t)$ kako bi se umanjio sadržaj opadajuće jednosmjerne komponente. Prema izrazima (10) i (11) primjena *CharmDF* unosi promjenu amplitude i faznog stava struje $i_r(t)$, čime se onemogućava primjena izraza (1) i (2) u izvornom obliku. Za određivanje tačnih vrijednosti θ_1 i K_1 potrebno je izabrati broj odbiraka po periodu osnovnog harmonika, m . U ovom radu je usvojeno $m=20$, što je jednako broju odbiraka koji koristi jedna od komercijalnih distantnih zaštita u prenosnoj mreži BiH. Prema izrazu (11) dobija se $\theta_1 = 81^\circ$, a prema izrazu (10), $K_1 = 3.1962$. To znači da primjena *CharmDF*-a na signal struje $i_r(t)$, unosi pozitivan fazni pomak od 81° . Može se primjetiti da dobijena vrijednost leži u granicama promjene ugla φ_v . Zbog toga može biti izabrano $\theta_1 = \varphi_v$, što omogućava jednostavnu matematičku transformaciju koja donosi dodatno poboljšanje

brzine algoritma distantne zaštite. Ako se sa \underline{I}_{chr} označi fazor struje \underline{I}_r nakon primjene *CharmDF*-a, onda vrijedi:

$$\underline{I}_{chr} = \frac{\underline{I}_r}{K_1} e^{i\theta_1} = \frac{\underline{I}_r}{K_1} e^{i\varphi_V}. \quad (12)$$

Uvođenje \underline{I}_{chr} u relacije (1) i (2) ide kroz dva koraka. Prvi korak je da se izraz (12) napiše u obliku:

$$K_1 \cdot \underline{I}_{chr} = 3.1962 \cdot \underline{I}_{chr} = e^{i81^\circ} \underline{I}_r = e^{i\varphi_V} \cdot \underline{I}_r. \quad (13)$$

Drugi korak je da se relacije (1) i (2) pomnože članom $e^{i\varphi_V}$:

$$\underline{V}_I = -e^{-i\varphi_V} \underline{U}_r \cdot e^{i\varphi_V}, \quad (14)$$

$$\underline{V}_{II} = -e^{-i\varphi_V} \underline{U}_r + Z_g \cdot \underline{I}_r \cdot e^{i\varphi_V}, \quad (15)$$

što uz smjenu izraza (13) u izraz (15) dovodi do izraza:

$$\underline{V}_I = -\underline{U}_r, \quad (16)$$

$$\underline{V}_{II} = -\underline{U}_r + Z_g \cdot K_1 \cdot \underline{I}_{chr}. \quad (17)$$

Može se uočiti da u izrazima (16) i (17) ne postoji eksponencijalni član koji unosi negativni fazni pomak u signal napona. To znači da je primjena *CharmDF*-a eliminisala potrebu za negativnim faznim pomakom napona releja zahvaljujući tome što unosi pozitivan fazni pomak u struju releja. Time je postignuto povećanje brzine algoritma distantne zaštite do ΔT , zavisno od procenta smanjenja napona u toku kratkog spoja. Izrazi (16) i (17) u vremenskom domenu imaju oblik:

$$v_I(t) = -u_r(t), \quad (18)$$

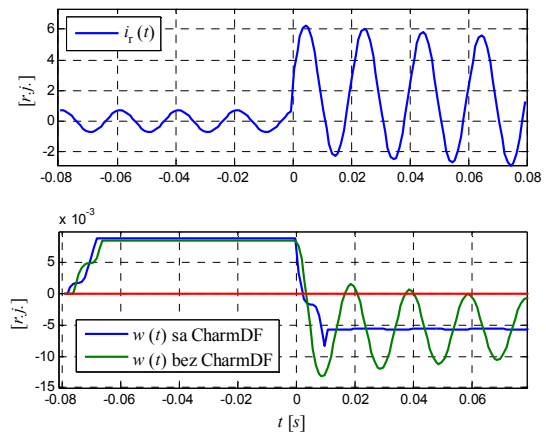
$$v_{II}(t) = -u_r(t) + Z_g \cdot K_1 \cdot i_{chr}(t), \quad (19)$$

i u takvom obliku su implementirani u algoritmu distantne zaštite sa faznim komparatorom na bazi *ITS*.

IV. TESTIRANJE RAZVIJENOG ALGORITMA

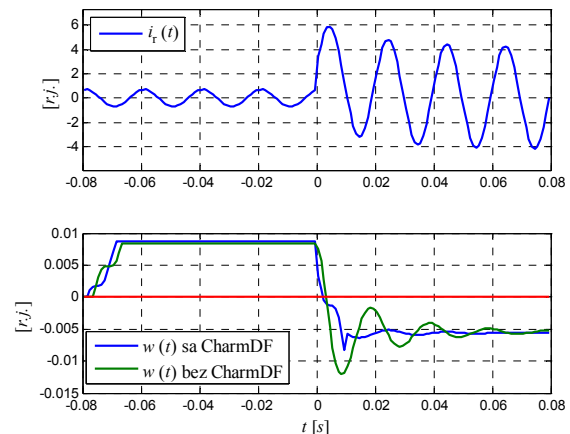
U [11] je pokazano da je *CharmDF* testiran za razne oblike opadajuće jednosmjerne komponente, pri čemu je vremenska konstanta T_a mijenjana u intervalu od 20 ms do 155 ms. Pokazano je da *CharmDF* ima bolja filtarska svojstva pri većim vrijednostima T_a . Kako bi rezultati bili korektni, testiranje algoritma je rađeno pri obje granične vrijednosti T_a .

Na slici 5 su prikazani rezultati testiranja za $T_a = 155$ ms. U prvoj polovini slike prikazan je talasni oblik struje releja, $i_r(t)$, a kratki spoj se dešava na polovini posmatranog intervala. U drugoj polovini slike prikazani su talasni oblici integrala trenutne snage $w(t)$, u slučaju kada se koristi *CharmDF*, i u slučaju kada se *CharmDF* ne koristi (što predstavlja verziju algoritma prezentovanu u [6]). Može se zapaziti da je u oba slučaja kvar detektovan, jer je nakon pojave kvara $w(t) < 0$, ali opadajuća jednosmjerna komponenta je unijela toliku oscilaciju u $w(t)$ kod algoritma bez *CharmDF*, da u nekim intervalima $w(t)$ postaje veće od nule. Oscilacije signala $w(t)$ kod algoritma sa *CharmDF* su veoma male što dokazuje da su mu performanse značajno poboljšane.



Slika 5. Rezultati testiranja novog i starog ([6]) algoritma pri $T_a = 155$ ms

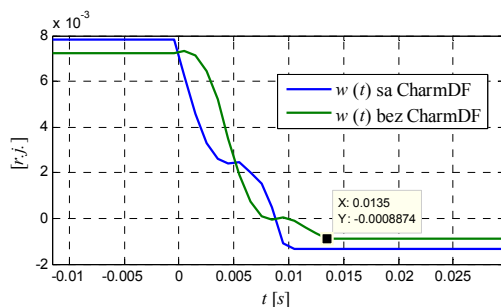
Na slici 6 su prikazani rezultati testiranja algoritama za $T_a = 20$ ms. Može se uočiti razlika u talasnom obliku struje u odnosu na slici 5. U ovom slučaju signal $w(t)$ kod algoritma sa *CharmDF* ima veću oscilatornu komponentu, što potvrđuje slabija filtarska svojstva pri manjim vrijednostima T_a . Ipak, i u ovom slučaju, je ostvareno značajno poboljšanje performansi algoritma za distantnu zaštitu na bazi *ITS*.



Slika 6. Rezultati testiranja novog i starog ([6]) algoritma pri $T_a = 20$ ms

Na slici 7 su prikazana uporedna testiranja algoritama kada je napon kvara mali, a u signalu struje nema opadajuće

jednosmjerne komponente. Cilj je da se uoči veća brzina algoritma sa *CharmDF* usljed eliminacije negativnog faznog pomaka napona iz izraza (1) i (2). Može se uočiti da signal $w(t)$ kod algoritma sa *CharmDF* dostiže stacionarnu vrijednost nakon $10,5\text{ ms}$, dok isti signal kod algoritma bez *CharmDF* stacionarnu vrijednost dostiže nakon $13,5\text{ ms}$. Time je potvrđen rezultat prethodne analize.



Slika 7. Rezultati testiranja brzine novog i starog ([6]) algoritma

V. ZAKLJUČAK

Ovaj rad predstavlja nastavak rada [6] u smislu poboljšanja performansi algoritma u pogledu osjetljivosti na prisustvo opadajuće jednosmjerne komponente u struji kvara. Za poboljšanje performansi izabran je filter opadajuće jednosmjerne komponente predstavljen u [11]. Izabrani filter je veoma brz jer u algoritam unosi kašnjenje od jednog perioda odabiranja, što za odabranu frekvenciju odabiranja iznosi samo 1 ms . Broj računskih operacija koje zahtjeva je minimalan, što je značajna osobina sa aspekta praktične primjene u zaštitnim uređajima. Filtarska svojstva mu nisu jednako dobra pri svim vrijednostima vremenske konstante T_a , ali testiranja su pokazala da ipak omogućava značajno poboljšanje performansi algoritma u svim slučajevima, što je i bio osnovni cilj.

Dodatno poboljšanje koje omogućava *CharmDF* je skraćivanje brzine reagovanja polaznog algoritma u slučajevima kvarova sa malim vrijednostima napona. Kada su naponi kvara mali, onda negativan fazni pomjeraj napona iz izraza (1) i (2) može uzrokovati kašnjenje algoritma do vrijednosti ΔT , koja ide do $4,72\text{ ms}$. Pokazano je da primjena *CharmDF* eliminiše taj nedostatak polaznog algoritma zahvaljujući okolnosti da unosi pozitivan fazni pomak od približno $+\varphi_V$ u signal koji filtrira. Sa slike 7 se može uočiti da je u posmatranom slučaju postignuto povećanje brzine algoritma od 3 ms , što iznosi oko 30% ukupne brzine poboljšanog algoritma.

Buduće istraživanje može ići u pravcu dodatnog poboljšanja robusnosti algoritma na opadajuću jednosmjernu komponentu sa niskim vrijednostima vremenske konstante T_a , ili u pravcu razvoja novih tipova faznih komparatora.

LITERATURA

- [1] M. Đurić, „Modifikovan Fourier-ov algoritam za merenje osnovnog harmonika signala“, *Elektroprivreda* br.2, p 51-56, Beograd, 2004.
- [2] Gabriel Benmouyal, „Removal of DC-offset in current waveforms using digital mimic filtering“, *IEEE Transactions on Power Delivery*, Vol.10, No. 2, April 1995.
- [3] J. F. Miñambres Argüelles, M. A. Zorrozuza Arrieta, J. Lázaro Domínguez, B. Larrea Jaurrieta, M. Sánchez Benito, „A new method for decaying dc offset removal for digital protective relays“, *Electric Power Systems Research* Vol.76, pp. 194–199 2006.
- [4] Jyh-Cherng Gu, Sun-Li Yu, „Removal of DC Offset in Current and Voltage Signals Using a Novel Fourier Filter Algorithm“, *IEEE Transactions on Power Delivery*, Vol.15, No. 1, January 2000.
- [5] Milenko Đurić, „Klasični distantni releji i distantne zaštite“, *Naučna knjiga*, Beograd, 1992.
- [6] Siniša Zubić, Milenko Đurić, Čedomir Zeljković, „Algoritam za distantni relej baziran na integralu trenutne snage“, *Infoteh*, naučno-stručni simpozijum, Jahorina, mart 2010.
- [7] Siniša Zubić, Milenko Đurić, Čedomir Zeljković, „Algoritam za distantni relej bez mrtve zone, na bazi fazne komparacije“, *Elektroprivreda*, p. 42-50, Oktobar 2010.
- [8] M. Đurić, „Algoritam za usmereni relej baziran na integralu prividne snage“, *Infoteh Jahorina* Vol. 6, Ref. D-13, pp. 229-234, March 2007.
- [9] Siniša Zubić, Milenko Đurić, Čedomir Zeljković, „Algoritam za usmjereni relej bez mrtve zone baziran na integralu trenutne snage“, *Infoteh*, naučno-stručni simpozijum, Jahorina, mart 2008.
- [10] Milenko Đurić, „Relejna zaštita“, *Beopres*, Beograd, 2008.
- [11] Jorge Lazaro Domínguez, José Félix Miñambres Argüelles, Miguel Angel Zorrozuza Arrieta, Begoña Larrea Jaurrieta, Maribel Sanchez Benito, Iñigo Antiza Zugazaga, „New quick-convergence invariant digital filter for phasor estimation“, *Electric Power Systems Research* Vol.79 (No.5), pp. 705–713 2009.

Abstract—Algorithms for digital distance protection of power systems are classically based on an estimation of the fault impedance which is used for determining the fault distance and the action of distance protection. In contrast to this approach, the presented algorithm uses phase comparison principle which had been used in distance protection in previous generations. The phase comparator is based on the integral of instantaneous power. In this article an improvement of the algorithm with adding a decaying DC offset filter is presented. Special emphasis was placed on achieving a higher response speed in conditions of low voltage level during the fault.

Key words—Distance protection algorithms; Phase comparison; Integral of instantaneous power; FCDF; T

An Improved Distance Protection Algorithm Based on the Phase Comparison

Evaluacija isplativosti upotrebe distribuirane proizvodnje kod industrijskih/komercijalnih potrošača

Čedomir Zeljković, Siniša Zubić
Elektrotehnički fakultet
Univerzitet u Banjoj Luci
Banja Luka, Republika Srpska, BiH

Nikola Rajaković
Elektrotehnički fakultet
Univerzitet u Beogradu
Beograd, Srbija

Sadržaj—U radu se prezentuje metodologija za procjenu isplativosti investiranja u distribuiranu proizvodnju električne energije kod industrijskih/komercijalnih potrošača. Predloženi pristup je integralan, što znači da se u obzir uzimaju grupe najvažnijih dobiti i najvažnijih troškova, tokom cijelog životnog vijeka, uz njihovo svodenje na sadašnju vrijednost. Metod se praktično upotrebljava tako što se poredi konačan broj tržišno dostupnih investicionih varijanti, određuje da li ima isplativih i, u slučaju pozitivnog odgovora, među njima nalazi najpovoljnija.

Ključne riječi—distribuirana proizvodnja; ekonomska evaluacija; TOU tarifa; optimizacija; ekonomski dispečing; pretraživanje; pouzdanost; kvalitet; finansijski podsticaji; investicioni troškovi.

I. UVOD

Distribuiranu proizvodnju (*distributed generation* - DG) predstavljaju relativno mali proizvodni agregati povezani direktno na distributivnu mrežu odnosno na tačku priključenja potrošača električne energije [1]. Primjeri tehnologija distribuirane proizvodnje su dizel-agregati, gasne mikroturbine, gorive ćelije, te obnovljivi izvori energije - vjetroturbine i fotonaponski sistemi. U proteklih par decenija izvršeno je obimno istraživanje, koje je rezultovalo respektabilnom listom potencijalnih koristi od upotrebe distribuirane proizvodnje. Pored prednosti, postoje i izvjesni problemi i rizici koje je za tu svrhu neophodno prebroditi.

Najveću pažnju istraživača privukla je problematika uticaja distribuirane proizvodnje na elektroenergetski sistem. Autori su pokazali da instalisanje distribuiranih agregata može pomoći u smanjenju gubitaka u prenosu [2], poboljšanju naponskog profila [3], poboljšanju kvaliteta električne energije [4], poboljšanju pouzdanosti snabdijevanja [5], odgađanju dogradnje prenosnih kapaciteta [6], obezbjeđivanju pomoćnih servisa [7], itd.

U velikom broju publikacija takođe se razmatra i značaj upotrebe distribuirane proizvodnje za dobrobit zajednice. U tim radovima se pokazuje da lokalna proizvodnja energije pozitivno utiče na energetska sigurnost zajednice [8], te da upotreba novih efikasnijih i obnovljivih tehnologija vodi ka sveukupno jeftinijem i čistijem snabdijevanju energijom [8],[9].

U relativno manjoj grupi istraživanja upotreba distribuirane proizvodnje se posmatra iz perspektive potrošača električne energije. Pokazuje se da potrošači od instalisanja distribuirane proizvodnje mogu imati korist putem smanjenja računa za utrošenu energiju [10], poboljšanja kvaliteta i pouzdanosti

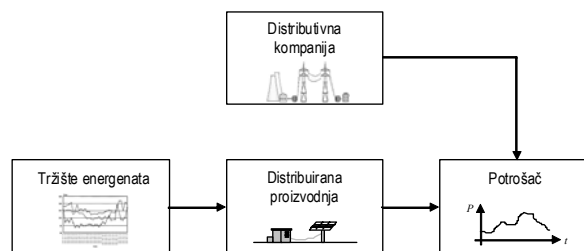
snabdijevanja [11], dodatne uštede od upotrebe otpadne toplote iz CHP (*combined heat and power*) sistema [12], itd.

U ovom radu akcenat je upravo na koristima koje može ostvariti potrošač električne energije. Predlaže se metodologija koja potrošačima treba da pomogne kod procjene isplativosti instalisanja distribuirane proizvodnje. Za razliku od navedenih radova [10]-[12] u kojima se analiziraju pojedinačni aspekti, ovdje se primjenjuje integralni pristup, što znači da metod treba da uvaži sve bitnije koristi koje potrošač može da ostvari, a istovremeno se one porede sa svim troškovima koji se pri tom nameću. Posmatra se čitav period životnog vijeka investicije, uz svodenje novčanih iznosa na sadašnju vrijednost. Algoritam za procjenu analizira konačan broj investicionih varijanti i provjerava da li korisniku donose uštedu u odnosu na aktuelno stanje, te od pozitivno ocijenjenih određuje najbolju.

II. FORMULACIJA PROBLEMA

A. Opis posmatranog sistema

Slika 1 prikazuje blok-dijagram razmatranog sistema. Ciljni potrošač za ovu metodologiju je srednja odnosno velika industrijska ili komercijalna kompanija, čije poslovanje značajno zavisi od snabdijevanja električnom energijom. Ta zavisnost može biti izražena kroz veliku potrošnju električne energije, veliku vršnu snagu ili veliku zahtjevnost u pogledu pouzdanosti ili kvaliteta snabdijevanja. Tradicionalni način napajanja električnom energijom predstavlja kupovina od distributivne kompanije. Alternativni način je nabavka energenata na tržištu i sopstvena proizvodnja upotrebom distribuiranih agregata.



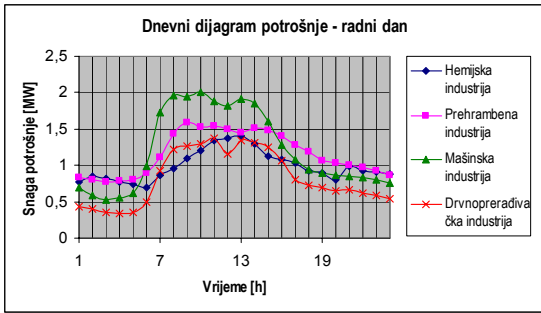
Sl. 1 Blok-dijagram razmatranog sistema

B. Osnovne karakteristike potrošača

Potrošač je karakterisan dijagramima potrošnje. Za svakog potrošača relativno lako se može utvrditi set dijagrama potrošnje za karakteristične periode (radni dan, neradni dan,

Dio ovog istraživanja finansijski je pomoglo Ministarstvo nauke i tehnologije Republike Srpske

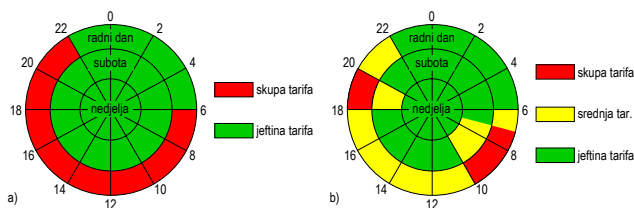
sezonske varijacije). Slika 2 prikazuje tipične dnevne dijagrame radnog dana za neke vrste industrijskih potrošača [13].



Sl. 2. Tipični dnevni dijagrami industrijskih potrošača za radni dan

C. TOU tarifa

Smatra se da potrošač električnu energiju plaća po TOU (*time-of-use*) tarifama, jer je to u razvijenim zemljama najčešći slučaj [14]. Ovakav način tarifiranja podrazumijeva cijene koje se mijenjaju u zavisnosti od doba dana, tako što su veće u vrijeme kada je i potražnja za energijom veća. Nivoi cijena se tipično mijenjaju jednom ili dva puta godišnje sa relativno predvidljivim dugoročnim trendom rasta. Najjednostavnija verzija ove tarife podrazumijeva postojanje samo dva tarifna perioda, period veće (skuplje) i period manje (jeftinije) tarife, kao što je grafički prikazano na slici 3a. Složenije verzije TOU tarife takođe imaju i periode sa srednjim cijenama, kao primjer sa slike 3b. Uz varijacije na dnevnom nivou, često postoje i razlike između ljetnih i zimskih cijena, čime se uvažavaju sezonske oscilacije potrošnje.



Sl. 3. Primjeri TOU tarifa

Kada se navedenoj tarifnoj šemi eventualno doda fiksna nadoknada za troškove mjerenja, očitavanja i sl. dobija se sistem za naplatu energije domaćinstvima - osnovni sistem naplate. Kod industrijskih (a često i komercijalnih) potrošača račun za utrošenu energiju ima i komponentu vršne snage. Vršna snaga je najveća snaga potrošnje usrednjena na 15-minutnom nivou koju je korisnik angažovao u toku kalendarskog mjeseca. Ona predstavlja suštinski parametar po kome se razlikuje tretman velikih potrošača u odnosu na male.

D. Definicija problema

Pretpostavlja se da korisnik razmatra nekoliko tržišno dostupnih investicija u distribuiranu proizvodnju. Očekuje se da je većina varijanti bazirana na kupovini samo jednog agregata, ali da mogu postojati i varijante sa nabavkom više agregata realizovanih u istoj ili različitim tehnologijama. Od evaluacione metodologije se traži da za svaku investicionu varijantu odredi iznose koristi i troškova, svde ih na sadašnju vrijed-

nost, odredi iznos eventualne uštede i poredeći ih među njima proglasi najpovoljniju.

III. METODOLOGIJA RJEŠAVANJA

A. Matematička formulacija

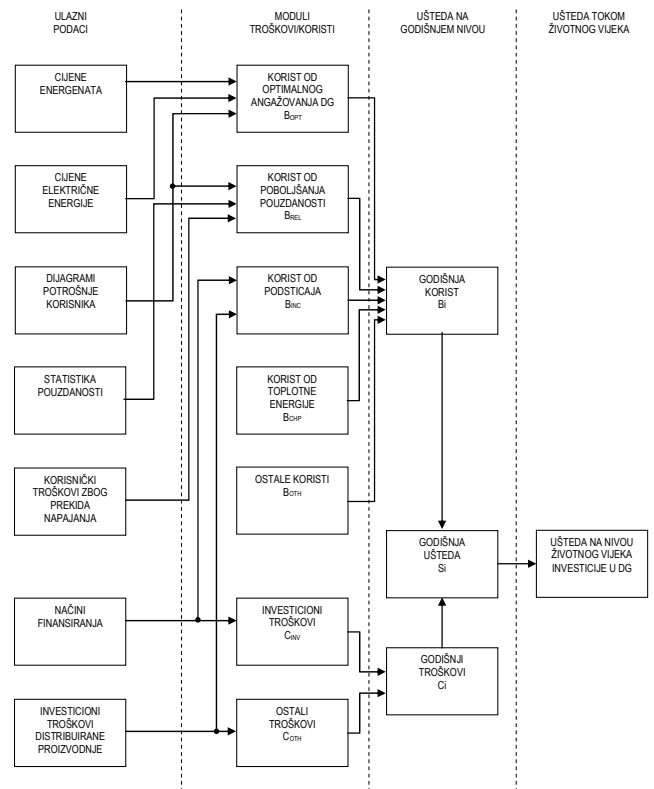
Prema principima korporativne finansijske matematike [15] neto sadašnja vrijednost uštede može se izraziti formulom

$$NPV_{uštede} = \sum_{k=1}^{n_L} \frac{\sum_{i=1}^{n_B} B_{ik} - \sum_{j=1}^{n_C} C_{jk}}{(1+d)^k}, \quad (1)$$

gdje su:

- n_L dužina životnog vijeka investicije u godinama,
- n_B broj tipova koristi,
- n_C broj vrsta troškova,
- B_{ik} vrijednost i -te koristi u godini k ,
- C_{jk} vrijednost j -tog troška u godini k ,
- d diskontna stopa.

Blok-dijagram sa slike 4 prikazuje vrste dobiti i troškova koje uvažava prezentovana evaluaciona metodologija. Kao što se vidi i iz formule (1) dobiti i troškovi se računaju na godišnjem nivou, pa njihova razlika daje godišnju uštedu, a potom se određuje neto sadašnja vrijednost na periodu čitavog životnog vijeka.



Sl. 4. Blok-dijagram procedure ekonomske evaluacije

U nastavku se prezentuju modeli pomoću kojih se izračunavaju pojedine dobiti i troškovi.

B. Korist od optimalnog angažovanja distribuirane proizvodnje – B_{OPT}

Upotrebom sopstvenih proizvodnih agregata, samim tim i smanjenjem tražnje energije iz distributivne mreže, moguće je pod određenim okolnostima smanjiti ukupne troškove snabdijevanja. Varijabilni troškovi distribuiranih agregata (€/kWh) definitivno su manji od cijene kilovat-časa iz mreže kada je riječ o tehnologijama obnovljivih izvora (solarne elektrane, vjetroelektrane i elektrane na biomasu). Troškovi u pojedinim periodima mogu biti manji i kada je energent prirodni gas, dok je samo u rijetkim zemljama snabdijevanje iz dizel-agregata jeftinije od energije iz distributivne mreže. Za svaki dijagram potrošnje i za aktuelne cijene energenata raspoloživih distribuiranih agregata, neophodno je sprovesti analizu i utvrditi postoji li način angažovanja koji bi donio uštedu.

Kod korisnika kojima se ne obračunava vršna snaga bilo bi relativno jednostavno napraviti planove za maksimalnu uštedu. Trebalo bi odrediti koliki su ukupni varijabilni troškovi pojedinih distribuiranih agregata i u slučajevima kada su ti troškovi manji od cijene energije iz distributivne mreže vršiti njihovo angažovanje. Prioritet bi tad naravno bio da se prvo angažuju jeftiniji agregati.

Slučaj koji je ovdje od većeg interesa za razmatranje jesu industrijski i komercijalni potrošači čiji račun za električnu energiju, osim stavke za utrošene kilovat-časove, takođe ima i komponentu vršne snage. Time se problem optimalnog angažovanja distribuiranih agregata značajno komplikuje i postaje tzv. simultan, jer vršna snaga koja se iz distributivne mreže angažuje samo jednom u toku mjeseca može značajno da participira u obračunu ukupnih troškova. Optimizacija se stoga ne može vršiti poput klasičnog ekonomskog dispečinga na satnom nivou, nego se cijeli mjesec mora posmatrati istovremeno.

Problem traženja najboljeg dispečinga je minimizacija svih varijabilnih troškova na mjesečnom nivou - C_m^{VAR} . Funkcija koju treba minimizovati može se pregledno napisati na sljedeći način:

$$C_m^{VAR} = \sum_i \sum_h C_i^{DG-VAR} \cdot P_i(h) \cdot t + \sum_h C_{PU}^{kWh}(h) \cdot P_{PU}(h) \cdot t + C_{PU}^{kW} \cdot \max_h P_{PU}(h) \quad (2)$$

gdje su:

- $P_i(h)$ snaga i -tog DG agregata u h -tom intervalu,
- $P_{PU}(h)$ snaga kupljena iz mreže u h -tom intervalu,
- C_i^{DG-VAR} ukupni varijabilni troškovi i -tog DG agregata,
- C_{PU}^{kWh} cijena kilovat-časa iz mreže,
- C_{PU}^{kW} cijena vršnog kilovata iz mreže,
- t vremenski korak proračuna.

Navedena funkcija se ne može minimizovati klasičnim metodama baziranim na traženju njenog izvoda, zato što sadrži

funkciju *max*. Umjesto toga, moguće je upotrijebiti metode zasnovane na pretraživanju [10].

Naredni korak je sumiranje svih mjesečnih troškova u godišnje - C^{VAR} , a potom za posmatranu godinu takođe i računanje godišnje koristi od optimalnog angažovanja distribuiranih agregata

$$B_{OPT} = k_s (C^{PU} - C^{VAR}), \quad (3)$$

gdje C^{PU} predstavlja iznos korisnikovog računa za električnu energiju kada nema instaliranih distribuiranih agregata, a C^{VAR} ukupne troškove energije kada korisnik posjeduje distribuirane agregate i angažuje ih na optimalni način. U praksi je teško očekivati da će se teorijski optimalni dispečing moći ostvariti u potpunosti, zbog razloga kao što su neplanski ispadi, planirana održavanja ili odstupanja u prognozi potrošnje. Zbog toga će realna korist po osnovu optimalnog angažovanja distribuiranih agregata biti manja od teorijske i zato se predlaže da se razlika $C^{PU} - C^{VAR}$ pomnoži koeficijentom sigurnosti k_s , čija je vrijednost u intervalu od 0,9 do 0,95 [16].

Kod računanja uštede za i -tu godinu uvažavaju se predikcije promjena cijena električne energije i energenata za distribuiranu proizvodnju. Zbog grešaka u predikcijama dolazi i do odstupanja u apsolutnim vrijednostima uštede, ali u radu [16] je pokazano da se kod relativnog poređenja varijanti uticaji ovih grešaka smanjuju, jer se, kada se gledaju razlike, skoro poništavaju.

C. Korist od poboljšanja pouzdanosti i kvaliteta električne energije – B_{REL}

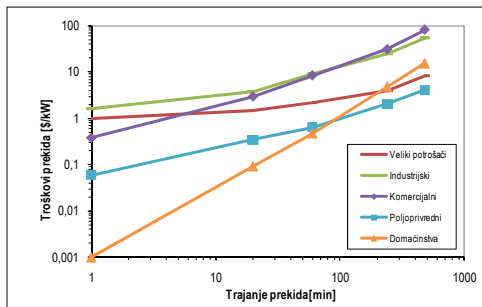
Mnogi industrijski i komercijalni potrošači električne energije su vrlo osjetljivi na prekid napajanja. To su na primjer procesna industrija, finansijske kompanije i medicinske ustanove, koji doživljavaju štetu zbog posljedica po ljude, zbog izgubljene proizvodnje, upropaštenih proizvoda i mašina, troškova prekovremenog rada, gubljenja tržišta, itd. Istraživanja pokazuju da samo u SAD godišnja šteta koju potrošači pretrpe usljed prekida napajanja iznosi preko 100 milijardi dolara [17].

Najčešći pristup za kvantifikovanje vrijednosti pouzdanosti je upravo preko iznosa štete koja nastane usljed nepouzdanosti [18]. Ovim pristupom se od potrošača anketiranjem traže informacije o šteti koja bi nastala za karakteristične hipotetičke scenarije prekida napajanja. Na osnovu njihovih odgovora formiraju se tzv. funkcije štete - krive troškova koje doživljava potrošač u zavisnosti od trajanja prekida. Oblici tih krivih za karakteristične tipove potrošača prikazuje slika 5. Takođe, u ovoj analizi se pretpostavlja da se zadovoljavajući rezultati dobijaju kada se godišnji dijagram potrošnje aproksimira sa nekoliko (npr. deset) ravni segmenata, kao na slici 6.

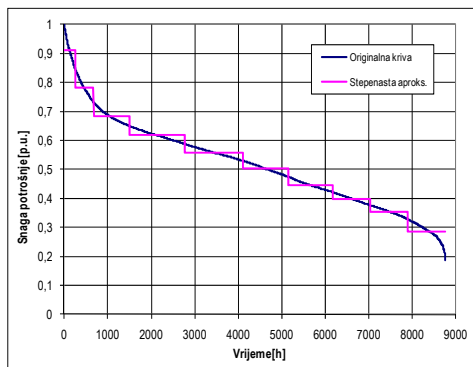
U ovom modelu koriste se još sljedeći podaci:

- n_i broj stepenica na krivi trajanja opterećenja (*LDC*),
- n_j broj komponenti sistema (broj tipova kvarova),
- λ_j učestanost kvara tipa j ,
- p_i vjerovatnoća pojave stepenice i na krivi *LDC*,
- LDC_i snaga potrošnje stepenice i na krivi *LDC*,

CDF_i korisnički troškovi pri prekidu trajanja r_j ,
 P_{DG}^{INS} instalisana snaga distribuirane proizvodnje.



Sl. 5 Šteta usljed prekida napajanja u zavisnosti od vremena trajanja



Sl. 6 Aproksimacija krive trajanja opterećenja stepenastom krivom

Kada nema instalisane distribuirane proizvodnje godišnja šteta usljed nepouzdanosti može se procijeniti pomoću formule

$$C_{REL} = \sum_{i=1}^{n_i} \sum_{j=1}^{n_j} p_i \cdot \lambda_j \cdot LDC_i \cdot CDF(r_j). \quad (4)$$

U slučaju kada korisnik posjeduje distribuiranu proizvodnju moguće je da njenim angažovanjem pokrije dio energetske potreba i smanji štetu na

$$C_{REL}^{DG} = \sum_{i=1}^{n_i} \sum_{j=1}^{n_j} p_i \cdot \lambda_j \cdot \max\{LDC_i - P_{DG}^{INS}, 0\} \cdot CDF(r_j). \quad (5)$$

Razlika između iznosa troškova (4) i (5) je doprinos distribuirane proizvodnje poboljšanju pouzdanosti na godišnjem nivou

$$B_{REL} = C_{REL} - C_{REL}^{DG}. \quad (6)$$

D. Korist od finansijskih podsticaja – B_{INC}

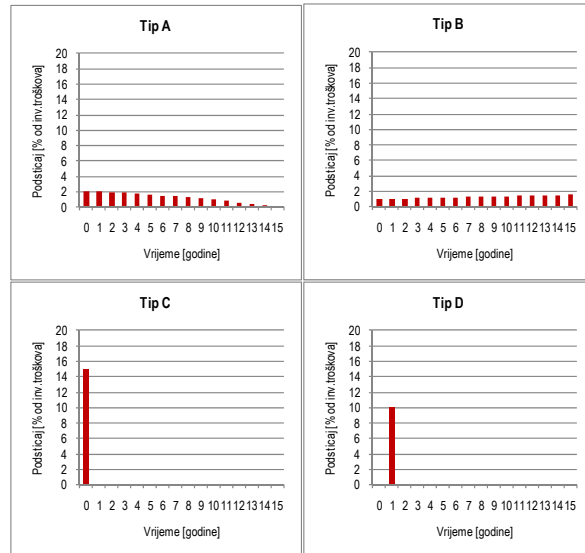
Finansijski podsticaji su još jedan od bitnih faktora koji mogu znatno da utiču na kvalitet posmatranog projekta i podstaknu investiranje u distribuiranu proizvodnju. Tehnologije koje se favorizuju i finansijski podržavaju su obnovljivi izvori

energije, ekološki unaprijeđena proizvodnja na fosilna goriva, proizvodnja sa visokim stepenom iskorišćenja, kogeneracija, i sl. Način uvažavanja koristi od finansijskih podsticaja zavisi od njihovog tipa, a kako je raznovrsnost tih tipova velika, teško je razviti univerzalni pristup. Umjesto toga, potrebno je za svaki poseban tip podsticaja izvršiti odgovarajuću analizu.

Najčešći tipovi podsticaja za distribuiranu proizvodnju su:

- refundiranje dijela kamate plaćene na kredit,
- plaćanje određenog iznosa po proizvedenom kWh-u,
- refundiranje dijela investicionih troškova,
- oslobađanje dijela poreza,
- dodjela „zelenih sertifikata“ za obnovljivu energiju.

Grafička ilustracija za nekoliko karakterističnih tipova podsticaja prikazana je na slici 7. Tip A se odnosi na princip refundiranja vraćanjem dijela kamate plaćene u tekućoj godini na investicioni kredit. Obzirom da je kamata na početku vraćanja kredita najveća, ovi podsticaji su takođe najveći na početku. Tip B je način po kojem se korisniku plaća određeni iznos po proizvedenom kilovat-času. Taj se iznos često usklađuje sa inflacijom i rastom cijena električne energije, pa visine ovih podsticaja vremenom rastu. Podsticaji tipa B utiču na optimalni dispečing, jer smanjuju cijene sopstvene proizvodnje energije, tako da se oni u ovoj metodologiji uvažavaju u bloku optimalnog dispečinga, umjesto u bloku finansijskih podsticaja. Tip C predstavljaju podsticaji gdje sufinansijer u startu refundira određeni procenat investicionih troškova. Potrošač na ovaj način korist ima samo u „nultoj“ godini tako da je podsticaje tipa C najlakše matematički uvažiti. Tip D se odnosi na podsticaje u obliku poreskih olakšica. Potrošaču se na isteku prve godine, u okviru redovne procedure povrata poreza, vraća dio uplaćene vrijednosti.



Sl. 7 Godišnje koristi B_{INC} za reprezentativne tipove finansijskih podsticaja

E. Korist od kombinovane proizvodnje toplotne energije – B_{CHP}

Značajan broj industrijskih/komercijalnih potrošača osim električne energije ima potrebu i za toplotnom energijom.

Tradicionalni načini za obezbjeđivanje toplotne energije su snabdijevanje iz centralnog izvora toplote ili kupovina energenata i proizvodnja toplote pomoću vlastitih kotlova. Posjedovanjem distribuirane proizvodnje čija se otpadna toplota može iskoristiti kao korisna toplotna energija povećava se fleksibilnost u snabdijevanju toplotnom energijom i u najvećem broju slučajeva dovodi do ušteta u sveukupnom energetsom računu korisnika.

Osnovna dva načina rada distribuiranih agregata koji posjeduju opciju kombinovane proizvodnje toplotne i električne energije (CHP) su praćenje električnog opterećenja i praćenje toplotnog opterećenja [12]. Kako je metodologijom koja se predstavlja u ovom radu, radi smanjenja električne vršne snage, predviđen optimalni električni dispečing, smatraće se da CHP agregati rade u modu praćenja električnog opterećenja. U tom slučaju iznos proizvedene toplote prati vrijednost električne snage i zavisi od konstrukcione karakteristike agregata PHR (*power-to-heat ratio*). Ukoliko se nekad proizvodi više toplotne energije nego što toplotni potrošači traže, moguća je upotreba uređaja za termičko skladištenje. Za obrnuti slučaj, kada je potražnja za toplotnom energijom veća nego što je proizvodnja CHP sistema, potrebno je da se nadoknada izvrši iz drugog toplotnog izvora. Zaključuje se da je ukupna korist od CHP sistema – B_{CHP} – iznos za koliko se smanji račun za toplotnu energiju plaćan snabdjevaču toplotne energije, odnosno račun za sopstveno generisanje toplote bez distribuirane proizvodnje.

F. Investicioni troškovi – C_{INV}

Investicioni (kapitalni) troškovi obuhvataju troškove nabavke i ugradnje distribuiranog proizvodnog sistema. Za ovaj proračun potrebno je ukupne troškove svesti na godišnji nivo. Matematička formulacija tih troškova izgleda ovako

$$C_{INV} = \sum_i C_i^{CAP} \cdot A_i \cdot P_i^{INS} . \quad (7)$$

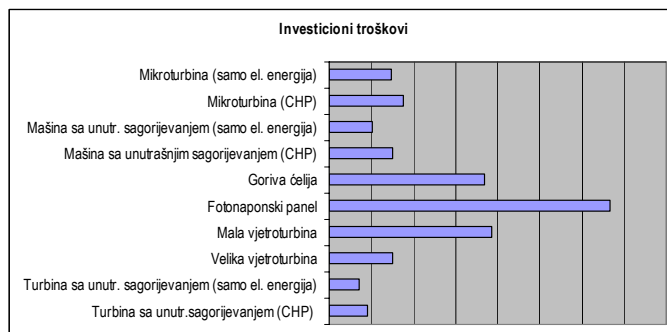
P_i^{INS} je instalisana snaga i -tog generatora, a C_i^{CAP} je cijena kapitalne investicije po kilovatu instalisane snage za tu tehnologiju. U formuli (7) figuriše još i bezdimenziona veličina A_i kojom se ukupni troškovi skaliraju na godišnji nivo. Obzirom da su kreditna sredstva najčešći izvor finansiranja ovakvih projekata, faktor A_i predstavlja udio godišnje rate za vraćanje kredita u odnosu na vrijednost kompletne investicije. Označavajući kamatnu stopu kredita sa r_i i životni vijek DG sistema, odnosno period vraćanja kredita sa n_L , faktor skaliranja bi se izračunao korišćenjem formule

$$A_i = \frac{r_i}{\left(1 - \frac{1}{(1+r_i)^{n_L}}\right)} . \quad (8)$$

U slučaju nestandardnog načina obračuna kredita, varijanti sa grejs periodima ili nekog drugog načina finansiranja, treba adaptirati formulu za A_i .

Visina investicije po kilovatu instalisane snage C_i^{CAP} za određenu DG tehnologiju nije jednoznačno određena. Dok se

nabavna cijena opreme može relativno jednostavno odrediti, za određivanje visine investicije problem predstavljaju troškovi ugradnje koji zavise od velikog broja parametara, a prvenstveno od mjesta ugradnje. Analize koje su vršene posljednjih nekoliko godina pokazuju da se opseg investicionih troškova („ključ u ruke“) proteže od iznosa manjih od 1000 \$/kW za mašine sa unutrašnjim sagorijevanjem do nekih 7000 \$/kW za fotonaponske sisteme. Relativni odnosi cijena za različite tehnologije distribuirane proizvodnje prikazani su na slici 8.



Sl. 8 Relativni odnos investicionih troškova za različite DG tehnologije

G. Ostale koristi i troškovi – B_{OTH} , C_{OTH}

U zavisnosti od geografskog, ekonomskog i političkog okruženja, te od prirode posla razmatranog industrijskog/komercijalnog potrošača, moguće je da se osim dosad navedenih pojave i drugi specifični troškovi i koristi. Njih je takođe potrebno kvantifikovati, napraviti odgovarajuće nizove anuelizovanih vrijednosti za period životnog vijeka i uključiti ih u evaluacioni model sa slike 4.

H. Procedura poređenja varijanti

Predstavljeni evaluacioni metod se provodi nad svakom razmatranom investicionom varijantom. Varijante koje imaju pozitivnu neto sadašnju vrijednost uštete (NPV) su isplative za realizaciju. Varijanta sa najvećim iznosom NPV predstavlja najbolje rješenje. Ukoliko druge finansijske investicije na tržištu imaju veće iznose NPV od onih koje nudi uvođenje distribuirane proizvodnje, zaključuje se da od realizacije DG projekata treba odustati.

IV. ZAKLJUČAK

Prezentovana metodologija je namijenjena za ekonomsku evaluaciju investiranja u distribuiranu proizvodnju kod industrijskih i komercijalnih potrošača. Postupak je primjenjiv kod potrošača kojima se električna energija naplaćuje po TOU (*time-of-use*) tarifi, a nije prikladan za sisteme bazirane na RTP (*real time pricing*) tarifiranju. Obzirom da je riječ o rješavanju planerskog problema, gdje se period posmatranja proteže kroz čitav životni vijek distribuirane proizvodnje (15 godina i više), zbog moguće promjene nekih parametara, apsolutni rezultati se ne dobijaju sa visokom preciznošću. S druge strane, upotrebljivost prezentovane metodologije leži u relativnom poređenju investicionih varijanti, jer se na pojedine opcije promjene parametara slično reflektuju, te u međusobnim razlikama poništavaju. Iz ovih razloga za finansijski model

odabran je metod neto sadašnje vrijednosti koji i jeste najbolje primjenjiv za poređenje varijanti. U konkretnom slučaju moguće je vršiti međusobno poređenje varijanti investiranja u distribuirane agregate, ali takođe i uz uvažavanje neke druge atraktivne investicije na tržištu. Još jedna prednost prezentovane metodologije je modularnost. Zahvaljujući modularnom pristupu omogućeno je dodavanje novih koristi i troškova, te dodatno usavršavanje matematičkih modela u nekom od postojećih modula.

LITERATURA

- [1] T. Ackermann, G. Andersson, L. Söder, "Distributed Generation: a Definition," *Electric Power Systems Research* vol. 57, 2001, pp. 195-204.
- [2] T. Q. D. Khoa, P. T. T. Binh, H. B. Tran, "Optimizing Location and Sizing of Distributed Generation in Distribution Systems," in *Proc. Power Systems Conf. Expo.*, Atlanta, Georgia, USA, October 29 – November 01, 2006, pp. 725-732.
- [3] Z. Kai, A. P. Agalgaonkar, K. M. Muttaqi, S. Perera, "Voltage support by distributed generation units and shunt capacitors in distribution systems," in *Proc. Power & Energy Society General Meeting*, Calgary, Canada, July 26-30, 2009, pp. 1-8.
- [4] I. El-Samahy, E. El-Saadany, "The Effect of DG on Power Quality in a Deregulated Environment," in *Proc. IEEE PES General Meeting*, June 12-16, 2005, vol. 3, pp. 2969 - 2976
- [5] A. A. Chowdhury, S. K. Agarwal, D. O. Koval, "Reliability modeling of distributed generation in conventional distribution systems planning and analysis," *IEEE Trans. Ind. Appl.*, vol. 39, no. 5, pp. 1493-1498, Sep.–Oct. 2003.
- [6] H. Gil, G. Jóos, "On the Quantification of the Network Capacity Deferral Value of Distributed Generation", *IEEE Trans. Power Syst.*, vol. 24, no. 4, 2006, pp. 1592-1599.
- [7] G. Jóos, B. T. Ooi, D. McGillis, F. D. Galiana, R. Marceau, "The potential of distributed generation to provide ancillary services," in *Proc. IEEE Power Eng. Soc. Summer Meeting*, Seattle, WA, USA, July 16–20, 2000, pp. 1762–1767.
- [8] K. Alanne, A. Saari, "Distributed energy generation and sustainable development", *Renewable and Sustainable Energy Reviews*, vol. 10, no. 6, 2006, pp. 539-558.
- [9] K. Qian, C. Zhou, Y. Yuan, X. Shi, M. Allan, "Analysis of the environmental benefits of distributed generation," in *Proc. PES General Meeting*, July 20-24, Pittsburgh, PA, USA, 2008, pp 1-5.
- [10] C. V. Zeljkovic, N. Lj. Rajakovic, S. J. Zubic, "A Method for Cost Minimization Applicable to Load Centers Containing Distributed

Generation", in *Proc. Power Tech Conf.*, Bucharest, Romania, June 28 – July 02, 2009, pp. 1-6.

- [11] K. Darrow, B. Hedman, T. Bourgeois, D. Rosenblum, "The Role of Distributed Generation in Power Quality and Reliability", EEA/Pace Energy Technical Report, December 2005.
- [12] Y. Ruan, Q. Liu, W. Zhou, R. Firestone, W. Gao, T. Watanabe, "Optimal option of distributed generation technologies for various commercial buildings", *Applied Energy*, vol. 86, no. 9, 2009, pp. 1641-1653.
- [13] IESO [Independent Electricity System Operator], "Transition Market Information: Load Profiles - Small Industrial Customer Groups", <http://www.ieso.ca/imoweb/transInfo/demand.asp>
- [14] Charles River Associates, Primer on Demand-Side Management, Report prepared for the World Bank, February 2005.
- [15] R.A. Brealey, S.C. Myers, Principles of corporate finance, 7th ed., Boston: McGraw-Hill, 2003.
- [16] C. V. Zeljkovic, N. Lj. Rajakovic, S. J. Zubic, "An application of cost minimization algorithm to economic justification of installing distributed generation", in *Proc. IFAC CMTEE Conf.*, Vilamoura, Portugal, March 29 – 31, 2010.
- [17] PRIMEN, The cost of power disturbances to industrial & digital economy companies, Report no. TR-1006274, Palo Alto, CA, EPRI, 2001.
- [18] R. Billinton, R. N. Allan, Reliability evaluation of power systems, 2nd ed., New York and London: Plenum Press, 1996.

Abstract—In this paper we present a methodology for economical assessment of installing distributed generation for industrial/commercial customers. We propose an integrated approach where the main benefits and costs are taken into account, respecting the overall lifetime of investment and converting the monetary amounts into their present values. The method is applied by comparing the finite number of market available investment options, detecting the profitable ones, and in case of positive answer, declaring the best of them.

Keywords—Distributed generation, economic evaluation, TOU tariff, optimization, economic dispatch, search methods, reliability, power quality, incentives, capital costs.

Economic Evaluation of Distributed Generation for Industrial/Commercial Customers



Sekcija TO-9
INFORMACIONE TEHNOLOGIJE

D. Lukač	CAE APPLICATION AND CERTIFICATION FOR INDUSTRIAL AND EDUCATIONAL CUSTOMERS: THE CASE OF UNIVERSITY-INDUSTRY COOPERATION BETWEEN EPLAN AND RFH	346
M. Kalendar, D. Jakimovska, G. Dokoski, A. Tentov	ADVANCED ROUTING CONCEPT SUPPORTED BY A NOVEL PROCESSOR ARCHITECTURE	351
D. Jakimovska, G. Dokoski, M. Kalendar, A. Tentov	NETWORK PROCESSOR ARCHITECTURE DESIGN FOR MULTI-GIGABIT NETWORKS	357
Z. Dejanović	VIŠESLOJNA ARHITEKTURA SISTEMA ZAŠTITE SAVREMENIH RAČUNARSKIH MREŽA	363
D. Malbaški, A. Kupusinac	KONCEPTUALNA DEFINICIJA KLASE I OBJEKTA	368
Z. Đurić, O. Joldžić	KOMPARATIVNI PREGLED SPECIFIKACIJA JAVASERVER FACES APLIKATIVNOG OKRUŽENJA	372
B. Marović, J. Vuleta, P. Partlov, M. Bajčetić, V. Ninković	FARMAKOLOŠKI INFORMACIONI SISTEM ZA PRIMENU U PEDIJATRIJI I NEONATOLOGIJI	377
O. Banjac, S. Marić	PRIMJENA E-UČENJA U UNAPREĐENJU NASTAVE ELEKTRONIKE U SREDNJIM ŠKOLAMA	383

CAE Application and Certification for Industrial and Educational Customers: The Case of University-Industry Cooperation between EPLAN and RFH

Invited Paper

Duško Lukač

Department of Mechatronics
Rheinische Fachhochschule Köln gGmbH-University of Applied Sciences
Vogelsanger Strasse 295, 50825 Köln, Germany
lukac@rfh-koeln.de

Abstract—The paper presents examples of the application of the currently most used CAE software for electrical engineering and project planning EPLAN Electric P8 as well as novel international certification model, of the so called Eplan Certified Engineer (ECE) and EPLAN Certified Student, based on cooperation between Rheinische Fachhochschule Köln gGmbH – University of Applied Sciences in cooperation with EPLAN Software and Service company, a market leader in development and training in electro CAE. It argues that the successful interface management, communication plan and the customer oriented technical-didactical model of the concept has been essential for the viability and success of the courses. It concludes that cooperation between the industry and university enhances the university's and firm's reputation with consumers and environmental competitors and has had positive financial effects for the both parties. It concludes that on the whole, these joint certification programs have a convenient side effect, like to be the successful way for the development of high-quality training opportunities for the students.

Keywords-Standardization; CAE; CAD; EPLAN Certified Engineer (ECE); Third-party CAE/CAD Certification; Reverse Engineering; Inplace Editing

I. INTRODUCTION

EPLAN Electric P8 is CAE database driven software for designing of electrical engineering systems. It uses freely selectable graphical/object orientation & variant technology and offers diverse functions like interfacing article reports, revision management etc. It is most used CAE application in the industry and applied by most import and industrial companies like companies out of automotive segment (Volkswagen, BMW, Mercedes and Ford etc.) or other known international industrial companies. It becomes as a quasi-standard in the CAE application. Institutions of higher education, industry, non-governmental and governmental organizations each achieve economic, scientific, and strategic advantages from collaboration [1]. Their incentives for collaboration are epistemic, didactical and also political, with the reflection of the marketing needs [2]. Obstacles to cooperation and collaboration contain industry limits, appropriation of study, communication difficulties, and also national [3] and organizational cultural differences. Sometimes

also industry and institutions of higher education often have dissimilar time horizons [4]. There are different possibilities to strength collaborations as for instance to use a legal framework and intermediaries. With this in mind, Rheinische Fachhochschule Köln gGmbH (RFH) - University of Applied Sciences has started the first conversations with the representatives of the EPLAN Software and Services (EPLAN) company in July 2006. The RFH is the biggest and oldest German private university. EPLAN is a worldwide leading CAE software developer in the area of electrical engineering, mechatronics and process and investment planning. The company has a contract with more than 60000 licensees worldwide. Gradually the high-level talks have been initiated and the cooperation intention has been developed and underlined with signification of the letter of intent. The letter of intent has defined the first time horizons, the main subjects of the collaboration as well as the framework and the content of the collaboration. After several reciprocal visits of the RFH and EPLAN by the representatives of the company and university cooperation has been established in October 2008. The cooperation concerns the realization of the so-called ECE (Eplan Certified Engineer) assessments, whereby the RFH take on the role of the Third Party Certifier.

II. BACKGROUND AND MOTIVES OF COOPERATION

The ECE assessment as a quality standard assessment, serves to evaluate the quality of the theoretical and practical knowledge of the examinees who are using the EPLAN product Electric P8, which is in the meantime the standard-software used in the German and European industry, particularly in the German automotive industry and companies like Volkswagen, Mercedes or BMW [5]. As is known, automotive industry in Germany is one of the major employers in the country, with a well-built workforce of over 866,000 working in the manufacturing and trade. Additionally, Germany has the largest share of passenger automobile production in Europe with more than 29% market share [6]. Consequently the multi-purpose impact of automotive industry is huge. The idea for the establishment of the CAE quality standard assessment has been initiated by the German automotive industry in 2005, for the most part by the Volkswagen, which has in this regard addressed EPLAN Company. The reason of the establishment

of the quality standards in CAE application has originated, because many supplier's companies which are working for automotive industry, have not made available high-grade qualitative electric engineering wiring diagrams and electro project engineering plans made with the software Electric P8. These led to higher costs because of the time-consuming reviewing of faulty plans. For the long-term directives and norms used for the establishment of the sustainable quality standards an independent quality assurance institution (RFH) has been integrated in the concept. As an independent institution, RFH has undertaken the task of the development of the regulation and contents leading to sustainable quality CAE standards as well as the development of the assessment procedure. It includes also the allocation of the all resources needed for the realization of the effective assessment. It must be independent from the exam location, because the assessment is to be offered to the customers in Germany and worldwide.

III. COOPERATION BENEFITS, ELEMENTS OF COURSE DESIGN AND KEY SUCCESS FACTORS

In times of increasing competition the success of an enterprise depends decisively on productiveness and qualification. Not only the choice of the suitable, achievement-raising software is important for the success, but also the professional handling of the system documents the company's competence face to face with customers. Thus it surprises nobody that the subject "Certification" has won in importance. Enterprises profit more and more from the use of the uniform defined high-class standards, to set themselves apart from the competition and to guarantee the investment security for their products and services. As an EPLAN certificated supplier, the firm stands professionally in their market segment and documents with it the uniform high-class standard, extensive specialist knowledge and competence. Companies indicate to their customers that high-class aspects stand in the center of their enterprise activity. Thus the companies do achieve a clear competitive advantage compared with the not-certificated suppliers [7]. Due to the fact, that a „certificate" is individual-related matter, the idea has originated that the company receives the status as "EPLAN certificated supplier" then, if at least one company's employee has successfully passed the ECE-assessment. Thus the company keeps this status, as long as these employees (owners of the ECE certificate) remain to stay employed in the company. On account of this idea the different benefit aspects came well along, which arise from the user's view, company's point of view, from the point of view of the EPLAN company and the RFH University. These will be subsequently explained in gretaer detail below. Customer value of ECE certification can be specified as in the Fig. 1.

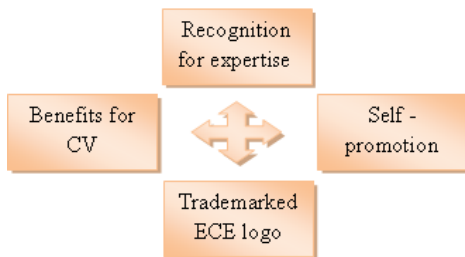


Figure 1. Customer's benefits of ECE certification.

The owners of the certificate receive recognition for their expertise from their employer. The curriculum vitae of the certificate-owner shows a point, the recruiter considers beneficial. Owners of the certificate receive an ECE logo which they can freely use even for the business purposes, as an advertising for the own business. The ECE logo is legally protected by the EPLAN company and may not be misused. The ECE logo is presented in Fig. 2.



Figure 2. Eplan Certified Engineer logo ©.

The profile of owner of the certificate can also be published on the web page of the EPLAN company. For that case RFH University forwards the data of the candidates they passed the ECE exam to the EPLAN company, assumed the customer agrees in co-ordination with the data security regulations, that his/she's data may be forwarded and published. On this way, everybody can publicly see who the owners of the ECE certificate are [8]. The ECE certificate is issued by RFH University. Furthermore but, behind the certificate issued by the RFH University, owners of the ECE certificate upon request can receive a further high-quality certificate document from EPLAN company. Moreover there are benefits for the EPLAN company and the RFH University which arise from the ECE certification. Firm's value of ECE certification can be specified as in the following:

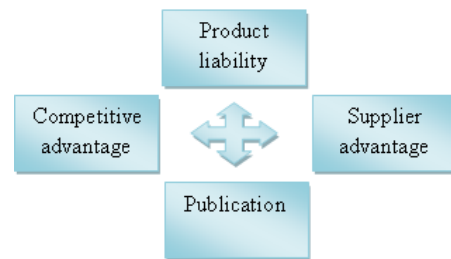


Figure 3. Company's benefits of ECE certification.

With the certification the firms have a juridical security in the product liability, because of the comprehensible proof of the service quality, offered with the Electric P8 product. On the one side the firms have advantages in the market segment compared with not-certificated competitor and on the other side certification represents a demonstrable high-class standard in the supplier's circle.

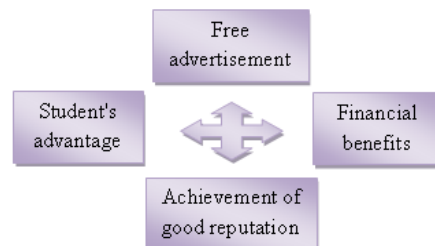


Figure 4. University's benefits of ECE certification.

Also the enterprise profile is published on the web page EPLAN analogical to the publication of the user's data. Certification benefits for RFH University can be specified as in the Fig. 4. For the RFH University there are many benefits arising through the Third Party Certification. According to agreement the RFH receives a free advertisement done by the EPLAN company. During the every product training offered in by the EPLAN company, trainers are instructed to inform the customers about the ECE certification at RFH. Having in mind that EPLAN has 59 subsidiaries worldwide and there from 16 in Germany, the advertising effect is very high. Furthermore EPLAN is regularly advertising also in the professional journals and trade magazines, in internet and other advertising channels. ECE certification is also offered to the students and employees of the RFH university to the reduced price of currently 150 € excl. VAT. It is a benefit for all RFH students and employees, not only because of the reduced price but also because this certification is unique at German universities. The good reputation of the university becomes therefore achieved. At least university gains a substantial financial benefits because the regular customers have to pay 300 € excl. VAT for the 90-120 min on-line assessment. The overhead costs are less, because assessments is carried out with the open source software and needs to be updated every 2 years, with the issuing of the new EPLAN Electric P8 product. The re-certification of the certificate owners is therefore necessary every 2 years. This leads to increasing of the customer pool and consequently to the sustainability of the financial benefit for the university, because for every new certification procedure the costs become due. The ECE certification becomes since 2009 international. The benefits of the internationalization are huge. RFH has a free and improved market access in the EU and worldwide due to possible cooperation with the potential supports of the ECE assessment, which can be licensed. Also the financial advantages increase, without additional resource input. The assessment is offered for the international customers in German and English language and in these languages exams are available. EPLAN's value of ECE certification can be specified as in the following:

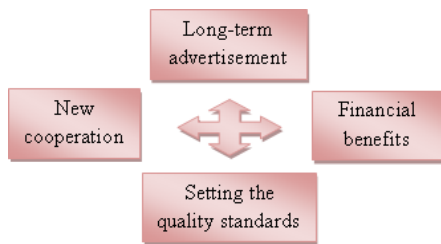


Figure 5. EPLAN's benefits of ECE certification.

The EPLAN company issues unique standards in creation of the quality standards in the domain of electric engineering and project engineering. The ECE certification can be treated as a stamp of quality for the professional application in electrical CAD. Also the company is achieving the financial benefits because it offers special tailored preparatory courses for the ECE exam. Furthermore, it develops good relationships to the university and can expect the new beneficial cooperation in other areas. EPLAN Electric P8 software is according to agreement between RFH and EPLAN company, also installed

and used at RFH University. Thus company gains advantages in long-term from the advertising done at university, because the students learn the advantages of the product, learn to apply it in working environment and can convince the future chiefs of the product advantages. To ensure the successful cooperation, the procedures about the sharing of information have been defined between RFH and EPLAN. It includes the regularly update of the assessment according to the new releases of the Electric P8 software to ensure the actuality and therefore high quality of the assessment. The technical interfaces have been defined, which are including the planning of the examination dates and exam locations for the practical part of the ECE certification. According to the basics of the project management and therein defined communication matrix, key accounts have been defined on both sides, so that the communication flows smoothly. One example for it is that the RFH and the EPLAN are simultaneously informed about the filling the online-application for the assessment with all relevant data, about the assessment date, location etc. Regularly meetings are organized, as well as the evaluations of the feed-backs given by the customers. Mutual respect is of course one of the main keys to success of every collaboration.

IV. CERTIFICATION AND ONLINE-ASSESSMENT PROCEDURE BY USING THE OPEN SOURCE LMS ILIAS

The word "certificating" originates from the Latin "certum facere" and means „to make something certain" or to "guarantee". To certificate somebody signifies that an independent, neutral third party assesses whether with a product, a service or by a person, the given criteria are fulfilled. If that is the case, neutral third party confirms publicly the certification with a certificate. The application procedure is presented in the Fig. 6.

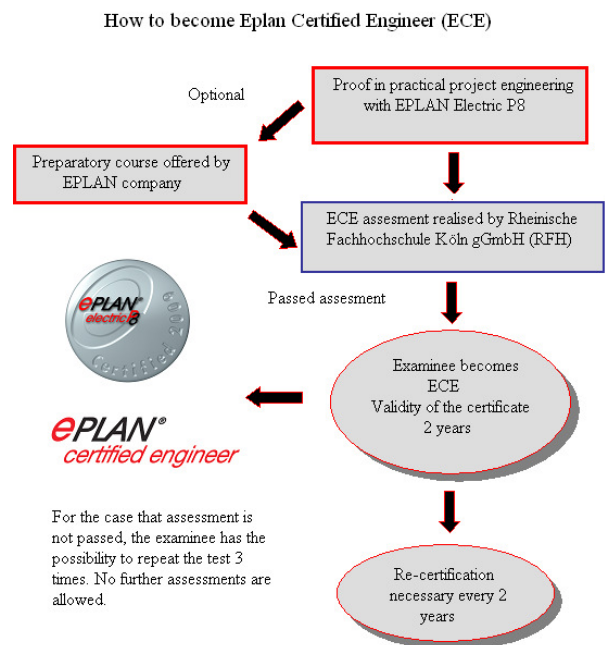


Figure 6. Modalities of ECE certification.

Generally everyone who is interesting be assessed may take part if he/she can furnish a proof in dealing with the product EPLAN Electric P8. The proof can be furnished e.g. with the visiting of the EPLAN courses, or with application and use the product in the company. Alternatively examinees have the possibility to visit the preparation courses at the EPLAN company [9]. Application to assessment is carried out online and is accessible via URL: www.eplan.rfh-koeln.de. All necessary information about the exam dates, location etc. are to be found at this website. The assessment consists of the practical and the theoretical part. Practical part occurs on location selected during the application. For the practical part, RFH nominates licensed examiner who has the tasks to observe the task. All results are to be forwarded to the RFH which has the final authority to decide whether the assessment is passed or not.

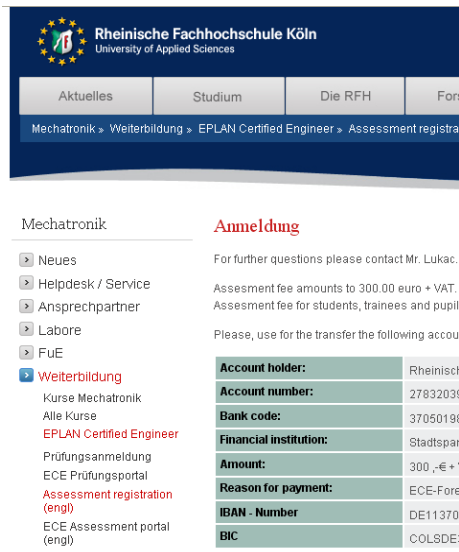


Figure 7. ECE assessment registration.

ILIAS is worldwide used application, with the large spectrum of the features. The ECE assessment website is accessible via URL: www.ece.rfh-koeln.de. Fig. 8 shows the log-in mask.

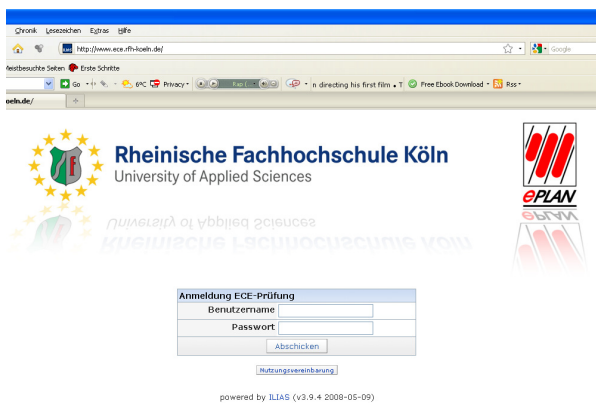


Figure 8. ECE assessment log-in.

The log-in data are automatically generated and delivered to the customer over email for the case that the assessment fees

are paid. The application website is a SSL secured site in accordance with the data privacy regulations and terms, which are valid for the Federal Republic of Germany.

V. APPLICATION EXAMPLES

So called direct editing function lets the user edit texts (e.g. device tags, function text or part numbers) with a effortless click of the mouse in the circuit diagram. Without having to edit the device dialog box, all information can be spontaneously edited in the circuit diagram directly where it is displayed. Following figure presents the inplace editing function.

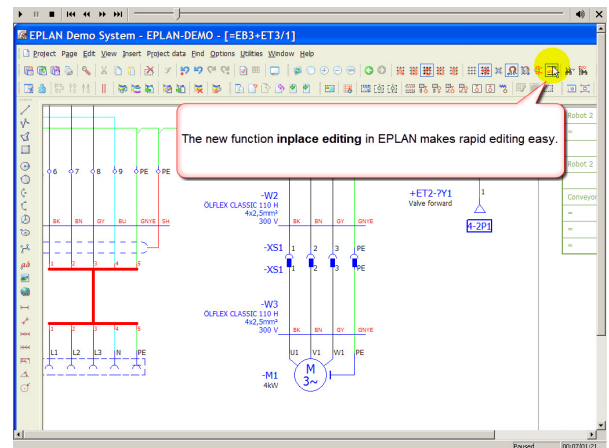


Figure 9. Inplace editing function.

Dynamic reports functions are assigned to schematic views and individual reports are combined on one report page.

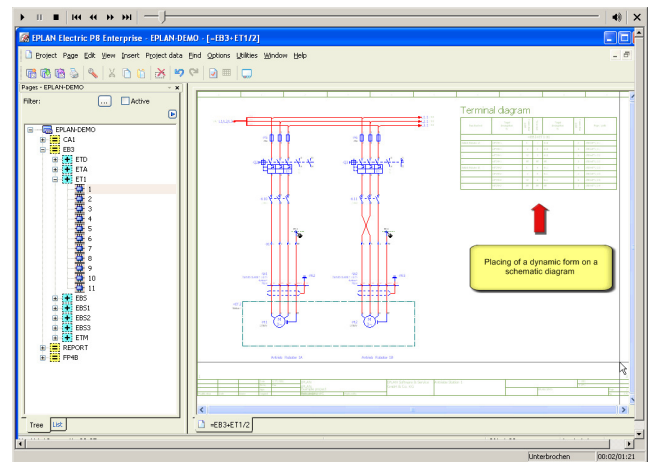


Figure 10. Dynamic reports functions.

PLC multifunctional terminals allow the flexible use of the Input and Output terminals of the PLC enabling the use of the same terminal for different function. In the example in Fig. 11 and 12, for the case of the substitution of the thermo-elements which are connected with PLC system over 2-wire technique, with potentiometers which are connected with PLC system over 4-wire technique it is possible, without to change lay-out to carry out new numbering of the terminals also by using the numbering scheme of the different manufacturer.

VI. CONCLUSION

This paper has provided the applicational and conceptual insights in the most used CAE software for electrical engineering and project planning in the European industry, motives, conceptualization and design of the successful university-industry cooperation in the area of the Third Party Certification by using the open source LMS application. The evaluation of the key success factors for such cooperation has indicated, that the optimal technical solution adjusted to the customer needs, deliberate interface management between the university and company, as well as the mutual respect are decisive for the long-term success of the cooperation. *Note:* Further information can any time be requested from the author. Please use authors electronic mail address for the request.

REFERENCES

- [1] Valentin, M and Maria, E (2000) "University-Industry Cooperation: A Framework of Benefits and Obstacles", Industry & Higher Education, v14 n3 p165-72 Jun 2000
- [2] Kotler, Peter: Marketing Management, Analysis, Planning, Implementation and Control. - 8th ed. - Sydney: Prentice Hall, 1994
- [3] Feng-Shang Wu (1994) "The Cultural Impact of University-Industry Research Cooperation: the American Experiences," Sino-South Africa Bilateral Symposium, Taipei, Taiwan.
- [4] Schein, EH (1996) Organizational Culture and Leadership (Jossey-Bass Psychology Series), Jossey-Bass; 2 edition (December 5, 1996)
- [5] Sendler, U. Das PLM-Kompendium - Referenzbuch des Produkt-Lebenszyklus-Managements, EPLAN Software & Service, Springer Berlin Heidelberg, August 2009, pp.163-174
- [6] OICA (2002), Daten zur Automobilwirtschaft (Data to the automobile economy), Available <<http://www.oica.net/>, February 2010, 11:55h
- [7] Montgomery, C.A., and M. E. Porter, eds. Strategy: Seeking and Securing Competitive Advantage. Boston, Mass.: Harvard Business School Press, 1991.
- [8] Eplan, EPLAN Certified Engineers, Available: <http://www.eplan.de/services/training/zertifizierung/eplan-certified-engineer.html?L=1%20-%2096k>, February 2010.
- [9] Eplan, EPLAN Electric P8 ECE Vorbereitungstraining (preparatory course), Available: http://www.eplan.de/services/training/direktbuchung.html?no_cache=1&L=1%20-%2096k&seminarId=110340®ion=, February 2010.
- [10] ILIAS "ILIAS 4 e-Learning" Available: <http://www.ilias.de/docu/>, February 2010.

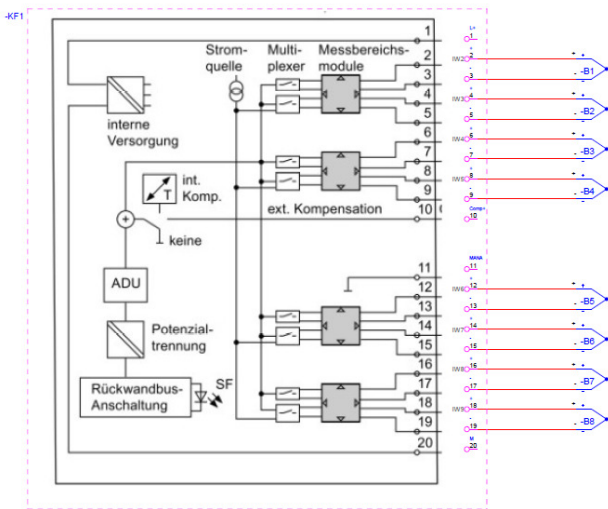


Figure 11. PLC connected thermo-elements in 2-wire technique.

So, in the picture above is presented numbering scheme by PILZ and the picture below by Siemens.

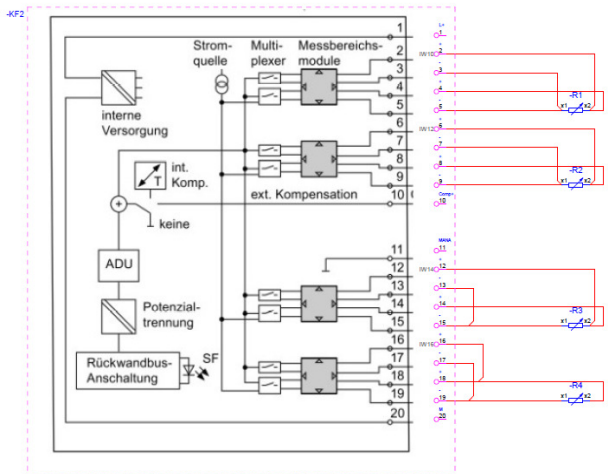


Figure 12. PLC connected potetiometers in 4-wire technique.

Advanced Routing Concept

Supported by a Novel Processor Architecture

Marija Kalendar, Danijela Jakimovska, Goce Dokoski, Aristotel Tentov

Faculty of Electrical Engineering and Information Technologies

University “Ss Cyril and Methodius”

Skopje, R. Macedonia

{ marijaka, danijela, goce.dokoski, toto }@feit.ukim.edu.mk

Abstract—Due to current technology advances, network connection links are gaining higher capacities, and consequently, networking routers’ hardware and software experiences difficulties to timely satisfy such link requests for throughput, bandwidth, speed, and delays. Accordingly, it is essential to research new ways of augmenting routing performances for achieving respectable speeds since a big performance bottleneck in today’s gigabit routers is the process of redirecting the incoming packets to the next hop. Thus, having in mind that in very near future 10/100 Gb/s network links will dominate, one aspect that might emerge as rather interesting is the possibility of changing the overall routing concept. On account of the continuous and significant memory cost decrease, this paper proposes a modification to the widely used routing process, such that a complete list of organization domain routers could be kept at each organization domain router. In order to pursuit the modified routing process, a novel simple and flexible ASIP architecture for network packet processing is being used. This network processor architecture is based on a 64-bit RISC core with Harvard architecture, customized and optimized for IP packet processing. We expect that this combination of an enhanced routing protocol supported by the ASIP architecture would overcome current network processing speeds, and will be able to cope with 10/100 Gb/s links of Next Generation Networks.

Keywords—modified advanced routing; Next generation networks; source routing; routing protocol; network processor;

I. INTRODUCTION

Considering the recently more expressed transition from circuit to packet switch networks, doubling of network traffic every 12 – 18 months [1] can be observed. Consequently, it can be expected that until 2015 the Internet throughput would increase to 1 Tb/s. On the other hand, it should be taken into account that processor performance increase is limited by Moore’s law and power constraints. Thus, dedicated network processors could be one solution for providing high performance computing, and can have the ability for overcoming these limitations.

Nevertheless, achieving higher processing speeds can not be expected only by modifying and improving hardware network components. This is why modifying the entire process of network routing has to be considered and researched. The

routing process in contemporary Internet exploits a hierarchical concept of keeping routing information, optimized for the (dominantly) packet switching process of data exchange. Based on several research projects [2], and the predictions for technology advancement, the decision for using such concept was made as far as the 1980’s. The main reason for adopting the hierarchical solution was based on the especially high memory cost, and, for that period, huge amount of memory capacity needed otherwise [2]. Due to the substantially changed situation in the area of memory technologies and memory cost, we believe that the former concept for keeping the information for every network node in the early ARPANET IMP’s, [2], should be re-investigated, in order to provide better routing performance in contemporary networks and the Internet. As previously mentioned, the modified process of routing could be strengthened with novel network processor architecture(s) capable of supporting such memory design, and required memory throughput for improved routing performances.

Both aspects (hardware and software modifications) will be addressed in this paper. Accordingly, we propose reorganizing the concept of traditional routing process by possibly re-inventing two concepts: memorizing the complete Internet routing topology and source routing. These concepts would be supported by a novel 64-bit RISC based network processor architecture that should be able to support and furthermore speed-up the proposed routing processing function.

The rest of this paper is organized as follows: Section II gives an overview of current routing concepts and technologies. Sections III and IV explain the proposed routing information memory architecture, including some routing mechanism modifications. Section V clarifies the general idea and the basic components of the used novel network processor architecture. Afterwards, in section VI, some performance evaluation of the new approach is presented. Section VII concludes the paper. The conclusion outlines the benefits of the proposed solutions and emphasizes the intended future work.

II. STATE OF THE ART

Achieving high performance routing in the routers today is strictly dependent on incoming packet processing tasks. When a packet arrives through the incoming network interface, it

should be parsed, classified, analyzed, and then routed to the appropriate destination port. The most time consuming processing tasks in network processors are: classifying, and searching [1]. Consequently, in order to be able to compete for achieving 10/100 Gb/s packet processing, these tasks have to be revised, and effort should be made to simplify the routing process as much as possible.

The IP routing process is the essential operation performed by IP routers. This process includes moving packets from source to destination network devices [3]. In order to determine the path from one network node to another, routing protocols are used. The routing information for the next hop destination and its cost (metric) is usually stored in the routing table. The router makes its decisions, depending on the routing table entries.

Today three types of routing are used: static, dynamic and default [4]. Additionally, the routing can be either interior (IGP) or exterior (EGP) depending on its field of work (within or between autonomous systems) [5]. The most used IGP protocols are: RIP, IGRP, EIGRP, and OSPF. RIP is a typical distance vector protocol, efficient for small networks routing. This protocol provides routing table updates by sending the complete routing table every 30 seconds. RIP v2 is an enhanced version, with support for VLSM, and provides authentication and multicasting [6]. IGRP is Cisco proprietary classful routing protocol. This distance vector protocol uses bandwidth and delay of the line as routing metrics. EIGRP is enhanced classless version of IGRP, and it utilizes characteristics from both link state and distance vector protocols. It is actually hybrid protocol, using Diffusing Update Algorithm (DUAL) which provides EIGRP possibly the fastest route convergence time among all protocols [6]. In contrast, OSPF is a link state open standards routing protocol. Its hierarchical organization makes it very suitable for large networks and is widely used in the Internet today. OSPF runs inside autonomous systems, and provides each of the routers in the AS with complete network topology [6]. BGP is the most popular exterior gateway protocol, which uses path vector algorithm for determining the best routing path. In addition, BGP does not use technical metrics for routing, since its routing decisions are based on network policies and rules [5].

According to [7], simpler packet processing and higher speeds can be achieved if the most time-consuming processing operations are considered, and some appropriate choices of protocol functionalities are made. Thus, many different techniques intended for speeding up the packet processing have been proposed. Label concepts, for example, significantly simplify look-up operations. Further, some very slow operations, as CRC calculation, can be implemented as hardware functional blocks. Faster table lookup algorithms have been proposed as well, in [8]-[9]. Additional improvement can be achieved if the network device avoids table lookup operations during the packet processing. For that purpose, in [7] employing source routing is proposed. In this concept, the source edge router provides the whole path of the packet through the network, not just the next hop.

Speeding up the routing process depends not only on the routing algorithm, but on the network processors architectures, as well. Consequently, to augment the proposed modifications of the routing process, novel network processor architecture would be used and evaluated.

III. PROPOSED ROUTING INFORMATION MEMORY ARCHITECTURE

Resulting from the current trends of tremendous development in memory production technologies, increase of its throughput and speed, and significant decrease of memory cost, today it is almost a standard, even in PC environments, to have multi Gigabytes of computer RAM memory. Hence, even in the case of specific memory requirements it becomes feasible to incorporate such amount of memory within routers themselves. Due to increased memory throughput and appropriate memory response times, as well as the advances in memory architectures, it is very realistic to expect acceptable time response characteristics from memories that have huge amount of stored data.

According to [10], in March 2010 there were near 210 million servers on Internet, and according to [11] in April 2010 around 321604 routes exist in default-free zone (DFZ) routers routing tables. Conceptually, DFZ routers have a "complete" BGP table. With such number of servers and routes advertised in the Internet, and obviously smaller number of routers that facilitate the exchange of data among them, the idea that all possible routes to Internet routers can reside in a router's memory becomes visible. In this paper, we propose the routing tables to encompass routers on organization domain level (below national domain routers if speaking in DNS terms). Furthermore, memory size is not likely to exceed 16 GB, which is not too expensive for current routers architectures, and sizes. Consequently, it becomes feasible to memorize the complete Internet router topology on organization domain level within each router. This is equivalent to routing information maintaining at IMP's in ARPANET [2], in the early days of computer networking and the Internet.

If the complete topology of all related Internet routers is being stored in each edge router, the preferred complete path for every arriving packet could be decided at the entry point into the network (i.e. at the first router responsible for a computer that is the source of the packet). Thus, the preferred network path between source-destination pairs could be easily incorporated and saved in IPv4/IPv6 packet headers. The routers on the preferred network path can read the corresponding part of such headers, instead of reading destination address, and according to the provided information, simply put the packet on the corresponding output interface. If the corresponding output interface is unreachable, due to traffic congestion, or collapse of the neighbor router/output link, a router can relatively easy choose another output interface, recalculate preferred network path to destination, make adequate changes in IP packet header, and proceed with packet delivery.

To strengthen these routing data memory modifications, in Section V, an adequate architecture for a network processor able to handle the suggested routing process is presented.

IV. ROUTING DATA ORGANIZATION

As mentioned in the previous section, the idea behind the proposed memory organization can be summarized to storing great amount of routing data in every router; actually, keeping “shortest paths” to almost all “more significant” Internet routers. In order to pursue the idea, some modifications of routing data storing principles, and some new data structures would be needed inside routers themselves.

First, to shorten the search process, and minimize shortest path data storing, we propose defining a globally unique identification number for all routers (router ID) as one possibility. If we estimate the number of organization domain routers for this proposed routing protocol to around 2^{20} (which is quite a large number considering the number of routes in DFZ [11]), only 20 bits would be needed for assigning a unique ID to routers on the Internet instead of currently used 32 bits for router identification (one of the assigned router’s IP addresses). Consequently, 20 bits would be used for storing Router IDs, where needed, in the routing process.

Furthermore, we propose modifying the important data tables used in the routing process:

- the traditional Routing Table that would now hold the complete shortest paths to almost all Internet network accessible routers, mapping the destination address (network) of the processed packet to its appropriate shortest path, called Routing Path Table (RPT);
- the Forwarding Table used by the network processors for faster IP destination lookup. This table, called Forwarding Path Table (FPT), would, as well, hold the shortest paths to almost all Internet network accessible routers, with identical functions as the current Forwarding table; and
- the Mapping Table (ID Map Table (ID MT)) maps neighbor Router ID to the appropriate output port of the router.

The proposed RPT, for every known destination IP network stores the complete shortest path to the destination, represented by an array of router IDs laying on that path (Table I).

These tables are continuously maintained by the control-plane functions realized in a general-purpose processor, using a special modified existing routing protocol for exchanging topology information and Router IDs information.

TABLE I. ROUTING PATH TABLE

Destination Network	Routing path (consisted of Router IDs)
93.87.117.213	10000, 5FF00, A4567, 00012, 3445
...	
93.87.114.219	1000A, AFF00, A4567, 00012, 3445
93.87.118.223	1000B, 5FC00, A4C67, 00012, 3445

The protocol would be similar to other topology or distance vector-based routing protocols such as OSPF or BGP. The routing protocol would continuously calculate and store the shortest path(s) to every known router in the RPT, and will also update data concerning other routers and their availability. Having this information already at hand, the data-plane network processors will be able to obtain the routing information for the received packet in only a few cycles, by mapping the destination address of the packet to its complete path in the FPT. This part of the routing process corresponds to current routing techniques, with the exception of extracting the entire path of the packet to the destination, not only the next hop router.

To further accelerate the routing process, another modification is proposed: the responsible router at the network entry point of the packet should insert the entire path to the destination router in the packet’s header. Given that the path of router IDs to reach the destination is stored in reverse order, the forwarding of the packet in next intermediate hops would comprise of solely reading the next router ID of the path from the packet header, and mapping that ID in the ID MT (Table II). This would enable the packet to be sent to the appropriate output interface right away, skipping the routing/forwarding table lookup process. This step radically reduces the routing time and allows achieving very high processing speeds, since the ID MT is drastically smaller in size than the currently used FT in networking interfaces for IP destination lookup.

Even though the packet path through the network is being predefined by the information in the first router, since every router holds the complete organization domain routing topology, this is nevertheless the optimal path of the packet. This concept is nonetheless flexible enough, since every router on the path can resort to the traditional routing method and recalculate/replace the remaining path of the packet if the predefined next hop router is in no position of handling more traffic (link/router failing, congestion, traffic shaping).

For storing the route path of the packet inside the IPv4 packet header the source routing concept is proposed utilizing the Options Field. The longest hop count on the Internet, measured in [12] is 28, although according to [13] it is 32. Since IPv4 header Options Field length is limited, after defining the option number, and Options Field length, only around 300 bits are left for storing the path. Since we made a decision to indentify the routers by a 20-bit Router ID, it would take 20 bits to store a Router ID of the path the packet should follow throughout the network. Accordingly, IPv4 header allows storing the first 15 hops of the packet path. If the entire path is longer, the remaining hops would be inserted inside the packet’s header at the last router of the previous path.

TABLE II. ID MAP TABLE

Neighbor Router ID	Outgoing port
10000	Ifc0
...	
1000A	Ifc5
1000B	Ifc8

V. USED NETWORK PROCESSOR ARCHITECTURE

To facilitate the suggested information memory architecture and routing data organization, new network processor architecture is being used, defined and explained in more detail in other related work. In this paper only the basic characteristics of this network processor architecture will be described.

The used network processor architecture is based on a standard RISC 64-bit Harvard processor architecture combined with several hardware accelerators and adjusted for network packet processing. Additionally, the proposed architecture is able to support the routing process, explained in the previous sections.

The proposed RISC core architecture is composed of: internal program and data memory (instruction and data cache), 64-bit ALU, two operand and one result register, 128 general purpose registers and 64 packet header registers (packet header buffer). Additionally, the design is enriched with packet buffer status register, used for storing some important information for the packet being processed (IP version, header length etc.). Having in mind that adding hardware accelerators optimized for complex tasks is more power/time efficient than implementing these tasks in software, usage of at least CRC calculation functional unit is proposed in the architecture. All these memory and hardware structures use 64-bits long data paths.

The internal architecture of the RISC core is presented in Fig. 1.

Packets received on the MAC interface, are stored in the data memory, and after their processing is finished, they are

sent out to the forwarding engine. Usually, only the IP packet header is being processed by parsing, analyzing and modifying some of its fields. For that purpose it is first loaded and stored in the additional 64 packet header registers. Therefore, each IPv4 header (including the option fields) or IPv6 header (including one extension header), can be completely stored in the packet header buffer. This packet header registers enable fast data access and manipulation, since each IP header field can be individually and directly accessed, changed, and afterwards, restored in memory with the new (re)computed values. In this architecture, IP header fields can be directly specified as instruction operands in the network processor instructions, during packet processing. We consider general packet processing: packet header verification, simple changes of its fields, source and destination address verification and routing path lookup.

The instruction set is optimized for IP packet processing, as well, and is enriched with several specific instructions for controlling the hardware accelerators. One important change is an additional addressing mode that allows direct access to the IPv4 and IPv6 packet header fields by their names (ex. ip4_ver, ip4_header_length, etc.) All instructions can work with these fields as operands. This allows for a more flexible (and faster) packet header processing and greater convenience to the programmer.

The proposed architecture organization allows many complex packet header operations to be performed in one cycle, using simple digital logic. Furthermore, the ability for direct access to packet header fields and using hardware accelerators significantly simplifies and speeds-up network packet processing.

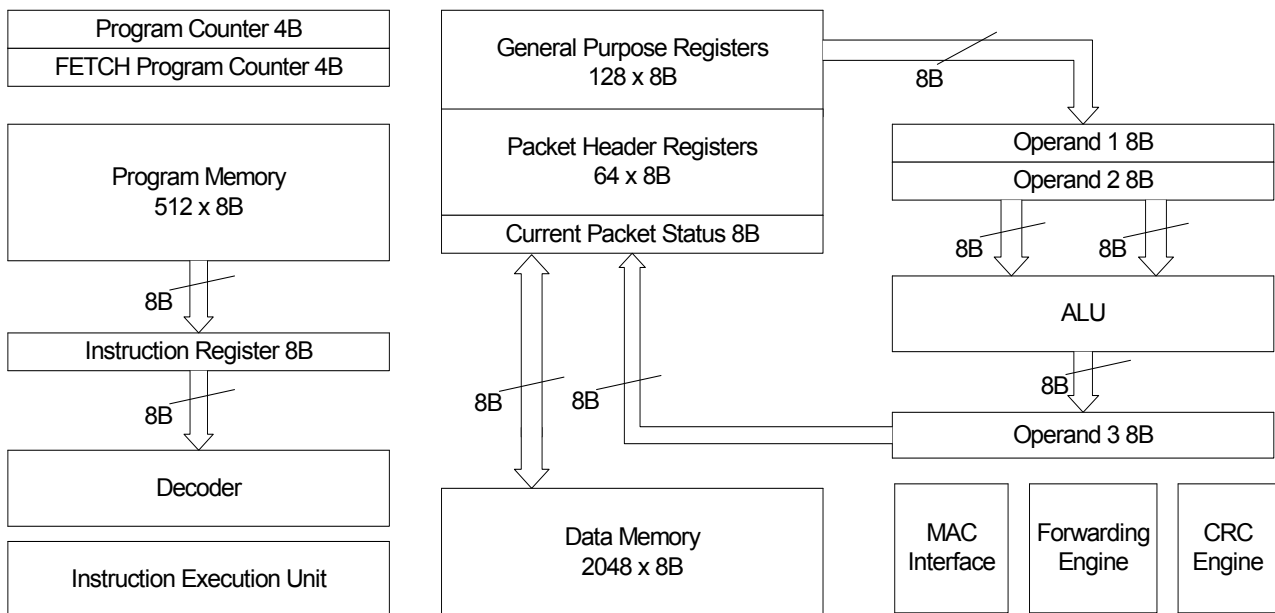


Figure 1. Proposed network processor architecture

VI. PERFORMANCE EVALUATION

To estimate the amount of needed memory capacity for the previously proposed RPT and FPT, decisions from the preceding sections can be taken into account, but the number of known IP networks (prefixes) at every router is needed as well. If we estimate this number of IP networks (prefixes) to around 2^{27} (which is again quite a large number), and if we take 15 (i.e. 2^4) as the max length of a packet's path from the source to the destination that can be stored inside IPv4 packet header, then total memory capacity needed accounts to

$$\begin{aligned} \text{Num.dest.nets} * \text{Path_len.} * \text{RouterID_len.} &= & (1) \\ 2^{27} * 2^4 * 20 &= 10 * 2^{32} \text{b} = 10 * 2^{29} \text{B} \end{aligned}$$

This amounts to a maximum of 6 gigabytes of memory for keeping the whole RPT, which is obviously possible to implement in today's routers, considering current trends of memory capacity growing, and memory cost decreasing. The same amount of memory would be needed for the complete copy of the proposed RPT kept locally at every network interface as an FPT. Yet, there are many currently used techniques for decreasing the amount of memory for the FPT that could be exploited, if needed. The ID mapping table, on the other hand will be of similar size to current mapping tables for interface port to IP address mapping.

Considering the proposed routing concept and network processor architecture, we estimate the performance, by analyzing assembler programs for IPv4 and IPv6 packet processing. Results have been gathered by comparing the general IP protocol and the modified IP routing protocol using a general purpose RISC processor and the modified RISC network processor architecture.

Fig. 2 shows the number of processor cycles needed for IP packet processing using general purpose RISC processor for IPv4, modified IPv4 and IPv6, modified IPv6 routing protocol, accordingly. The initial results show that the proposed routing algorithm improves the performances for 27% (for IPv4) and 20% (for IPv6). These results only take into account the processor cycles needed to process packets in one router if the packet holds the next hop Router ID inside the header for the modified routing process.

Fig. 3 shows the number of processor cycles needed for IP packet processing using the novel network processor for all cases. These results show that the proposed routing algorithm improves the performance for 26% (IPv4) and 40% (IPv6).

However, if we compare the processor cycles needed to process a packet with the new network processor architecture and the new routing concept to the general purpose RISC processor and traditional IPv4 packet processing the improved performance would account to 54% (for IPv4) and 70% (for IPv6), which is significant performance gain.

It has to be mentioned that these are after all only initial results and perhaps some limitations have not been taken into consideration. Hence, it could be possible that the final gain will not show so high percentages. However, these results encourage the authors to further investigate the proposed network processor architecture, and the proposed IP routing

concept to show that the considered combination can satisfy the theoretical limit boundaries of processor cycles for 10/100 Gb/s processing. Nevertheless, there is ongoing work for performing additional hardware design and software simulations that can further improve the design and consequently achieve better and more realistic results.

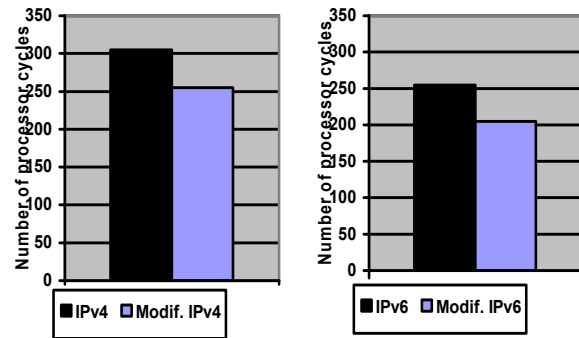


Figure 2. IP packet processing processor cycles (IPv4 and IPv6) for GPP RISC processor architecture

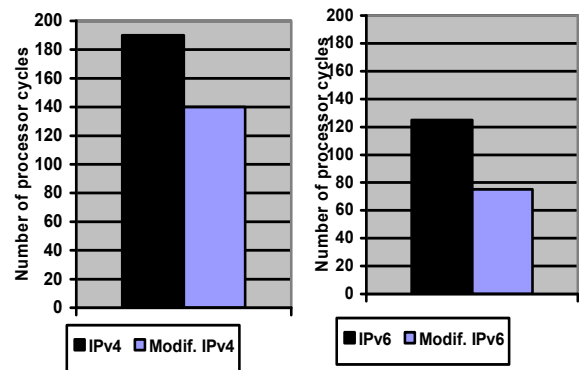


Figure 3. IP packet processing processor cycles (IPv4 and IPv6) for novel RISC network processor architecture

VII. CONCLUSION

In this paper, some new ideas have been proposed: replacing the hierarchically based contemporary routing process with a process that is similar with the routing process in Internet early days; reinvestigating source routing; and finally using an adequate network processor architecture able to cope with such routing concepts.

The RISC-based network processor architecture is particularly adapted to support the new routing process architecture with vast amount of memory on each router. First, the chosen RISC architecture enables very complex packet processing instructions performed in one cycle. Next, the instructions are adapted for using the IP header fields directly. The processor organization is constructed as such, in order to fulfill the requirements of the proposed memory organization. All these considerations imply that this architecture together with the modified routing concept is very promising and could be able to cope with multi gigabit processing.

With the proposed changes, we predict that within the Next Generation Networks, the routers would be able to cope with traffic on 10 Gb/s, and 100 Gb/s links, which is almost impossible with contemporary routing concepts and processes.

Intended future and ongoing work comprises developing and researching new strategies for memory architectures for routing purposes, new strategies for faster memory lookup, simulating the modified routing process, and the network processor in nearly real environment. However, we believe that there are no technological obstacles to achieve the given goals and make them a reality.

REFERENCES

- [1] R. Giladi, "Network Processors - Architecture, Programming and Implementation", Ben-Gurion University of the Negev and EZchip Technologies Ltd., 2008
- [2] F. Kamoun, "Design considerations for large computer communication networks", PhD Dissertation, UCLA, 1976
- [3] T. Lammle, "CCNA: Cisco Certified Network Associate, Study Guide", 5th Edition
- [4] H.J. Chao, B. Liu, "High Performance Switches and Routers", Wiley-IEEE Press, May 2007
- [5] B. D. Stewart; C. Gough, "CCNP BSCI Official Exam Certification Guide, Fourth Edition"
- [6] P.C. Lekkas, "Network Processors: Architectures, Protocols and Platforms", McGraw-Hill Professional, 2003
- [7] S. Hauger, T. Wild, A. Mutter, A. Kirstädter, K. Karras, R. Ohlendorf, F. Feller, J. Scharf, "Packet Processing at 100 Gbps and Beyond—Challenges and Perspectives", Proceedings of the 10. ITG Symposium on Photonic Networks, May 2009, pp. 223-230
- [8] P. Gupta, S. Lin, and N. McKeown, "Routing lookups in hardware at memory access speeds," in Proc. IEEE INFOCOM'98, Session 10B-1, San Francisco, CA, pp. 1240–1247.
- [9] W. Eatherton, G. Varghese, Z. Dittia, Tree bitmap: Hardware/Software IP Lookups with Incremental Updates, SIGCOMM Comput. Commun. Rev., vol. 34, no. 2, 2004
- [10] http://news.netcraft.com/archives/web_server_survey.html [online at 24.08.2010]
- [11] <http://www.cidr-report.org>
- [12] A. Fei, G. Pei, R. Liu, L. Zhang, "Measurements on Delay and Hop-Count of the Internet", Departement of Computer Science, University of California, Los Angeles, CA 90095
- [13] V. Paxson, "End-to-end routing behavior in the Internet", IEEE/ACM Transactions on Networking, Vol.5, No.5, pp. 601-615, October 1997
- [14] A.L. Garcia, I. Widjaja, "Communication Networks, Fundamental Concepts and Key Architectures", McGraw-Hill, 2 edition, May 2003

Network processor architecture design for multi-gigabit networks

Danijela Jakimovska, Goce Dokoski, Marija Kalendar, Aristotel Tentov

Faculty of Electrical Engineering and Information Technologies

University “Ss Cyril and Methodius”

Skopje, R. Macedonia

{ danijela, goce.dokoski, marijaka, toto }@feit.ukim.edu.mk

Abstract — the constant evolution of internet is accompanied by constant increase in number of users, servers, connections and demands for new applications, services and protocols. As a result, there is an exponential growth in the amount of packets that have to be quickly analyzed, processed and routed by the network devices. Although the network links capacity (especially with the optical technology) is not a limitation for these demands, the network hardware remains a “bottle neck” in the system. As a solution to this problem, in this paper we propose a new original network processor architecture suited for IP packet processing application. The concept of network processors is used because, they have proven themselves as the most appropriate solution for achieving a good balance among price, flexibility and performance needed to process the network packets. Additionally, having in mind that in the near future 10/100 Gb/s network links will dominate, one aspect that might emerge as rather interesting is the possibility of modifying 64-bit general purpose RISC processor architecture and adopting it for networking application. This approach would require some specific architectural changes in the initial RISC processor design, and also enhancements in its basic instruction set. We expect that the new proposed ASIP architecture will be able to exceed current network processing speeds, and will be capable to deal with multi-gigabit (10/100 Gb/s) links of Next Generation Networks.

Keywords—network processors; RISC architecture; Harvard organization; IP packet processing; next generation networks;

I. INTRODUCTION

Networks grow rapidly and include numerous complex applications, services and real-time data that need to be provided at very high speeds, up to multi Gb/s. Therefore, there is a constant demand for ever increasing packet processing speed, while at the same time, an increasing number of services need to be provided by the networking hardware (QoS, firewalls, scheduling, flow controls etc.) Not to mention that data, voice and video networks are converging and that users are looking for on-demand services delivered in any network, at any time, on any platform, [1] - [3]. Network devices must follow this evolution, and process the data at these transmission rates.

Routers are traditionally designed as programmable integrated circuits, specifically tailored to the tasks of routing

and forwarding information, [1], [4]. However, this approach has showed inflexibility when it comes to adding new capabilities. In the same time, the increasing development of the System on Chip (SoC) technology, and the availability of Field programmable gate architecture (FPGA) as well as complex programmable logic device (CPLD), has enabled many new possibilities in processor design.

This evolution resulted in the concept of a network processor optimized for packet processing at very high speeds (multi Gb/s). In general, network processors are defined as chip-programmable devices, especially tailored for networking application, [1] - [5]. They are typically implemented as application specific instruction processors (ASIP), with customized instruction set, that may be based on RISC, CISC, VLIW etc., [2]. Finally, network processors are very important part of many different types of network equipment such as routers, switches, IDS or firewalls, [1], [2].

Network processors turned out as the best solution since they provide the necessary flexibility like GPP, while keeping a descent operating speed similar to ASIC. In order to design efficient network processor architecture, a careful examination of the current architecture solutions is necessary. Therefore we'll analyze some of the most successful designs, emphasizing its essential features and functionalities.

Network processor architecture design is an ongoing field of research, expecting that the NPU market will show strong growth in the near future. Many approaches have been applied and many new ideas are emerging, such as the NetFPGA architecture, [6], [7], or software routers, [8]. In this paper we give an outline of the achievements in network processor design and discuss current trends, in order to suggest some ideas for further improvements. As a result, we propose novel 64-bit RISC-based network processor architecture, and as well we analyze its improvements and performance capabilities.

The rest of this paper is organized as follows: Section II gives an overview of network processors, its key characteristics and method of operation. Section III outlines the current architecture trends in network processors design. Section IV clarifies the general idea and the elements of the proposed network processor architecture. Afterwards, in section V, some performance evaluation of the new approach is given. The paper concludes in section VI. The conclusion outlines the

benefits of the proposed solution and emphasizes the intended future work that should be carried out.

II. NETWORK PROCESSORS OVERVIEW

Network processors development starts in the late 1990s when network devices were insufficient to handle complex network processing requirements, [2]. So far, a wide variety of network processors has been proposed, all characterized by their own advantages and disadvantages. In general, each of them is consisted of: many processing engines (PE), dedicated hardware accelerators, network interfaces, memory resources, and software support, [1], [3]. In order to meet the performance and speed requirements, network processors must include some kind of parallel processing, hardware accelerators, high performance on-chip communications and fast memory organization. They are part of many different network devices, used at different levels in the networks hierarchy.

The basic operation of each network device is to process the ingress data flow accepted by the physical interface, and then forward the packets to an outbound port, after the processing is done. In order to achieve this, network devices are usually designed as a composition of four functional blocks: physical interface, data plane, control plane and switching interface, [1]. Usually, network processors are responsible for the fast packet processing, called data plane. On the other side, the slow packet processing, called control plane, is used for packets that have more complex processing requirements. This plane performs operations for control, configuration and management of the network device and as well is responsible for execution of routing protocols and management of routing tables. Therefore, the control plane is usually implemented as a general purpose processor, while the data plane as a network processor, which has greater processing power.

Basically, the network processor operation begins with receiving an input stream of data packets. During the packet processing usually only the IP header of the received packets is being processed, by analyzing, parsing and modifying its content. Additionally, network processors are responsible for classification of packets, lookup and pattern matching, forwarding, queue management and traffic control. After the completion of all the necessary tasks, the processing is finished and the packet is sent out through the switching fabric to appropriate outbound port, [1] - [3].

According to [9], simpler packet processing and higher speeds can be achieved if the most time-consuming processing operations are considered, and some appropriate choices of the routing protocol functionalities are made. Thus, many different techniques intended for speeding up the packet processing have been proposed. Label concepts, for example, significantly simplify look-up operations. Further, some very slow operations, such as CRC calculation, can be implemented as hardware functional blocks. Faster table lookup algorithms have been proposed, as well, in [10], [11]. Moreover, improvements can be achieved if the network device simply avoids the table lookup operations during the packet processing. This approach is proposed in [9], where the author suggests use of source routing option of the IP protocol.

Anyway, speeding up the routing process depends not only on the routing algorithm, but on the network processors architecture, as well. Consequently, in this paper we are trying to improve the packet processing performances, by proposing novel RISC-based network processor architecture.

III. CURRENT ARCHITECTURE TRENDS

There is a wide range of network processor architectures in use today, each using different organization and concepts. Most use some sort of parallel processing approach, hardware assistance (co-processors, functional units), adjusted memory architectures and interconnection mechanisms, [2]. Basically, parallelism can be accomplished by use of various parallelization techniques and pipelining at different levels (data, thread, and instructions), [3]. Very often, network processors improve their architecture with use of some special purpose hardware blocks for traffic management, searching, high-speed memory and packet I/O, [1], [2]. This dedicated hardware is easily programmable, performs additional computations, and consequently increases processing power and speed. Another very important part of network processor architectures is the memory organization. Since the processor frequently interacts with the memory, this communication should be very fast. Not to mention that memory has many responsibilities such as storing the program and registers' content, buffering packets, keeping intermediate results, storing data that is produced by the processors while working, holding, and maintaining potentially huge tables and trees for look-ups, maintaining statistical tables, and so forth. Therefore it should have lower latency and fulfill the speed requirements. Consequently, memory size and speed are a trade off. Some improvements can be achieved by use of fast memories like CAM and SRAM, memory coprocessors for lookup and different caching mechanisms, [3].

All these considerations and functionalities result in a network processor architecture that can operate at wire speeds and achieve great performances. Additional requirements should be satisfied as well. Network processors should be flexible, easily programmable and reach time-to-market, [3]. These days, companies are paying much more attention to the programmability, allowing network software to be written in a high-level language such as C, and the core routines in microcode, [3], [12]. However, it is not easy to develop software for network processors as they have different architectures, complex design and performance constraints. Current trend is to achieve software uniformity and design portability.

Nowadays, the most famous network processors implement multi-core architectures that can operate in parallel, pipeline or hybrid mode, [2]. The architectures vary mostly by the category of the network processor – entry-, mid- or core-level. Mid-level NPs that process packets at higher layers, implement parallel architectures, whereas core-level NPs that require highest processing speeds at the lower network layers, implement pipeline architectures, [2].

As given in [2], network processors can be classified according to the organization of the processing cores or hardware accelerators: in pipelines or parallel pools of

processors. The processors may be homo- or hetero-geneous, and may have one or more cores. The Intel IXP2800 processor is consisted of 16 identical multi-threaded RISC processors, organized as a pool of parallel homogeneous processing elements, [13], and an additional 32-bit XScale core for the control plane. This organization is advantageous in the simplicity of programming of the elements, as they all use the same instruction set, and it also allows for great flexibility towards ever-changing services and processing of the packets. Thus, IXP2800 can achieve up to 10 Gb/s processing speed. On the other side, Agere's network processors are implemented as pipeline with heterogeneous processing cores, where each core is responsible for one pipeline stage, [2]. Furthermore, the EZChip's NP-1-4 network processors are an example of a pipeline of heterogeneous multi-core processors. The cores used are optimized for specific tasks and are called Traffic Optimized Processors (TOP cores). Each stage of the pipeline is consisted of several duplicated cores, so that if one packet takes more time for processing, the whole pipeline would not be stalled. The heterogeneousness complicates the programming, but it allows achieving near-ASIC processing speeds. The newest NP-4 processor can achieve a total throughput of 100 Gb/s, that can be arranged among one or more line cards, [14], [15].

Our goal would be to eventually use a homogeneous multi-processor organization where each core would be processing packets independently of the others, hence packets that need more processing time won't stall the packet flow. This paper only presents one of the cores that could be used in such multi-processor organization.

IV. PROPOSED NETWORK PROCESSOR ARCHITECTURE

To facilitate with the increasing demands for processing speeds and performances, we suggested new network processor architecture, based on RISC and Harvard organization. Basically, we would try to enrich the general architecture of a RISC core, and its fundamental instruction set. Initial results are very promising, and we hope that with appropriate internal hardware and software interventions, the

proposed architecture can be involved in a multi-gigabit-per-second routing applications.

A. Basic components

The proposed network processor architecture is based on a standard RISC 64-bit Harvard processor architecture combined with several hardware accelerators and adjusted for IP packet processing. The use of Harvard organization is very convenient, since read/write operations to the data/program memory can be performed at the same time. Additional improvements are achieved, by the use of 64-bit data paths, enabling 64 bits to be transferred at a given moment. We choose RISC processor architecture, since it allows execution of short simple one cycle instructions in a 5-stage (fetch, decode, execute, memory access, write back) pipeline. The main idea behind this network processor architecture is the possibility of modifying 64-bit general purpose RISC processor architecture and adapting it for network processing applications. Additionally, the proposed architecture should be able to speed up the routing process, improving its performances.

The proposed RISC core architecture is composed of: internal program and data memory (instruction and data cache), 64-bit ALU, two operand and one result register, 128 general purpose registers and 64 packet header registers (packet header buffer). The processor core, as usual, includes program counter and instruction register, responsible for instruction execution control. Additionally, the design is enriched with packet buffer status register, used for storing some important information (IP version, header length etc.) for the packet being processed. Having in mind that adding hardware accelerators optimized for complex tasks is more power/time efficient than implementing these tasks in software, usage of functional unit for CRC calculation is proposed in this architecture. All these memory and hardware structures use 64-bit long data paths.

The proposed internal architecture of the RISC core is presented on Figure 1.

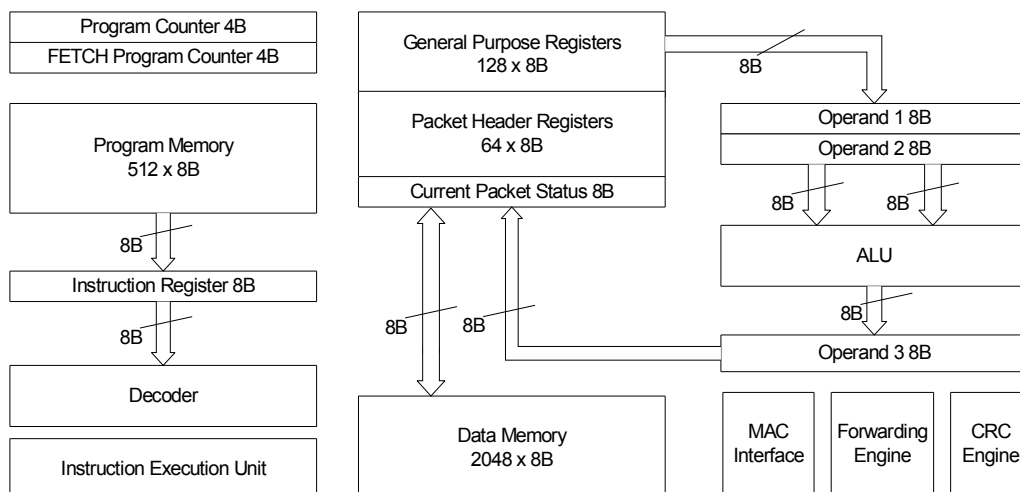


Figure 1. Proposed network processor architecture

B. IP Packet processing

We consider general packet processing for both IP versions. For IPv4 packets usually the following operations are executed: verification of packet header fields (version, packet length, source and destination address), CRC validation, route table look up, simple changes of some header fields (decrement of TTL), calculation of new CRC value and forwarding, [16]. On the other side, for IPv6 packets some of these tasks are excluded, such as CRC code validation and calculation. Also in IPv6 header, instead of TTL, a hop count limit field is used (its value is incremented during the packet processing), [17].

All these operations are supported by 64-bit ALU, working with two sources, and one destination operand register. The ALU allows basic arithmetic/logic operations and additional simultaneous shifting of the second operand.

C. Packet buffer

Packets received on the MAC interface, are stored in the data memory, and after their processing is finished, they are sent out to the forwarding engine. Usually, only the IP packet header is being processed by the network processor. For that purpose it is first loaded and stored in the additional 64 packet header registers. Therefore, each IPv4 header (including the option fields) or IPv6 header (including one extension header), can be completely stored in the packet header buffer. This packet header registers enable fast data access and manipulation, since each IP header field can be individually and directly accessed, changed, and afterwards, restored in memory with the new (re)computed values. In this architecture, IP header fields can be directly specified as instruction operands in the network processor instructions, during the IP packet processing.

D. Alias registers

The network processor is composed of 128 general purpose registers, and 64 packet header registers. All of them can be addressed with completely 8 bits. The codes starting with b00, b01 or b10 are used to denote register indexes, and the remaining 64 codes, starting with b11 are used for addressing the packet header fields, that are actually alias registers. Therefore, the last 64 codes are divided, one half for IPv4 fields, and the other for IPv6 fields. Then, for example, the first general purpose register is addressed as b00000000, and the first field of the packet header (IPv4), is addressed as b11000000. All instructions can work with these alias registers as operands. This allows for a more flexible (and faster) packet header processing and greater convenience to the programmer. When the compiler is built, this kind of access to the packet header fields will be allowed via system calls.

E. Instruction set

The processor instruction set is optimized for IP packet processing and it is enriched with several specific instructions for hardware accelerators control, and CRC code calculation and validation. The instruction format is based on the simple RISC set, additionally adjusted for manipulation

with the IP header fields (for both IP versions) during the network packet processing. One important change in this architecture is an additional addressing mode that allows direct access to the IPv4 and IPv6 packet header fields by their names (ex. ip4_ver, ip4_header_length, etc.).

The instruction set of the proposed network processor architecture is shown on Figure 2.

Instruction Set

```
ADD rd, rs1, rs2 [ shift { rs3 || imm5 } ]
ADDI rd, rs1, imm32
ADDIU rd, rs1, imm32
SUB rd, rs1, rs2 [ shift { rs3 || imm5 } ]
SUBI rd, rs1, imm32
SUBIU rd, rs1, imm32
AND rd, rs1, rs2 [ shift { rs3 || imm5 } ]
ANDI rd, rs1, imm32
ANDIU rd, rs1, imm32
OR rd, rs1, rs2 [ shift { rs3 || imm5 } ]
ORI rd, rs1, imm32
ORIU rd, rs1, imm32
XOR rd, rs1, rsrc2 [ shift { rs3 || imm5 } ]
XORI rd, rs1, imm32
XORIU rd, rs1, imm32
B {addr32 || rd}
BAL addr32
B[cond] rs1, {rs2 || imm16}, addr32
CMP[cond] rd=rs1, {rs2 || imm32}
** cond = EQ || GE || GT || LE || LT || NE **
LB rd, rs1, offset32
LBU rd, rs1, offset32
LQ rd, rs1, offset32
LQU rd, rs1, offset32
LH rd, rs1, offset32
LHU rd, rs1, offset32
LW rd, rs1, offset32
LWU rd, rs1, offset32
LDC rd, imm32
LUI rd, imm32
SB rd, rs1, offset32
SBU rd, rs1, offset32
SQ rd, rs1, offset32
SQU rd, rs1, offset32
SH rd, rs1, offset32
SHU rd, rs1, offset32
SW rd, rs1, offset32
SWU rd, rs1, offset32
TRAP imm32
CRCcheck rd
CRCcalc rd
```

NOTE: rdest, rsrc1, rsrc2 can be any General Purpose Register (r0..r127), Packet Header Registers (r128..r255) or IP header fields (version, TTL, etc.)

Figure 2. Network processor instruction set

As you can see, the instruction set is composed of some very simple and several special purpose instructions. The instructions are 64-bit long and there are three different instruction format types: register, immediate and control (R, I and C format, accordingly).

The register instructions such as sub, add, xor etc. are three-address instructions, which operate with register value operands. Additionally, these instructions allow shift operation of the second operand, before the execution of the arithmetical/logical instruction. On the other hand, the immediate instructions (load, store, add, etc.) are responsible for register-to-memory or memory-to-register transfer, and conditional branches. These instructions always include at least one immediate value operand. However, depending on the operands used, some instructions (ex. comparison, addition) can be implemented as either R-type or I-type. The last instruction format, C – type, is used to express: unconditional branching, procedure calls, CRC code calculation and validation, and trap instructions.

F. Addressing modes

The processor architecture is RISC based, so it should support very simple addressing modes, [2]. As a result, the processor implements register and immediate addressing, and index addressing as well. The most of the operations are executed by accessing to memory or to different types of registers. Some of the instruction operands can be given as alias registers, specified by the appropriate IP header field name.

G. LISA description

The proposed architecture was modeled using the language for instructions set architectures - LISA. It is a modeling language general enough to model any kind of instruction set driven processors, and yet powerful enough to model highly specific instruction set processors, [18].

Therefore we used it to model the proposed modified RISC architecture, and analyze its characteristics. We defined its memory and bus architecture, a standard 5-stage instruction pipeline and the instruction set specific to the network processing. From the LISA model we simulated the processor, and this allowed us to verify its functionality and performance. More details about the performance evaluation are given in section VI.

H. VHDL description

From the LISA model it is possible to make an automated VHDL code generation, and the code can be used for investigation at a lower level. For example we are planning to simulate it on a Xilinx VIRTEX 5 FPGA board and obtain performance estimation that would be closer to the real hardware. Additionally, there are some issues that need to be taken in consideration, such as circuit complexity, power consumption and overheating, which may significantly influence on the overall performance that can be achieved.

I. Achieved improvements

The proposed architecture organization allows many complex packet header operations to be performed in one cycle, using simple digital logic. Furthermore, the ability for direct access to packet header fields and using hardware accelerators significantly simplifies and speeds-up network

packet processing. All these considerations imply that the novel proposed network processor architecture would be able to fulfill the current network processing speeds and will be able to cope with multi-gigabit (10 Gb/s) links of Next Generation Networks.

V. PERFORMANCE EVALUATION

The current transition from circuit switch to packet switch networks implies doubling of the network traffic every 12 – 18 months, [2]. It is expected that until 2015 the Internet throughput would increase to 1 Tb/s. It should, as well, be considered that processor performances increase is limited by Moore's law and power constraints. Consequently, network processors should provide high performance computing, and ability for overcoming these limitations. Furthermore, they should be able to scale with the increasing computing performances.

In order to estimate the performance trade-offs for the proposed network processor architecture, some simple computations would be presented. The calculation of the theoretical maximum of instruction cycles allowed for each IP packet processing at the desired speeds of 10/100 Gb/s can be performed by the equations given in (1) and (2). These results can be used as a theoretical limit which can be compared with the network processor results. Consequently, we can estimate the performance capabilities of the proposed network processor architecture.

$$\text{Average rate of packets} = \frac{\text{data rate}}{\text{average size of packets}} \text{ [number of packets/s]} \quad (1)$$

$$\begin{aligned} \text{Average time for processing one packet} &= \frac{1}{\text{average rate of packets}} \text{ [}\eta\text{s]} \\ &= \frac{\text{average time for processing one packet}}{\text{one processor cycle time in } \eta\text{s}} \text{ [number of cycles]} \quad (2) \end{aligned}$$

Consequently, in order to achieve 10 Gb/s speed, by using a network processor working at a 2GHz frequency and an average data packet size of 512B, around 820 instruction cycles can be used for processing each packet, whereas for the 100 Gb/s we are left with only 82 instruction cycles per packet. This is the reason why instruction-level parallelism and hardware accelerators are required. Initially we employed a standard 5 stages pipeline, which allowed us to increase the packet processing throughput. Additionally, we could minimize the dependences between sequential instructions, and therefore pipeline stalls, by reorganizing and reordering the IP routing assembler program code, executed on the network processor.

Considering the proposed network processor architecture, we evaluate the performance by analyzing assembler programs for general IPv4 and IPv6 packet processing (described in section IV, part B). Results have been gathered by comparing the general RISC architecture and our modified RISC architecture. In fact, we are estimating the number of processor cycles needed for general IP processing of each packet, in order to show the improvements achieved by employment of the novel network processor architecture.

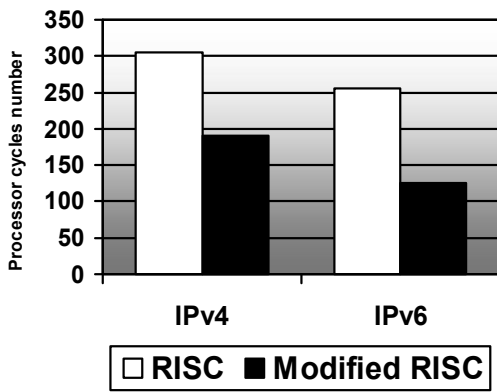


Figure 3. Processor cycles number, required for IP packet processing (both IPv4 and IPv6)

Figure 3 shows the number of processor cycles needed for general IP packet processing, for each of the possible cases. The initial results show that the proposed network processor improves the performances for both IP versions, compared to the general purpose RISC core. This is, as well, graphically plotted on figure 4.

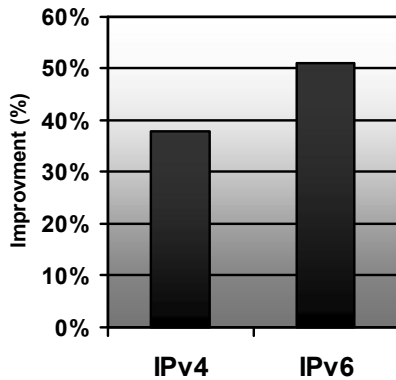


Figure 4. Achieved improvements by use of the novel network processor architecture (for IPv4 and IPv6 processing)

Therefore, the proposed network processor architecture can be within the boundaries of the theoretical limit of processor cycles for 10/100 Gb/s processing, but some additional improvements are supposed to be carried out. Hence, there is ongoing work for performing additional hardware design and software simulations that can further improve the design and consequently achieve better and more reasonable results.

VI. CONCLUSION

In this paper, we are proposing a novel network processor architecture that should be able to cope with multi-gigabit networks. The proposed 64-bit RISC-based network processor architecture is particularly tailored to network processing application. Its key architectural aspects are: enhanced instruction set, instruction level parallelism achieved by five stage pipelines, execution of complex instructions in one cycle, use of packet buffer processor registers for holding the IP header, and use of alias registers

for easier manipulation with the IP header fields, which can be directly specified as processor instruction operands. With the proposed changes, we predict that within the Next Generation Networks, the routers would be able to cope with traffic on 10 Gb/s, and 100 Gb/s links. This is additionally validated with the performance estimation given in the paper.

A lot of work is still ahead to be done, as, for example, speeding up the IP routing process, new strategies for memory architectures for routing purposes, new strategies for memory searching, simulating the proposed network processor in nearly real environment. However, by our opinion, there are no technological obstacles to make the proposed changes and concepts a reality.

REFERENCES

- [1] H. Jonathan Chao, Bin Liu, "High Performance Switches and Routers High speed switches and routers", Wiley-IEEE Press, May 2007
- [2] Ran Giladi, "Network Processors - Architecture, Programming and Implementation", Morgan Kaufmann Publisher, Ben-Gurion University of the Negev and EZchip Technologies Ltd., 2008
- [3] Mahmood Ahmadi, Stephan Wong, "Network Processors: Challenges and Trends", Proceedings of the 17th Annual Workshop on Circuits, Systems and Signal Processing, ProRisc, pp. 222-232, Veldhoven, The Netherlands, November 2006
- [4] Panos C. Lekkas, "Network Processors: Architectures, Protocols and Platforms", McGraw-Hill Professional, 2003
- [5] Mohammad Shorfuzzaman, Rasit Eskicioglu, Peter Graham, "Architectures for Network Processors: Key Features, Evaluation, and Trends", Proc. on Communications in Computing, pp.141-146, 2004
- [6] <http://netfpga.org/> [online at 27.09.2010]
- [7] Jad Naous, Sara Bolouki, Glen Gibb, Nick McKeown, "NetFPGA: Reusable Router Architecture for Experimental Research", Stanford University, California, USA, 2008
- [8] Michele Petracca, Robert Birkea, Andrea Bianco, "HERO: High-speed enhanced routing operation in software routers NICs", Politec. di Torino, 2008
- [9] Simon Hauger, Thomas Wild, Arthur Mutter, Andreas Kirstädter, Kimon Karras, Rainer Ohlendorf, Frank Feller, and Joachim Scharf, "Packet Processing at 100 Gbps and Beyond—Challenges and Perspectives", Stuttgart, Munich, Germany, 2009
- [10] P. Gupta, S. Lin, and N. McKeown, "Routing lookups in hardware at memory access speeds," in Proc. IEEE INFOCOM'98, Session 10B-1, San Francisco, CA, pp. 1240–1247.
- [11] W. Eatherton, G. Varghese, Z. Dittia, "Tree bitmap: Hardware/Software IP Lookups with Incremental Updates", SIGCOMM Comput. Commun. Rev., vol. 34, no. 2, 2004.
- [12] M. Gries, C. Kulkarni, C. Sauer, K. Keutzer, "Exploring Trade-Offs in Performance and Programmability of Processing Element Topologies for Network Processors", 2nd Workshop on Network Processors (NP2) at the 9th International Symposium on High Performance Computer Architecture, pp. 75–87, 2003
- [13] Intel Corporation, Intel IXP2800 Network Processor® Product Brief, For OC-192/10 Gbps network edge and core applications, 2004
- [14] NP-4, 100-Gigabit Network Processor for Carrier Ethernet Applications, Product Brief, 2010
- [15] NP-3, 30-Gigabit Network Processor with Integrated Traffic Management, Product Brief, 2010
- [16] Andreas Moestedt, Peter Sjödin, Torsten Köhler, "Header Processing Requirements and Implementation Complexity for IPv4 Routers", HP Laboratories Bristol, September, 1998
- [17] RFC2460, "Internet Protocol, Version 6 (IPv6) Specification"
- [18] CoWare Processor Designer Product Family, LISA Language Reference Manual, Product Version V2009.1.1, CoWare, Inc., 2009

Višeslojna arhitektura sistema zaštite savremenih računarskih mreža

Zlatko Dejanović
Elektrotehnički fakultet
Banjaluka
zlatko.dejanovic@etfbl.net

Sadržaj—Računarske mreže su entiteti koji mnogo nude, ali koji mogu mnogo i da uzmu ako se ne koriste na pravilan način. Kako su mreže i same izgrađene na principu višeslojnosti, došlo se na ideju da se tako i štite. Za njihovu zaštitu se uglavnom koriste kriptografske tehnike. U radu se opisuje njihova primjena u izradi alata za zaštitu po pojedinim slojevima TCP/IP i OSI modela. Naročito akcenat je stavljen na aplikacioni, transportni i mrežni sloj. Za kraj je ponuđen jedan prijedlog primjene koji se bazira na većini prethodno opisanih tehnika. Po njemu se, i za minimalnu sigurnost mreže, mora implementirati zaštita na više slojeva.

Ključne riječi-kriptografija; računarske mreže; sigurnost

I. UVOD

Digitalna revolucija je omogućila da mnoge stvari više ne moraju da se obavljaju licem u lice. Računari nude stvari koje ranije nismo mogli ni da zamislamo. Povezivanje računara je postalo ekvivalentno povezivanju ljudi. To povezivanje, popularno nazvano računarska mreža, danas pruža širok spektar mogućnosti – od najjednostavnijeg dopisivanja i elektronskog prenosa podataka svih vrsta (tekst, grafika, video signali, zvuk...), preko elektronske kupovine, pa sve do rješavanja globalnih i parcijalnih problema iz nauke, tehnologije, ekonomije i mnogih drugih oblasti. Internet je danas najpopularniji globalni medij i najveći izvor informacija. Međutim, ta popularnost je direktno proporcionalna iskonskoj želji ljudi da profitiraju na tuđi račun. Da bi zaštitili računarske mreže na njih moramo da gledamo iz drugog ugla – ugla koji pokazuje da one nisu naš prijatelj. To je zajednica, kao i svaka druga, u kojoj određeni procenat čine lopovi i prevaranti. Drugim riječima, računarske mreže su danas izložene velikom broju napada – kako eksternih, tako i internih. Prislušivanje i mijenjanje informacija, lažno predstavljanje i virusi samo su neki od mnogobrojnih mogućih napada čiji je zadatak smanjiti pouzdanost i skalabilnost mreža. Tu nastupa kriptografija, prastara vještina sa modernim licem. Njene tehnike nam najviše pomažu u zaštiti savremenih računarskih mreža.

II. KRIPTOGRAFSKE TEHNIKE ZAŠTITE PODATAKA

Osnovno oružje kriptografije su njeni algoritmi. Algoritme u modernoj kriptografiji dijelimo na dvije velike klase – simetrične i asimetrične. Simetrični algoritmi svoj naziv duguju činjenici da koriste isti ključ za šifrovanje i dešifrovanje.

Nazivaju se još i algoritmi sa tajnim ili dijeljenim ključem. Ključevi u praksi predstavljaju dijeljenu tajnu između dvije ili više strana koja se koristi da bi se pristupilo određenim zaštićenim informacijama. Za razliku od simetričnih algoritama, asimetrični koriste različite ključeve za šifrovanje i dešifrovanje. Oni se nazivaju privatni i javni ključ, respektivno. Javni ključ se ne drži u tajnosti, samo privatni. Uvođenje asimetričnih algoritama je omogućilo ostvarivanje i preostale tri osobine (osim tajnosti koja je a priori tu) koje kriptografija donosi:

- autentikacija (eng. authentication) – mogućnost identifikovanja učesnika u komunikaciji;
- integritet poruke (eng. integrity) – uvjerenje da poruka nije mijenjana tokom procesa slanja;
- neporecivost (eng. non-repudiation) – nemogućnost da pošiljalac negira da je poslao određenu poruku.

Najpoznatiji predstavnici simetričnih algoritama su DES, 3DES i AES. Njihova glavna prednost je brzina šifrovanja. Međutim oni imaju sljedeće probleme:

- Ključevi se moraju distribuirati u tajnosti, a ovo može biti zastrašujući zadatak.
- Ukradenim ključem se mogu dešifrovati sve poruke ranije šifrovane tim ključem.
- Pod pretpostavkom da svaki par korisnika u mreži upotrebljava zaseban ključ, ukupan broj ključeva se brzo uvećava kako raste broj korisnika. Za mrežu sa n korisnika potrebno je $n(n-1)/2$ ključeva. Tako bi za samo 100 korisnika bilo potrebno 4950 ključeva?! Manipulacija ključevima očigledno postaje veliki problem.

Takođe, simetričnim algoritmima je nemoguće realizovati autentikaciju, integritet poruka i neporecivost slanja poruke, a samim tim je iluzorno razgovarati i o realizaciji digitalnih potpisa. Iako su simetrični algoritmi bez premca kad je u pitanju zaštita podataka, očigledno je da se moralo naći neko rješenje za sve navedene probleme.

Asimetrični kriptografski algoritmi koriste različite ključeve za enkripciju i dekripciju. Ovu vrstu kriptografije nazivamo i kriptografija sa javnim ključem. Svaki korisnik posjeduje dva ključa – privatni i javni. On svoj privatni ključ

drži u tajnosti, a javni je svima dostupan. Ova dva ključa su matematički povezana, ali se jedan veoma teško može izvesti iz drugog. Namjerno se napominje veoma teško, a ne nemoguće jer su svi kriptografski algoritmi sa javnim ključem zasnovani na matematičkim problemima za koje se smatra da su teški, ali ni za jedan nije dokazano da je nerješiv. Međutim, matematičari se već preko 300 godina bave ovim problemima i za to vrijeme je postignut neznatan napredak na njihovom rješavanju što nam daje dovoljnu garanciju da smo sigurni [1]. Spomenuti problemi su faktorisanje i izračunavanje deiskretnog logaritma. Prvi protokol sa ovom idejom bio je Diffie-Hellmanov protokol za razmjenu ključeva. Danas je RSA najpopularniji algoritam na ovom polju.

U stvarnom svijetu algoritmi sa javnim ključem nisu zamjena za simetrične kriptoolgoritme. Oni se ne koriste za šifrovanje poruka, već samo za šifrovanje ključeva. Za to su zaslužna sljedeća dva nedostatka asimetričnih algoritama:

- Algoritmi sa javnim ključem su spori.
- Kriptosistemi sa javnim ključem su osjetljivi na napade sa izabranim otvorenim tekstom.

Poznavajući prednosti i nedostatke obe klase algoritama zaključuje se da njihovo poređenje i nema previše smisla jer se koriste za različite vrste problema, već se pokušavaju iskoristiti pozitivne strane obe klase. Simetrična kriptografija je najbolja za šifrovanje podataka i, samim tim, osiguravanje sigurnosti. U prilog tome ide činjenica da su simetrični algoritmi i po 1000 puta brži od asimetričnih i da koriste 10 puta kraće ključeve. Sa druge strane, asimetrični algoritmi su bez premca kad je u pitanju upravljanje ključevima. Tako dolazimo do pojma hibridnih kriptosistema. U njima bi se šifrovanje i dalje vršilo simetričnim algoritmima, a zatim bi se simetrični ključ enkriptovao pomoću asimetričnih algoritama. Najbolji primjer za ovu realizaciju je digitalna envelope.

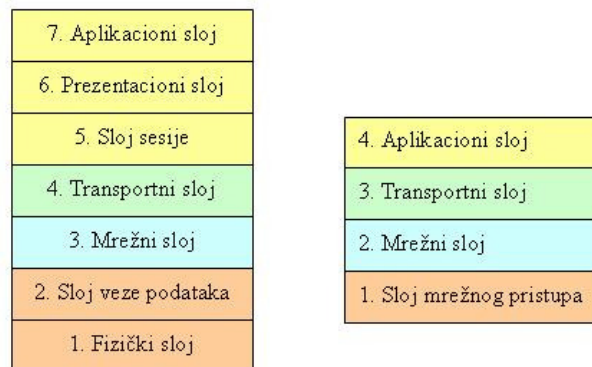
Značajan dio kriptografije predstavljaju i heš funkcije. One daju heš vrijednosti poruke. Nazivamo ih jednosmjernim jer stvaraju tzv. otisak poruke koji se lako izračunava, ali je iz njega nemoguće rekonstruisati originalnu poruku. Njegova dužina je znatno kraća od dužine poruke, pa se iz tog razloga koristi kod digitalnih potpisa. Najpoznatije heš funkcije su MD5 i funkcije iz SHA familije.

III. VIŠESLOJNA STRUKTURA RAČUNARSKIH MREŽA

Da bi se uopšte razgovaralo o višeslojnoj zaštiti računarskih mreža, prvo se mora upoznati koncept višeslojnosti samih mreža.

Računarske mreže su zasnovane na slojevitom modelu po principu da svaki sloj pruža uslugu sloju iznad sebe pomoću svojih protokola, a da ovog iznad baš i ne zanima na koji način ovaj ispod to obavlja. Sličan princip susrećemo u objektno orijentisanom programiranju. Iako pri komunikaciji izgleda da svaki sloj komunicira sa svojim parnjakom na drugoj strani mreže, to nije slučaj. Svaki sloj zapravo prosljeđuje svoje podatke sloju ispod sebe koji dodaje svoje kontrolne informacije na njih i prosljeđuje ih dalje. Pri primanju se dešava slična radnja samo u suprotnom smjeru. Ova dva

inverzna procesa se nazivaju enkapsulacija (eng. encapsulation) i dekapulacija (eng. decapsulation). Dva opšte prihvaćena slojevitih modela računarskih mreža su OSI i TCP/IP model, koji su uporedo predstavljeni na sljedećoj slici:



Slika 1. OSI vs. TCP/IP model

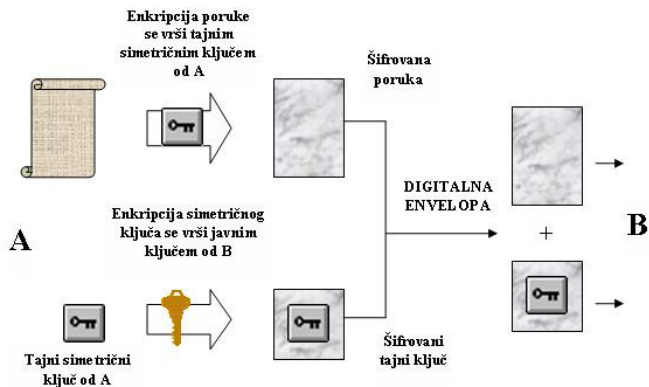
Posmatrajući bilo koji od dva izložena modela vidljivo je da svaki sloj ima protokole koji obavljaju svoju funkciju nezavisno od ostalih slojeva. Samim tim, nametnula se ideja da se posebno štiti svaki sloj računarske mreže. Najveći akcenat se ipak stavlja na aplikacioni, transportni i mrežni sloj. Razlozi za to su višestruki. Prvo, to su jedina tri sloja koja su uključena i u jedan i u drugi zastupljeni referentni model. Dalje, u OSI modelu prezencioni i sloj sesije ne igraju neku značajnu ulogu pa i nema potrebe da se posebno štite. Zaštita fizičkog sloja i sloja veze podataka nisu predviđeni za razmatranje u ovom radu iz više razloga. Prvo, ova dva sloja su objedinjena i potpuno zapostavljena u opisu TCP/IP modela tako da je razmatranje njihove zaštite u startu otežano. Dalje, zaštita na sloju veze podataka se može ostvariti samo na relativno malim udaljenostima, a i načini za zaštitu ovog sloja su uglavnom nečije vlasništvo i mora se platiti za njihovo korištenje. Međutim, kao što će se pokazati u preostalim glavama, pristojna zaštita se može ostvariti i samo preko aplikacionog, transportnog i mrežnog sloja.

IV. ZAŠTITA NA APLIKACIONOM SLOJU

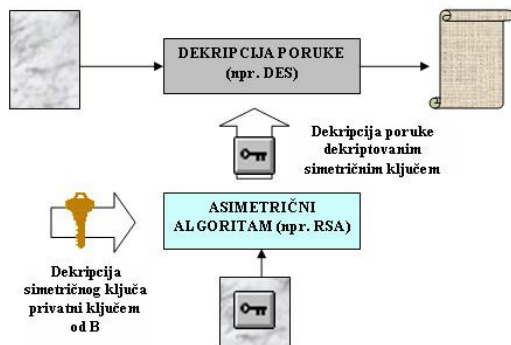
Aplikacioni sloj je jedini sloj na kojem se mogu realizovati dvije prilično jednostavne, a neprocjenjivo korisne tehnike – digitalna envelope i digitalni potpis.

Digitalna envelope (eng. digital envelope) je najbolji primjer korištenja hibridne zaštite u kojoj se asimetrični algoritmi koriste za enkripciju ključeva, a simetrični za enkripciju poruke.

Slijedi opis komunikacije pomoću digitalne envelope između korisnika A i B. A enkriptuje poruku svojim simetričnim ključem, a zatim svoj simetrični ključ javnim ključem osobe B kojoj se šalje poruka. Zatim se osobi B šalje i enkriptovana poruka i enkriptovani simetrični ključ. B kod dekripcije prvo dekriptuje tajni simetrični ključ pomoću svog privatnog ključa, a zatim pomoću njega dekriptuje i prispjelu poruku. Prethodno opisana enkripcija i dekripcija su predstavljene na sljedeće dvije slike:

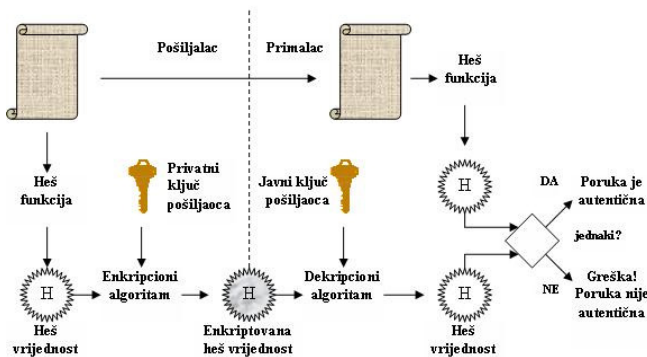


Slika 2. Digitalna envelope - enkripcija



Slika 3. Digitalna envelope – dekripcija

Pošto se u računarskim sistemima ne mogu prenositi svojeručni potpisi, neophodno je naći metodu „potpisivanja“ dokumenata koja se ne može falsifikovati i koja bi zadovoljavala uslove autentičnosti, neporecivosti i integriteta poruke. Tako se došlo do digitalnog potpisa (eng. digital signature). Pošiljalac ne potpisuje cijelu poruku već samo njenu heš vrijednost tako što je enkriptuje svojim privatnim ključem i tu „potpisanu“ heš vrijednost šalje sa originalnom porukom primaocu. Potpisivanje heš vrijednosti poruke umjesto nje same povećava efikasnost i brzinu same tehnike jer je heš vrijednost uglavnom znatno kraća od cijele poruke. Primalac izračunava heš vrijednost primljene poruke pomoću iste funkcije heširanja, a potpisanu heš vrijednost dobija dekriptovanjem pomoću javnog ključa pošiljaoca. Ako se dvije dobijene heš vrijednosti podudaraju, poruka je autentična. Naredna slika ovaj opis i vizuelno predstavlja:



Slika 4. Digitalni potpis

Aplikacioni sloj je jedini sloj preko kojeg se može obezbijediti identifikacija učesnika u komunikaciji. Autentikacija (eng. authentication) ili provjera identiteta je tehnika kojom se provjerava da li je neko ko se predstavlja zaista ta strana kojom se predstavlja ili neki uljez. Ova tehniku je mnogo teže realizovati nego što se čini na prvi pogled. Korisnik se sistemu može autentikovati na tri načina: nečim što korisnik zna (npr. lozinka), nečim što korisnik posjeduje (npr. smart kartica, kupon...) ili onim što korisnik jeste (dokazuje se retinom oka, otiskom prsta, glasom...). Gotovo svi autentikacioni protokoli su zasnovani na jakoj autentikaciji. Po njoj se korisnik mora autentikovati bar na dva od tri navedena načina.

Od svih mogućnosti koje nudi ovaj sloj, ipak je najpopularnija elektronska pošta (eng. e-mail). Kako poslana poruka prolazi kroz mnogo međustanica do konačnog odredišta, potrebno je omogućiti da poruku može da pročita samo onaj kome je i namijenjena. Za ovu svrhu se uglavnom koriste program PGP i standard S/MIME.

V. ZAŠTITA NA TRANSPORTNOM SLOJU

Zaštita na aplikacionom nivou nije dovoljna iz jednostavnog razloga. Nisu svi korisnici bezbjednosno svjesni. Takođe, mali procenat populacije uopšte posjeduje svoj par javnog i privatnog ključa, a mnoge transakcije preko mreže su morale biti zaštićene. Najbolji primjer je kada korisnik šalje svoj broj kreditne kartice i PIN serveru preko kojeg vrši elektronsku kupovinu. Ti podaci ne smiju biti izloženi uljezu koji želi da ih ukrade i zatim iskoristi. Došlo se do ideje da se napravi sigurnosni tunel direktno od jedne do druge strane kroz koji bi se odvijala cijela komunikacija. Transportni sloj je posljednja barijera na kojoj se ovakva zaštita može realizovati. Već na sljedećem (mrežnom) sloju više ne postoji komunikacija sa kraja na kraj. Takođe morala se i ugraditi tehnika koja bi omogućila autentikaciju servera klijentu kako bi ovaj znao kome šalje svoje povjerljive podatke. Obično se autentikuje samo server, ali sljedeći nivo sigurnosti nudi i autentikaciju klijenta. Rezultat cijele ove priče je bio *Netscape*-ov proizvod SSL (eng. Secure Sockets Layer), a na osnovu ovog proizvoda je razvijen i standard za ovaj sloj TLS (eng. Transport Layer Security). TLS/SSL se ne mora koristiti sa web pretraživačima, ali to je njegova najčešća primjena. Implementiran je u većini njih i na svom polju nema konkurenciju. Procjenjuje se da preko 100.000 web stranica koristi TLS ili SSL.

VI. ZAŠTITA NA MREŽNOM SLOJU

Mrežni sloj radi sa paketima i na njega korisnik nema direktnog uticaja. Razmatrajući to svojstvo došlo se na ideju da i ovaj sloj dobije svoj zaštitni standard. Tim standardom bi se morala šifrovati svaka komunikacija, a korisnik ne bi uticao na to šifrovanje. Samim tim, ponudio bi se određeni stepen zaštite za svakog korisnika, čak i za one kojima uopšte nije poznat pojam šifrovanja. Ni korisnici kojima je tajnost izuzetno bitna ne bi bili oštećeni pošto se šifrovanje na višim slojevima može ostvariti na isti način kao i dosad, nezavisno od ovog sloja. Takođe, šifrovanje bi se vršilo nultim algoritmom koji obezbjeđuje maksimalnu brzinu šifrovanja, tako da postupak ne bi umanjivao željene performanse [2].

Rezultujući standard je dobio ime IP Security, ali je šire korištena njegova skraćenica IPsec (često se susreće naziv IPsec sa velikim S, međutim to je pogrešno). Ovaj projekat obuhvata čitavu strukturu sastavljenu od više različitih usluga, algoritama i nivoa granularnosti paralelnih procesa. Usluge se nude pojedinačno. U glavne usluge spadaju tajnost, integritet podataka i zaštita od napada ponavljanjem poruka. Za sve usluge se koristi simetrična kriptografija jer su ovdje primarne visoke performanse.

IPsec ne nudi potpunu sigurnost ovom sloju jer nema mogućnost filtriranja paketa, tj. određivanja koji paketi mogu ući, a koji izaći iz mreže. Najpopularnije sredstvo za ovu svrhu se naziva firewall.

VII. PREGLED NEKIH OD TRENUTNIH RJEŠENJA ZA ZAŠTITU RAČUNARSKIH MREŽA

Da bi se prešlo na prijedlog mogućeg rješenja zaštite, moraju se uvesti još neki pojmovi, koji i sami po sebi predstavljaju mogući vid zaštite. Riječ je o:

- infrastrukturi javnog ključa i digitalnim sertifikatima,
- virtuelnim privatnim mrežama,
- hardverskim rješenjima zaštite na primjeru smart kartica.

Glavni problem kod korištenja kriptografije sa javnim ključem je dokazivanje da je javni ključ korektan, tj. da baš pripada strani sa kojom želimo da komuniciramo (da nije zamijenjen sa javnim ključem neke treće strane). Uobičajan pristup ovom problemu je korištenje infrastrukture javnog ključa. Infrastruktura javnog ključa (eng. Public Key Infrastructure, PKI) je mehanizam za bezbjedno razmjenjivanje javnih ključeva. Po njemu jedna ili više trećih strana, poznatih pod imenom sertifikaciona tijela (eng. Certification Authority, CA), potvrđuje vlasništvo para ključeva. Sertifikaciono tijelo uopšte ne mora da bude dostupno sve vrijeme. Ono samo izdaje dokument kojim se potvrđuje da određenom entitetu pripada određeni javni ključ. Ovaj dokument se naziva digitalni sertifikat (eng. digital certificate). Tako se dobija mehanizam da svako ima priliku da objavi svoj sertifikat umjesto javnog ključa, čime se uveliko smanjuje mogućnost da on bude zamijenjen.

Potencijal Interneta je praktično beskonačan. Iz tog razloga došlo se na ideju da se preko njega pokuša ostvariti simulacija privatne mreže, ali tako da čvorovi te mreže ne moraju biti direktno povezani. Metoda za realizaciju je bila IPsec, a rezultat virtuelne privatne mreže.

Sva dosad navedena rješenja zaštite u ovom radu su bazirana na softveru. Međutim, samo softverska rješenja ne nude maksimalnu sigurnost sistema jer nisu otporna na sve vrste napada (trojanske konji...). Takođe, smatra se da glavna opasnost svakom sistemu ne prijete od nesigurnosti veza koje uspostavi npr. SSL, već od drugih faktora. Najosjetljivija tačka svakog sistema sa kriptografijom sa javnim ključem je mjesto gdje se čuvaju ključevi. Mnogo su uspješniji napadi na baze podataka sa tim sadržajem nego na istestirane i široko primjenjivane protokole. Druga velika slabost je što proces enkripcije i dekripcije obavlja operativni sistem ili aplikativni

softver koji je neotporan na iole snažnije napade. Rješenje ovih problema pronađeno je u upotrebi specijalizovanih hardverskih komponenti koje na sebi imaju dovoljno memorije za skladištenje svih kriptografski bitnih informacija i dovoljno procesne snage da obavljaju osnovne kriptografske operacije nezavisno od operativnog sistema i aplikacija. Naravno, hardverska rješenja zaštite nisu zamjena za softverska već ih treba posmatrati kao dopunu za sljedeće glavne nedostatke:

- nesigurnost – ključevi se smještaju na nesigurna mjesta
- nemobilnost – korisnici su vezani za svoje računare;
- složenost – rukovanje sertifikatima nije jednostavno.

Najpopularnije hardversko rješenje su smart kartice.

VIII. PRIJEDLOZI ZAŠTITE NA POJEDINIM SLOJEVIMA RAČUNARSKE MREŽE

U cilju optimalne odbrane od potencijalnih opasnosti predlaže se arhitektura sistema zaštite koja se sastoji od mehanizama zaštite primjenjenih na tri nezavisna sigurnosna sloja, obrađena u prethodnim glavama ovog rada. Ukoliko nije moguće koristiti mehanizme na svim nivoima, kao minimalna arhitektura predlaže se primjena kombinacije mehanizama na dva nivoa, i to zaštitom na aplikacionom sloju i dodatnom zaštitom na transportnom ili mrežnom nivou. Na taj način sistem se brani, kako od internih (aplikativna zaštita), tako i od eksternih napada (transportna ili mrežna zaštita).

A. Prijedlog zaštite na aplikacionom sloju

U cilju realizacije mehanizama zaštite na aplikacionom sloju predlaže se primjena digitalnog potpisa i digitalne envelope na bazi smart kartica za korisnike.

Za realizaciju zaštite na aplikacionom sloju neophodno je primijeniti odgovarajuću kriptografsku biblioteku kako na klijentu, u okviru odgovarajuće klijentske aplikacije ili Internet pretraživača, tako i na odgovarajućem web ili aplikativnom serveru. Ove kriptografske biblioteke na klijentu i serveru su u potpunosti odgovorne za realizaciju kriptografskih funkcija na aplikacionom nivou. Klijentska aplikacija sa ugrađenom kripto-bibliotekom (ili odgovarajućom ActiveX kontrolom) ili Internet pretraživač iz koga se poziva odgovarajuća ActiveX kontrola (ili možda JAVA aplet) treba da obezbijedi sve četiri osnovne kriptografske karakteristike.

Pošto su smart kartice jedan od glavnih alata ovog prijedloga, potrebno je obezbijediti univerzalnost u odnosu na njih i njihove čitače korištenjem odgovarajućeg *middleware*-a za pristup smart karticama. Na ovaj način, klijentska i serverska aplikacija su nezavisne od konkretne smart kartice koja će biti korištena. Takođe, neophodno je obezbijediti autentičnost korisnika na bazi njegove smart kartice i odgovarajućeg PIN-a prije pristupa samoj aplikaciji.

Pri izradi i korištenju aplikacije treba da se poštuju standardi propisani PKCS-om (eng. Public Key Cryptography Standard), koji predstavljaju standarde na polju kriptografije sa javnim ključem. Naročito treba obratiti pažnju na PKCS#1 za digitalni potpis i digitalnu envelope, PKCS#7 za formate

digitalno potpisanih i šifrovanih podataka i PKCS#11 standardni interfejs za pristup smart karticama.

Kriptografske operacije treba da se izvršavaju i u klijentskom i serverskom softveru i na samoj smart kartici. Na klijentu i serveru se izvršavaju šifrovanje i dešifrovanje simetričnim algoritmima, kreiranje heš vrijednosti podataka koji se digitalno potpisuju i verifikacija digitalnog potpisa. Na smart karticama se izvršavaju digitalni potpis i dešifrovanje simetričnog ključa kod digitalne envelope. Takođe, treba omogućiti da aplikacija daje odgovarajući feedback o (ne)uspješnosti kriptografskih operacija koje izvodi.

Što se tiče korištenih algoritama, preporučuju se današnja najpopularnija rješenja i to u svojim najjačim izdanjima – RSA kao asimetrični algoritam, 3DES ili AES kao simetrični algoritmi i SHA-1 i cijela SHA-2 familija kao heš funkcije. Nekada su dugački ključevi osjetno uticali na brzinu izvođenja kriptografskih operacija. Danas sa ekspanzionalnim rastom procesorske moći to više nije slučaj, tako da se predlažu sljedeće dužine ključeva – 2048 bita za RSA i 256 bita za AES. U slučaju da ovi ključevi jednog dana više ne budu nudili zadovoljavajuću sigurnost, aplikaciju treba projektovati da obezbijedi mogućnost promjene njihovih dužina.

U okviru klijentske i serverske aplikacije treba obezbijediti funkciju verifikacije digitalnog potpisa odgovarajućih podataka. Ta verifikacija se radi na osnovu javnog ključa iz digitalnog sertifikata potpisnika koji takođe mora da se pošalje na određeni način. Da bi verifikacija bila potpuna, mora se omogućiti mehanizam provjere i samog digitalnog sertifikata, tj. treba prvojeriti da li je potpisan od strane CA organizacije kojoj se vjeruje, da li je istekao i, ako nije, da li je povučen (da li se nalazi na odgovarajućoj CRL koju objavljuje CA).

U okviru mehanizama zaštite na aplikacionom nivou mogla bi se integrisati i odgovarajuća challenge-response procedura jake autentikacije korisnika na aplikacionom sloju. Alternativa tome je da se za te potrebe iskoristi standardna procedura klijentske i serverske autentikacije u okviru SSL protokola zaštite na transportnom sloju što je opisano u nastavku, a što se i predlaže za praktičnu primjenu.

B. Prijedlog zaštite na transportnom sloju

U vezi realizacije transportnih mehanizama zaštite, predlaže se primjena standardnog SSL ili TLS protokola između klijenata i web servera. Postoje dvije moguće realizacije – sa i bez klijentske autentikacije. Serverska autentikacija je u oba slučaja obavezna. U slučaju da je predviđena i klijentska autentikacija, potrebno je da u sistemu postoji odgovarajuća CA organizacija koja izdaje sertifikate klijentima na smart karticama. Ta varijanta je puno sigurnija, ali i dosta komplikovanija pošto bi svaki korisnik u sistemu morao da vodi računa o svom SSL sertifikatu. Odluku je najbolje donijeti na osnovu strukture mogućih klijenata.

C. Prijedlog zaštite na mrežnom sloju

Umjesto SSL protokola na transportnom nivou (ili uz njega), mogu da se koriste i kriptografski mehanizmi zaštite na

mrežnom nivou koji se uglavnom baziraju na IPsec protokolu zaštite i uspostavljanju virtualnih privatnih mreža. Virtualne privatne mreže se najčešće baziraju na čistom IPsec protokolu zaštite ili na kombinacijama PPTP/IPsec ili L2TP/IPsec. PPTP (eng. Point-to-Point Tunneling Protocol) je protokol koji enkapsulira PPP pakete u IP pakete koji se prenose mrežom. Međutim, ovaj standard radi dobro samo u Microsoft-ovim okruženjima, tako da je usljed tog nedostatka pronađen njegov pandan u vidu L2TP protokola (eng. Layer 2 Tunneling Protocol). Shodno tome, izbor odgovarajuće kombinacije treba da zavisi od okruženja koje se koristi.

IX. ZAKLJUČAK

Zaštita računarskih mreža je jedno od gorućih pitanja u računarskom svijetu. Kriptografija je zbog svojih svojstava ne samo najbolje, već možda i jedino pravo rješenje za zaštitu. Analizirajući sve njene tehnike i alate, došlo se do zaključka da se računarske mreže moraju štiti na više slojeva radi potpune sigurnosti. Ponuđen je jedan prijedlog primjene koji se bazira na većini navedenih tehnika. Po njemu se, i za minimalnu sigurnost mreže, mora implementirati zaštita na više slojeva.

Problem koji obrađuje ovaj rad je svakodnevno u fokusu i njegova aktuelnost iz dana u dan raste. Iako je rad preglednog karaktera, on predstavlja sveobuhvatan pogled na ovu oblast. Većina opisanih tehnika predstavlja veterane za računarske uslove, a toliki staž samo garantuje da će se još dugo i uspješno upotrebljavati.

LITERATURA

- [1] Bruce Schneier, Applied Cryptography, 2nd Edition. John Wiley & Sons, 1996.
- [2] Andrew S. Tanenbaum, Computer Networks, Fourth Edition. Prentice Hall PTR, 2003.
- [3] Eric Cole, Ronald Krutz, James W. Conley, Network Security Bible, Wiley Publishing, 2004.
- [4] Adolfo Rodriguez, John Gattrell, John Karas, Roland Peschke, TCP/IP Tutorial and Technical Overview, IBM corporations, 2001.

Abstract—Computer networks are entities that offer a lot, but that can take a lot and if are not used correctly. As the networks are built on the principle of multiple layers, there is an idea to protect them in the same way. Cryptographic techniques are mainly used for their protection. The paper describes the usage of these techniques in developing tools for the protection of the individual layers of the TCP/IP and OSI models. Particular emphasis is placed on the application, transport and network layer. In the end it is offered an application proposal based on the majority of previously described techniques. It is clear that even for a minimal safety, we must implement protection at multiple layers.

Keywords—*cryptography; computer networks; security*

Multi-layered protection system architecture of modern computer networks

Konceptualna definicija klase i objekta

Dušan Malbaški
Fakultet tehničkih nauka
Trg Dositeja Obradovića 6
21000 Novi Sad, Srbija
malbaski@uns.ac.rs

Aleksandar Kupusinac
Fakultet tehničkih nauka
Trg Dositeja Obradovića 6
21000 Novi Sad, Srbija
sasak@uns.ac.rs

Sadržaj—Usled velike ekspanzije i brzog razvoja objektno orijentisanog programiranja, kao bočni efekat nastali su problemi u sâmom značenju pojmova i termina, pa čak i onih fundamentalnih, kao što su objekat i klasa. Terminologija objektno metodologije često je u koliziji sa već ustaljenom terminologijom u drugim naučnim oblastima (posebno u filozofiji). Zbog toga se nameće potreba da se značenje pojmova i upotreba termina usaglase i na taj način stvori jedan konzistentan konceptualno-terminološki sistem, koji je temelj svake naučne oblasti, pa tako i objektno orijentisanog programiranja. U ovom radu ćemo izložiti konceptualne definicije klase i objekta, bazirane na pojmu (konceptu). Glavni cilj ovoga rada jeste da se u objektnoj metodologiji uvede jasan i konzistentan konceptualno-terminološki sistem.

Ključne reči—klasa, objekat, teorija programiranja.

I. UVOD

Proučavanje neke nove naučne i stručne oblasti počinje sa upoznavanjem osnovnih pojmova i termina, odnosno sa proučavanjem njihovih definicija. Nažalost, objektno orijentisano programiranje je nastajalo evolutivnim putem, kao odgovor sa jedne strane na sve veće zahteve softverskog tržišta, a sa druge strane zbog sâmog progressa u nauci i načinu razmišljanja. Prema tome, u toku izgrađivanja teorije i prakse uspostavljeno je faktičko stanje u kojem postoje različiti pogledi na fundamentalne koncepte objektno metodologije – objekat i klasu. Takođe, ni terminologija u objektnoj metodologiji nije zadovoljavajuća, jer često za isti pojam postoji nekoliko termina (npr. objekat se često naziva i instancom klase). Pored sinonimije, u objektnoj metodologiji postoji još veći problem, a to je neopreznost upotreba termina koji su preuzeti iz drugih naučnih oblasti (na primer, najčešće iz filozofije), što može da izazove pogrešnu asocijaciju [1]. Tipičan primer jeste termin *objekat* koji obično označava stvar, predmet ili korelat subjektu [2]. U objektnoj metodologiji za termin objekat postoji više različitih definicija [3], kao što su:

- Objekat predstavlja individuu, pojedinost koja se može identifikovati, jedinicu ili entitet, realan ili apstraktan, sa dobro definisanom ulogom u domenu problema [4],
- Objekat je bilo šta što poseduje oštre i jasno definisane granice [5],
- Objekat je stvar koja se može identifikovati i koja igra određenu ulogu u odnosu na zahtev za izvršavanje operacija [6],
- Objekat je kolekcija operacija koje dele stanje [6],

- Objekat je inkapsulacija skupa operacija koje se mogu eksterno pobuđivati i stanja koje pamti efekte primene metoda [6],
- Objekat je instanca klase u vreme izvršavanja [7],
- Objekat je model entiteta koji ima identitet, stanje i ponašanje, gde se pod entitetom podrazumeva postojanje nečeg [6] [8].

Slična situacija je kada je u pitanju termin *klasa* i mogu se uočiti tri osnovna aspekta klase [6]:

- Klasa po definiciji služi za grupisanje objekata,
- Klasa ima namenu da opredeli strukturu i ponašanje svih objekata koji joj pripadaju (tj. klasa ima prirodu seme ili šablona),
- Klasa služi kao generator objekata.

Očigledno, navedene definicije imaju prilično „slobodnu“ formu, a posebna mana im je što ne omogućavaju da se termini objekat i klasa definišu nezavisno jedan od drugog. Definicija koja definiše objekat kao model entiteta je još najprikladnija, ali otvara pitanje šta je to *entitet*, a šta je *model* i kako koristiti te termine, a ne doći u koliziju sa već usvojenom terminologijom u filozofiji. Međutim, čak i ta definicija ima jedan očigledan problem, a to je da softverski inženjer, prilikom pisanja programa, ne barata konkretnim jedinicama posmatranja (entitetima), već barata mislima o njima i njih modeluje.

U ovom radu ćemo izložiti konceptualne definicije klase i objekta, koje omogućavaju da se termini objekat i klasa definišu nezavisno jedan od drugog. Naše izlaganje počinje i bazira se na definiciji *pojma* ili *koncepta*, koji predstavlja misao o bitnim karakteristikama jedinice posmatranja i na taj način dobijamo realniju sliku o procesu modelovanja. Zahvaljujući ovakvom pristupu možemo jasno definisati šta je to *softverski model pojma* koji projektant stvara u odnosu na domen problema.

II. INDIVIDUALNI I KLASNI POJAM

Prilikom stvaranja objektno orijentisanog programa softverski inženjeri najviše vremena će posvetiti analizi i modelovanju. Međutim, ovde treba napomenuti činjenicu da se softverski inženjeri bave mislima o učesnicima u informacionom sistemu, odnosno jedinica posmatranja se tretira preko misli o njoj, tačnije preko misli o njenim bitnim karakteristikama. Na primer, projektanti informacionog sistema fakulteta ne barataju sa konkretnim studentima i nastavnicima, već koriste misli o njima,

odnosno misli o njihovim bitnim karakteristikama. Na osnovu toga, zaključujemo da su klasa i objekat direktno vezani za misli i da nije potreban nikakav posrednik u vidu entiteta ili nečeg trećeg, pa će ovo izlaganje započeti sledećom definicijom:

- Misao o bitnim karakteristikama predmeta jeste **pojam** ili **koncept** [9],

pri čemu se reč „predmet“ ovde koristi u najširem smislu i označava predmet posmatranja i/ili razmišljanja. Svaki predmet u najširem smislu poseduje određene karakteristike koje možemo podeliti na bitne i nebitne. Misao o bilo kojoj karakteristici se naziva **oznaka**, a specijalno, misao o bitnim karakteristikama se naziva **bitna oznaka**. Nebitne karakteristike se mogu izvesti iz bitnih karakteristika. Na primer, bitne karakteristike pojma TROUGAO jesu *biti konveksni mnogougao* i *imati tri stranice*, dok jednakost visina kod jednakostraničnog trougla nije bitna karakteristika, jer sledi iz osobine jednakosti stranica.

Pojam ima sadržaj i opseg [9]. Sadržaj pojma je skup njegovih bitnih karakteristika. Npr., sadržaj pojma FUNKCIJA čine osobine *biti relacija* i *ako* (a,b) i (a,c) pripadaju funkciji, tada važi $b=c$. Neka su A i B dva pojma. Ako za pojam B možemo reći svako B je istovremeno i A , tada je A generički (viši) pojam u odnosu na B , a B je vrsni (niži) pojam u odnosu na A . Opseg pojma jeste skup njegovih vrsnih pojmova. Npr., opseg pojma TROUGAO čine pojmovi JEDNAKOSTRANIČNI TROUGAO, JEDNAKOKRAKI TROUGAO, PRAVOUGLI TROUGAO itd.

Sadržaj i opseg pojma se nalaze u obrnutoj srazmeri, odnosno niži pojam ima manji opseg, ali mu je sadržaj veći od višeg pojma i obrnuto, viši pojam ima veći opseg, ali mu je sadržaj manji od nižeg pojma. Ovaj zaključak je logičan, jer se niži pojmovi dobijaju iz viših dodavanjem semantike u vidu oznaka, ali istovremeno se na taj način sužava opseg, jer je niži pojam specifičniji.

Pojmove možemo klasifikovati na razne načine, ali za naše dalje izlaganje važna je podela na **individualne** i **klasne pojmove**. Individualni pojmovi se odnose na individualne predmete. Individualni predmeti koji imaju zajedničke oznake čine klasu, a misao o datoj klasi jeste klasni pojam. Na primer, individualni pojmovi HAJDN, MOGART i BETOVEN jesu misli o poznatim kompozitorima, kojima je zajedničko to da pripadaju periodu klasicizma i da je njihov stvaralački rad više ili manje vezan za grad Beč. Na osnovu zajedničkih oznaka, oni čine klasu, a misao o toj klasi je klasni pojam BEČKI KLASIČAR.

Očigledno, individualni pojmovi mogu i ne moraju biti realni, dok klasni pojmovi nikada nisu realni. Na primer, klasni pojam BEČKI KLASIČAR nije realan pojam, dok individualni pojam MOGART je realan (kompozitor Mocart je postojao u periodu 1756–1791 godine). Međutim, i individualni i klasni pojam TROUGAO nisu realni.

Metodom apstrakcije od klasnih pojmova mogu se dobiti još apstraktniji klasni pojmovi. Na taj način se dobija hijerarhija klasnih pojmova, koja po obliku podseća na stablo. Na primer, klasni pojam BEČKI KLASIČAR pripada opsegu klasnog pojma KOMPOZITOR, a ovaj opet pripada opsegu klasnog pojma UMETNIK itd.

Ustaljena praksa je da učenje objektno orijentisanog programiranja počinje sa razmatranjem entiteta. Po ISO definiciji *entitet* je bilo koja konkretna ili apstraktna stvar koja postoji, koja je postojala ili je mogla postojati, uključujući i veze između ovih stvari [10]. Autori ovog rada entitet tretiraju kao sinonim za jedinicu posmatranja i smatraju da nema potrebe stavljati ga u prvi plan, jer kao što je na početku ovog poglavlja rečeno, projektant informacionog sistema barata pojmovima, tj. mislima. Zbog toga, autori ovog rada u prvi plan stavljaju *pojam*. Najzad, možemo reći da svet u najopštijem smislu, koji projektant razmatra, čine pojmovi, koji imaju oznake i koji međusobno stoje u nekom odnosu, tj. u nekoj vezi.

III. MODELovanJE

U prethodnom poglavlju smo rekli šta je to sadržaj pojma, ali ćemo ovde reći da određivanje sadržaja pojma nije nimalo lak posao. Na primer, pojam GRAĐANIN ima bitne oznake *ime* i *prezime*, *matični broj*, *adresu* i *broj lične karte*, ali isto tako svaki građanin ima *visinu*, *težinu*, *boju kose*, *broj cipela* itd. Upravo ovde se pokazuje opravdanost uvođenja domena problema. Naime, za razliku od logičara, projektant softvera ne mora voditi računa o svim bitnim oznakama pojma, već samo o onima koje su relevantne, tj. one koje su od interesa za dati domen problema koji je predmet analize. Na primer, projektant informacionog sistema poreske uprave će za pojam GRAĐANIN izabrati *ime* i *prezime*, *matični broj*, *adresu*, *podatke o prihodima* i sl., ali sigurno neće izabrati *visinu* ili *težinu*, iako svaki građanin poseduje pomenute osobine. S druge strane, projektant informacionog sistema zdravstvene ustanove će pored *imena* i *prezimana*, *matičnog broja*, *adrese* i sl., sigurno izabrati i *visinu* i *težinu*, jer ove osobine su neophodne lekaru prilikom određivanja terapije, ali neće izabrati *podatke o prihodima*.

- Oznake pojma koje su od interesa u datom domenu problema zovu se **relevantne oznake pojma** [11] [1].

Uvođenjem relevantnih oznaka, umesto bitnih oznaka, rešava se problem donošenja odluke da li je neka oznaka bitna ili ne. Na primer, *matični broj* građanina je oznaka koja je bitna u zemljama u kojima ona postoji, ali postoje zemlje u kojima ona ne postoji pa samim tim nije ni bitna. Dakle, uvođenje relevantnih oznaka koje su vezane za dati domen problema igra ključnu ulogu da naše izlaganje dobije i praktičan karakter, što je naročito važno za softverski inženjering, koji podrazumeva rešavanje praktičnih (inženjerskih) problema. Sada možemo definisati model, pri čemu treba istaći da sâm termin model, kao homomorfna slika nečeg, ima upotrebu u raznim situacijama (npr. maketa zgrade predstavlja model zgrade koja će biti sagrađena), međutim, softverski inženjer bavi se modelovanjem pojma, tj. modelovanjem misli. Prema tome, ovde ćemo definisati softversko modelovanje (kraće *modelovanje*) i softverski model (kraće *model*):

- Postupak izbora konačnog broja relevantnih oznaka pojma u odnosu na dati domen problema naziva se **softversko modelovanje**, a dobijeni konačni skup relevantnih oznaka naziva se **softverski model**.

Iz prethodne definicije možemo zapaziti da je modelovanje postupak kojim se dobija uprošćena slika pojma u datom domenu problema, pri čemu taj postupak nije jednoznačno odre-

den, tj. isti pojam se može modelovati na više različitih načina. Npr., pojam GRAĐANIN se može modelovati konačnim skupom oznaka {ime i prezime, matični broj}, ali isto tako bi se mogao modelovati konačnim skupom {ime i prezime, matični broj, adresa, broj pasoša}. Drugim rečima, projektant je taj koji donosi odluku kako će modelovati neki pojam. Važno je da dobijeni skup relevantnih oznaka bude potrebno i dovoljno deskriptivan, jer to je jedan od ključnih preduslova da softver, kao finalni proizvod, bude kvalitetan. Zbog toga projektant više vremena posvećuje modelovanju, a ne sâmom pisanju kôda.

IV. KLASA I OBJEKAT

U ovom poglavlju ćemo navesti konceptualne definicije klase i objekta, ali ćemo prvo skrenuti pažnju na to da ove definicije imaju dve velike prednosti u odnosu na sve definicije koje smo spomenuli u uvodnom delu ovog rada. Naime, konceptualne definicije su zasnovane na pojmovima (konceptima), tj. na dobro razrađenom i jasnom sistemu termina i njihovih značenja. Pored toga, konceptualne definicije klase i objekta su ravnopravne u semantičkom smislu, tj. klasa se ne definiše preko objekta niti obrnuto. Prvo ćemo navesti konceptualnu definiciju klase:

- Klasa objekata (kraće *klasa*) jeste softverski model klasnog pojma.

Oznake klasnog pojma ćemo podeliti u dve grupe: oznake u užem smislu i oznake tipa „sadrži klasni pojam“. Oznake u užem smislu ćemo ovde zvati **odlikama**. Klasni pojam može u svom sastavu da sadrži i druge klasne pojmove, a njih ćemo ovde nazvati **fragmentima**. Na primer, klasni pojam DUŽ ima dva fragmenta (dva temena) koja jesu dva klasna pojma TAČKA. Na primer, klasni pojam AUTOMOBIL ima odliku *boja*. Odlike mogu biti **deskriptivne**, kao što su *boja, masa* i sl., ali i **operacione**, kao što su *moгуćnost kretanja, mogućnost letenja* i sl. Sada ćemo navesti konceptualnu definiciju objekta:

- Objekat je softverski model individualnog pojma.

Očigledno, konceptualni pogled postavlja klasu i objekat u ravnopravni položaj. Razlika je samo u tome što klasa odgovara klasnom, a objekat individualnom pojmu. Klasa i objekat povezani su jednom pretpostavkom koja zapravo ima snagu postulata i glasi:

- Za svaki objekat postoji klasa koja poseduje sve njegove relevantne oznake i tada kažemo da objekat pripada datoj klasi.

Na primer, svaki pojedinačni objekat *jednakokraki trougao* (sa konkretnim vrednostima dužina stranica) pripada klasi *Jednakokraki trougao*. Fragmenti i odlike klasnog pojma se pojavljuju u klasnoj varijanti, a fragmenti i odlike individualnog pojma u individualnoj varijanti. Npr., ako je odlika klase *boja*, tada kod individue se ona pojavljuje kao *bela* ili *zelena*.

Pojmovi mogu biti složeni što znači da njihovi fragmenti mogu imati svoje fragmente, a ovi opet svoje itd. Na primer, udžbenik se sastoji od poglavlja, poglavlja sadrže pasuse, pasusi linije, a linije sadrže znake. Skup sastavljen od pojma, njegovih fragmenata, pa dalje njihovih fragmenata itd., uređen relacijom „biti fragment“ čini **strukturu** takvog pojma. Ukoliko pojam ne sadrži fragmente, već samo odlike, tada kažemo da je

takav pojam jednostavne strukture. Ukoliko pak pojam sadrži bar jedan fragment, tada kažemo da je takav pojam složene strukture. Na primer, pojam AUTOMOBIL sadrži fragment MOTOR, pa kažemo da ima složenu strukturu. Na primer, pojam TAČKA sadrži samo odlike, a to su vrednosti koordinata, pa kažemo da ima jednostavnu strukturu. S obzirom da je objekat model individualnog pojma, tada modelovanjem od strukture pojma dobijamo strukturu objekta. Slično, možemo govoriti o jednostavnoj i složenoj strukturi objekta.

Esencijalne osobine objekta su da ima identitet, stanje i ponašanje. Konceptualna definicija nije u koliziji sa navedenim esencijalnim osobinama. Naime, pošto svaki individualni pojam ima identitet koji ga jednoznačno određuje, ta osobina se preslikava i na objekat, kao njegov model, odnosno svaki objekat ima identitet koji ga jednoznačno određuje. Stanje objekta sa jednostavnom strukturom određuju njegove deskriptivne odlike. Stanje objekta sa složenom strukturom određuju njegove deskriptivne odlike, ali i stanja njegovih fragmenata. Ako sada ovaj zaključak razmotrimo sa druge tačke gledišta, tj. ako za objekat posmatramo skup stanja, tada zaključujemo da se deskriptivne odlike izvode iz stanja, tj. odlike su funkcije stanja. Najzad, došli smo do faze realizacije u nekom od objektno orijentisanih programskih jezika. U fazi realizacije deskriptivne odlike predstavljaju **podatke-članove** objekta, dok će fragmenti predstavljati **objekte-članove** objekta. Operacione odlike determinišu ponašanje objekta, koje će biti opisano u njegovim **metodama**.

Kada se iz klasnog pojma izuzmu oznake nivoa klase, dobija se skup oznaka (fragmenata i odlika) koje poseduje svaki individualni pojam vezan za tu klasu. Imajući u vidu definiciju objekta, logično sledi da objekti iste klase imaju istu strukturu i isto ponašanje. Klasa i objekat stoje u identičnom odnosu u kojem su tip podataka i promenljiva u standardnim programskim jezicima. Npr., promenljive tipa *int* predstavljaju primerke (pojave) tog tipa, kao što objekti predstavljaju primerke (pojave, instance) svoje klase. Odavde je očigledno da konceptualna definicija klase i ovo izlaganje nisu u koliziji sa ključnim aspektima klase koji su navedeni u uvodnom delu ovog rada.

Najzad, u literaturi iz objektno orijentisanog programiranja često se koristi termin *atribut*, nažalost, ne na sasvim ispravan način. Atribut po definiciji označava bitnu oznaku. U ovom izlaganju pokazali smo da postoje deskriptivne i operacione oznake. Pojedini autori atributima nazivaju samo deskriptivne odlike, iako se suština objektno metodologije sastoji upravo u izjednačavanju svih odlika, kako deskriptivnih tako i operacionih. Na primer, operaciona odlika *moгуćnost letenja* je bitna oznaka pojma AVION. Naravno, ima autora koji eksplicitno navode da atributi obuhvataju sve bitne oznake, kako deskriptivne tako i operacione [12].

V. ZAKLJUČAK

Konceptualne definicije klase i objekta otvaraju mogućnost da se dva fundamentalna pojma objektno orijentisanog programiranja – objekat i klasa, razmatraju nezavisno. Ovaj rad doprinosi da se u okviru objektno metodologije uspostavi konzistentan konceptualno-terminološki sistem. U radu je razmatran proces projektovanja klase i dat poseban doprinos definisanjem softverskog modela, kao modela misli. Cilj ovakvog izlaganja,

pre svega, jeste da kod čitaoca stvori jasnu sliku o sâmoj genezi i suštini objektno orijentisanog programa. Naša buduća istraživanja će se kretati u pravcu razmatranja još jednog fundamentalnog pojma objektno oprijentisanog programiranja, a to su svakako veze između klasnih pojmova.

LITERATURA

- [1] D. Malbaški, Objektno orijentisano programiranje kroz programski jezik C++, Novi Sad: Fakultet tehničkih nauka, 2008.
- [2] M. Marković, Filozofski osnovi nauke, Beograd: Prosveta, 1994.
- [3] D. Malbaški and D. Obradović "On Some Basic Concepts in Object Orientation", 6th Balcan Conference on Operational Research, Thessaloniki, 2002.
- [4] M. Smith and S. Tockey, An Integrated Approach to Software Requirements Definition Using Objects, Scattle WA: Boeing Commercial Airplane Suport Division, 1988.
- [5] B. Cox, Object Oriented Programming: An Evolutionary Approach, Reading MA, Addison-Wesley, 1986.
- [6] E. Ellmer, Object-Orientation – an Overviev, University of Vienna, www.ifs.univie.ac.at/ISOO/overview.html.
- [7] B. Meyer, Object-Oriented Software Construction, Prentice Hall, 1988.
- [8] D. Malbaški, Objekti i objektno programiranje kroz programske jezike C++ i Pascal, Novi Sad: Fakultet tehničkih nauka, 2006.
- [9] G. Petrović, Logika, Zagreb: Školska knjiga, 1981.
- [10] ISO/IEC 2382 – 17.02.5
- [11] A. Kupusinac, Invarijanta klase u objektno orijentisanom programiranju, (magistarska teza), Novi Sad: Fakultet tehničkih nauka, 2008.
- [12] M. Amadi and L. Cardelli, A Theory of Objects, New York: Springer-Verlag, 1996.

Abstract— The great expansion and fast development of the object-oriented programming resulted in unclear meaning of the concepts and terms. Even fundamental concepts, such as class and object exhibit the same problem. The collision frequently exists between terminologies of object-oriented programming and other sciences (especially philosophy). In this paper we introduce conceptual definitions of class and object. Key motivation for this research is a wish to introduce a clear and consistent system of concepts and terms in object-oriented programming.

Key words—class, object, theory of programming.

Conceptual Definition of Class and Object

Komparativni pregled specifikacija JavaServer Faces aplikativnog okruženja

Zoran Đurić
Ognjen Joldžić
Elektrotehnički fakultet
Banja Luka
zoran.djuric@etfbl.net
ognjen.joldzic@etfbl.net

Sadržaj – U ovom radu su opisane osnovne karakteristike JavaServer Faces aplikativnog okruženja za razvoj web aplikacija. Dat je komparativni pregled osnovnih funkcionalnosti različitih verzija specifikacije, kao i prednosti i nedostaci svake od opisanih verzija.

Gljučne riječi – *JavaServer Faces, web aplikacije, aplikativno okruženje, specifikacija*

I. UVOD

Razvojem robusnijih web aplikacija i kompleksnijih informacionih sistema pojavljuje se potreba za kreiranjem programskog okruženja koje bi omogućilo održavanje ovakvih sistema u slučajevima u kojima je to potrebno, bilo da se radi o izmjenama interfejsa aplikacije ili o unapređenju poslovne logike. Karakteristika kvalitetnog aplikativnog okruženja je mogućnost izvršavanja pomenutih promjena bez uticaja na cijenu ili na ukupan nivo kompleksnosti cjelokupnog informacionog sistema.

Najveći iskorak u razvoju tehnologija koje omogućavaju podršku razvoju naprednih aplikacija predstavlja pojava MVC pristupa razvoju aplikacija i, ubrzo nakon toga, tehnologija baziranih na MVC pristupu.

MVC (*Model-View-Controller*) predstavlja arhitekturu koja predviđa postojanje odvojenih komponenta zaduženih za prezentacionu i poslovnu logiku sistema. *Model* je sloj sistema najbliži bazi podataka, te mu je glavna funkcija pristup poslovnoj logici i podacima koji se nalaze unutar baze podataka. *View* predstavlja prezentacioni sloj koji je zadužen za omogućavanje interakcije krajnjeg korisnika sa ostatkom sistema. Ne postoji jednoznačno mapiranje između prethodnih slojeva, jer je broj „pogleda“ prema modelu podataka neograničen i zavisi jedino od potreba korisničkog interfejsa. Između navedenih slojeva se nalazi kontroler, koji predstavlja svojevrsni međusloj prema modelu podataka, objavljujući dostupne funkcije za manipulaciju i pregled sadržaja baze podataka. Osim toga, sve promjene na pojedinim pogledima su inicirane od strane kontrolera u zavisnosti od trenutnog konteksta aplikacije i odgovarajućih podataka kojima model raspolaže.

JSF predstavlja Java-bazirano aplikativno okruženje (*framework*) razvijeno 2004. godine od strane kompanije Sun Microsystems. Od razvoja inicijalne verzije, JSF je postao jedno od najpouzdanijih i najpopularnijih okruženja za razvoj naprednih web aplikacija, što dokazuje i konstantan porast broja JSF-baziranih aplikacija kao i njihove zastupljenosti u segmentu poslovnih aplikacija.

U prilog popularnosti okruženja ide i ogroman broj nadogradnji i eksternih biblioteka koje značajno podižu nivo funkcionalnosti aplikacije, bilo da se radi o bibliotekama koje doprinose razvoju brzih korisničkih interfejsa ili unapređenju poslovne logike. Mogućnosti razvoja biblioteka nisu ograničene arhitekturom sistema, pa je njihov broj u stalnom porastu.

Najznačajnije unapređenje kompletnog JSF okruženja dolazi sa pojavom verzije 2.0, čime su ispravljani postojeći nedostaci otkriveni praktičnom primjenom i uvedene značajne promjene u logici razvoja web aplikacija. Ipak, specifična priroda unesenih promjena arhitekture za posljedicu ima paralelnu egzistenciju dvije verzije okruženja i nakon objavljivanja konačne specifikacije nove verzije. Određene osobine (o kojima će biti više riječi u drugom dijelu ovog rada) onemogućavaju jednostavno unapređenje postojećih aplikacija, pa i dalje postoje primjene u kojima se starija verzija JSF okruženja zadržala kao dominantna.

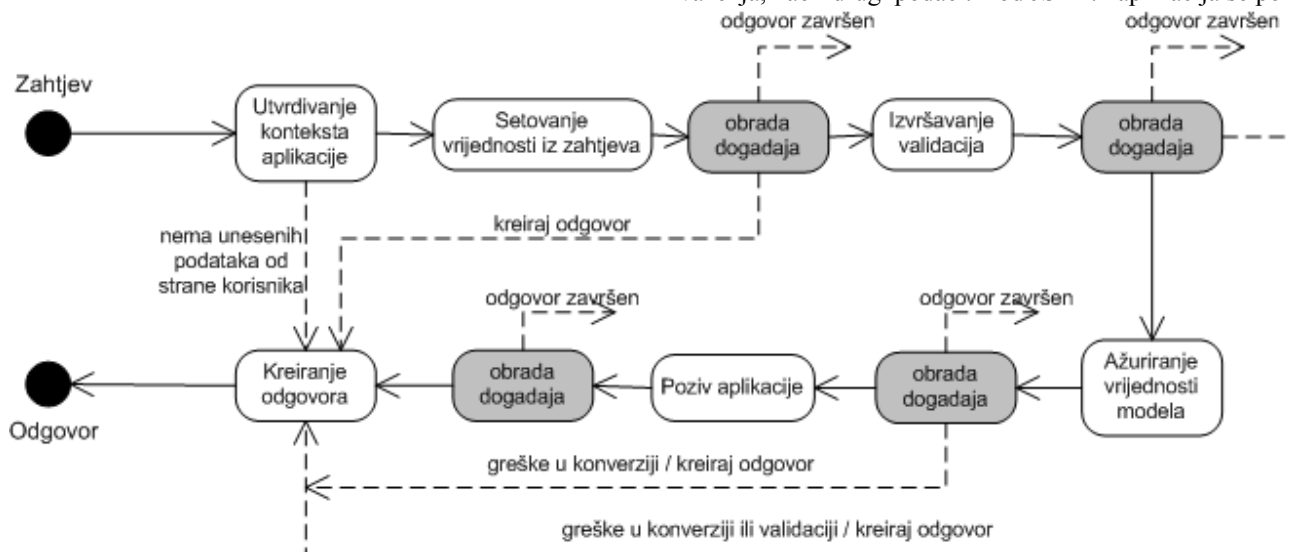
Upravo je iz prethodno navedenih razloga veoma bitno postojanje komparativnog pregleda funkcionalnosti i mogućnosti nove verzije specifikacije, kako bi se jasno razgraničili slučajevi upotrebe obe verzije JSF okruženja.

II. OPŠTE KARAKTERISTIKE JSF OKRUŽENJA

Polazna tačka svih funkcionalnosti JSF aplikacija (bez obzira na verziju specifikacije) leži u njenom ciklusu (*application life cycle*). JSF specifikacija [1,2] definiše šest odvojenih faza koje čine ciklus svake aplikacije, kako je prikazano na slici 1. Ciklus aplikacije predstavlja niz koraka kroz koje se prolazi od prijema, validacije i obrade korisničkih podataka, pa do kreiranja odgovora i njegovog slanja prema klijentu. Ispravno definisan ciklus aplikacije je zadržan od

inicijalne verzije okruženja, pri čemu se unesene izmjene odnose na njegovu olakšanu upotrebu i pojednostavljenje procesa razvoja JSF-baziranih aplikacija.

Putanje koje su na dijagramu označene punim linijama



Slika 1. Ciklus JSF aplikacije

predstavljaju uobičajeni tok obrade korisničkih zahtjeva, dok su isprekidanim linijama označeni tokovi kojima se kreiranje odgovora kreće u posebnim slučajevima. Od prijema zahtjeva pa do kreiranja korisničkog odgovora, JSF aplikacija prolazi kroz sljedeće faze:

- utvrđivanje konteksta aplikacije – u ovoj fazi se u zavisnosti od trenutnog stanja aplikacije generiše stablo sa komponentama za datu stranu. Dio validacije unesenih parametara se izvršava već u ovoj fazi,
- postavljanje vrijednosti iz zahtjeva – prenos vrijednosti sa forme dobijenih od korisnika i njihova dodjela komponentama iz stabla,
- validacija – u fazi provjere validnosti unesenih podataka okruženje pruža mogućnost prekida dalje obrade i generisanja odgovora koji informiše korisnika o neispravnom unosu,
- ažuriranje vrijednosti modela – u ovoj fazi se dobijene vrijednosti iz prezentacionog sloja prenose prema modelu podataka, kako bi se u sljedećoj fazi mogla izvršiti obrada uz pomoć procedura koje čine dio poslovne logike aplikacije,
- poziv aplikacije – prije generisanja odgovora koji će biti prezentovan korisniku, vrši se konačna obrada podataka prosljeđenih modelu, kao i odluka o navigacionom pravilu koje će biti upotrebjeno u daljem toku aplikacije,
- kreiranje odgovora – u ovoj fazi kreira se odgovor i šalje klijentu.

U ciklusu aplikacije navigacija ima posebnu ulogu. U odlučivanju se koristi niz navigacionih pravila eksplicitno navedenih unutar *faces-config.xml* fajla. Navigacija je jedan od aspekata u kojem su prisutne najveće promjene kroz evoluciju

JSF specifikacije. Naime, *faces-config.xml* predstavlja centralno mjesto konfiguracije kompletne aplikacije. Tu konfiguraciju čine, osim podataka o navigacionim pravilima i podaci o *bean*-ovima: naziv, odgovarajuća klasa i opseg važenja, kao i drugi podaci. Kod JSF 1.x aplikacija se pokazalo

da ovakav pristup može dovesti do problema prilikom održavanja ovakvih aplikacija, zbog obimnog sadržaja fajla kod kompleksnijih web aplikacija. Problemu u tom slučaju dodatno doprinosi i činjenica da integrisana razvojna okruženja često nude ograničenu podršku za administraciju i uređenje sadržaja *faces-config.xml* datoteke.

III. KARAKTERISTIKE JSF 2.0 SPECIFIKACIJE I RAZLIKE U ODNOSU NA JSF 1.X

Najznačajniju izmjenu u novoj verziji specifikacije predstavlja prenos kompletne arhitekture sistema u domen *Java Enterprise* web aplikacija (u skladu sa J2EE specifikacijom). Ovom promjenom su JSF aplikacijama stavljene na raspolaganje funkcionalnosti koje nisu dio same JSF specifikacije, već postoje u okviru J2EE okruženja [3].

Naime, uvođenjem podrške za anotacije unutar *bean*-ova omogućava se deklarisanje opsega važenja *Managed bean*-ova i izvan *faces-config* datoteke. Na slici 2 dati su primjeri registracije *Managed bean*-ova prema JSF 2.0 i JSF 1.x specifikacijama. Ovakav vid „decentralizacije“ programske logike olakšava dalje unapređenje aplikacije i smanjuje njenu kompleksnost. Osim postojećih opsega dostupnosti *bean*-ova (opseg aplikacije, opseg sesije i opseg zahtjeva), uvedeni su i *View Scope*, *Flash Scope* i *Custom Scope*. Opseg dostupnosti *View* i *Flash Scope Managed bean*-ova veći je od opsega zahtjeva, a manji od opsega sesije. *Custom Scope* se specificira korištenjem EL (*Expression Language*) izraza, a ne ključne riječi (slika 2).

```
<managed-bean>
<managed-bean-name>testBean</managed-bean-name>
<managed-bean-class>TestBean</managed-bean-class>
<managed-bean-scope>#{someCustomScope}</managed-
```

```
bean-scope>
</managed-bean>
```

Slika 2. *Custom Scope*

EL izraz identifikuje lokaciju mape koja sadrži *property*-je opsega. U vrijeme instanciranja *Custom Scope Managed bean*-a stara instanca *bean*-a će automatski biti zamijenjena novom.

Pored navedenog, podrška za anotacije omogućava korištenje podrazumijevanih naziva *bean*-ova, koji odgovaraju nazivu klase sa malim početnim slovom naziva. Isto tako, korištenjem anotacija moguće je navesti i proizvoljan naziv *bean*-a (Slika 3).

```
// JSF 2.0
@ManagedBean(name="testBean")
@SessionScoped
public class TestBean {
...
}
```

```
// JSF 1.X
<managed-bean>
  <managed-bean-name>testBean</managed-bean-name>
  <managed-bean-class>TestBean</managed-bean-class>
  <managed-bean-scope>session</managed-bean-scope>
</managed-bean>
```

Slika 3. Primjeri registracije *Managed bean*-ova prema JSF 2.0 i JSF 1.x specifikacijama

Ukoliko se pravila definisana novom specifikacijom u potpunosti ispoštuju, eliminiše se potreba za postojanjem *faces-config.xml* datoteke [4]. Navigaciona pravila u tom slučaju ne moraju biti eksplicitno navedena, već se na bazi rezultata *action controller* metoda implicitno mapira odgovarajući pogled (*view*) u formi fajla sa odgovarajućim imenom na fajl sistemu. Implicitno navigaciono pravilo se koristi u slučaju kada ne postoji eksplicitno navigaciono pravilo. Mogućnosti iz prethodne verzije ovim dodacima nisu izbačene, pa je odluka o vrsti navigacije koja se koristi ostavljena projektantu web aplikacije. Drugo poboljšanje navigacionog podsistema ogleđa se u uslovnim navigacionim pravilima. Uslovna navigacija se implementira kao EL izraz korištenjem novog `<if>` konfiguracionog elementa. Primjer uslovnog navigacionog pravila dat je na slici 4.

```
<navigation-rule>
  <display-name>page1.xhtml</display-name>
  <from-view-id>/page1.xhtml</from-view-id>
  <navigation-case>
    <from-outcome>success</from-outcome>
    <to-view-id>/page2.xhtml</to-view-id>
    <if>#{testBean.someCondition}</if>
  </navigation-case>
</navigation-rule>
```

Slika 4. Primjer uslovnog navigacionog pravila.

JSF 1.x specifikacija definiše *forward* serverske strane kao mehanizam navigacije sa izvorišne na određenu stranu. Pored ovog mehanizma navigacije, JSF 2.0 specifikacija definiše i

redirekciju strane kao mehanizam navigacije sa izvorišne na određenu stranu. Kao podrazumijevani mehanizam navigacije koristi se *forward* serverske strane, dok se redirekcija aktivira dodavanjem "faces-redirect=true" stringa na kraj izlaznog stringa. Drugi način aktiviranja redirekcije jeste korištenje `<redirect/>` elementa u okviru `<navigation-case>` elementa navigacionog pravila, kako je to i dato na slici 5.

```
<navigation-rule>
  <display-name>page1.xhtml</display-name>
  <from-view-id>/page1.xhtml</from-view-id>
  <navigation-case>
    <from-outcome>success</from-outcome>
    <to-view-id>/page2.xhtml</to-view-id>
    <redirect />
  </navigation-case>
</navigation-rule>
```

Slika 5. Aktiviranje redirekcije.

Standardan dio JSF 2.0 web aplikacija čine i određeni elementi koji su kao opcioni dodaci aplikaciji bili dostupni i u ranijim verzijama. Konkretno, *Facelets* biblioteka je zbog svojih dobrih osobina uvedena kao osnovni okvir za implementaciju interfejsa prema krajnjim korisnicima, čime su uvedene značajne izmjene u načinu projektovanja prezentacionog sloja web aplikacije. *Facelets* biblioteka je razvijena kako bi se JSF aplikacijama omogućio *templating* mehanizam, tj. mehanizam boljeg i efikasnijeg iskorištenja postojećeg programskog koda razbijanjem kompletne strane na dijelove koji se mogu iskoristiti u identičnoj formi na više strana u okviru iste aplikacije (zaglavlja strane, podnožja sa opštim informacijama, aplikativni meniji itd.). U vrijeme dok je JSF specifikacija bila dostupna isključivo u verziji 1, postojalo je više sličnih biblioteka (*Tapestry*, *Tiles*) od kojih nijedna nije bila standardizovana u okviru JSF specifikacije. Kako su u vrijeme razvoja JSF 2.0 specifikacije uočene prednosti *Facelets* biblioteke nad ostalim bibliotekama iste namjene, spomenute funkcionalnosti su uvrštene u samu specifikaciju donoseći mogućnosti *templating*-a u okviru standardne specifikacije [5]. JSP podrška za izgradnju korisničkog interfejsa i dalje je zadržana u JSF 2.0 specifikaciji, s tim da novouvedene osobine u formi novih tagova nisu podržane. Tako, u ovom slučaju, nije moguće koristiti ugrađenu AJAX podršku ili korisnički definisane komponente.

Ako se uzme u obzir tendencija razvoja modernih web aplikacija, u kojoj se insistira na povećanju brzine i dostupnosti aplikacije, kao i tendencija ka smanjenju granice između web aplikacija i tradicionalnih, *desktop* aplikacija, onda podrška za AJAX komponente predstavlja značajno unapređenje u novoj verziji JSF specifikacije. JSF 1.x aplikacije su AJAX funkcionalnosti preuzimale iz velikog broja postojećih biblioteka koje su predstavljale nadogradnju osnovne arhitekture. JSF 2.0 donosi integrisanu podršku za AJAX funkcionalnosti, najviše u domenu parcijalnog osvježavanja strane i sličnih aspekata asinhronne komunikacije. Na slici 6 dat je primjer korištenja ugrađenog *ajax* taga.

```
<h:inputText value="#{testBean.text}">
```

```
<f:ajax execute="@form" event="keyup" render="result"/>
</h:inputText>
```

Slika 6. Primjeri korištenja ugrađenog ajax taga.

Bez obzira na ugrađenu AJAX podršku, zadržana je i mogućnost integracije vanjskih komponenata iz bilo koje od biblioteka koje podržavaju novu specifikaciju. Bitno je napomenuti da, zbog prethodno navedenih razlika arhitektura sistema, postoje problemi u kompatibilnosti AJAX biblioteka razvijenih za starije aplikacije u odnosu na zahtjeve koje postavlja nova specifikacija. Međutim, broj komponenata koje se mogu iskoristiti u novim aplikacijama je u konstantnom porastu i već uveliko prelazi minimum koji je potreban za implementaciju čak i naprednijih aplikacija, iako se radi o relativno novoj specifikaciji.

Kako razvoj moderne web aplikacije nije jednostavan, podrška za *debug*-ovanje u fazi razvoja aplikacije je veoma značajan aspekt aplikativnog okruženja. JSF 2.0 specifikacija uvodi `PROJECT_STAGE` parametar u *web.xml* konfiguracionoj datoteci aplikacije koji može imati vrijednosti: *Production*, *Development*, *UnitTest*, *SystemTest* i *Extension*. Korištenjem ovog parametra mnoge greške koje bi kod JSF 1.x aplikacija ostale neprimjećene, sada mogu biti jednostavno detektovane. Primjer korištenja `PROJECT_STAGE` parametra dat je na slici 7.

```
<context-param>
  <param-name>javax.faces.PROJECT_STAGE</param-name>
  <param-value>Development</param-value>
</context-param>
```

Slika 7. `PROJECT_STAGE` parametar

Za ispisivanje vrijednosti *property*-ja *bean*-ova, prema JSF 2.0 specifikaciji moguće je koristiti JSF EL (*Expression Language*), što prema ranijoj specifikaciji nije bio slučaj. Na slici 8 dat je primjer korištenja `outputText` komponente u JSF 1.x i korištenje JSF EL za ispis vrijednosti *property*-ja *bean*-a [6]. Korištenje `outputText` komponente u JSF 2.0 aplikacijama je i dalje omogućeno, s tim što se ona obavezno mora koristiti u slučaju kada ju je potrebno opcionalno prikazivati ili kada je potrebno ispisivati HTML kod u JSF stranicu.

```
// JSF 2.0
#{userBean.usernameProperty }
```

```
// JSF 1.x
<h:outputText value="#{userBean.usernameProperty}"/>
```

Slika 8. Korištenje `outputText` komponente u JSF 1.x i JSF EL u JSF 2.0

Veoma bitno poboljšanje koje donosi JSF 2.0 specifikacija ogleda se u podršci za implementaciju korisničkih komponenti. Podrška za implementaciju korisničkih komponenti koja je postojala u JSF 1.x aplikacijama bila je veoma značajna jer je dovela do kreiranja velikog broja biblioteka, poput *RichFaces*, *IceFaces*, *Tomahawk*, *WebGalileo* i ADF. Bitno je napomenuti da je ovaj API bio veoma komplikovan. JSF 2.0 specifikacija uvodi novi pristup u implementaciji komponenti. Ovaj pristup, koji je baziran na *facelets*-ima, omogućava relativno jednostavno kreiranje novih jednostavnih i srednje

komplikovanih komponenti. Na slici 9 dat je primjer korisnički definisane komponente.

```
<!DOCTYPE html PUBLIC "-//W3C//DTD XHTML 1.0
Transitional//EN"
"http://www.w3.org/TR/xhtml1/DTD/xhtml1-transitional.dtd">
<html xmlns="http://www.w3.org/1999/xhtml"
  xmlns:h="http://java.sun.com/jsf/html"
  xmlns:composite="http://java.sun.com/jsf/composite">
<head>
<title>Test Composite Component</title>
</head>
<body>

<composite:interface>
  <composite:attribute name="test"/>
</composite:interface>

<composite:implementation>
  <h:outputText value="Hello, #{cc.attrs.test}!"/>
</composite:implementation>

</body>
</html>
```

Slika 9. Primjer korisnički definisane komponente

JSF 1.x specifikacija definiše dva mehanizma isporuke događaja. Riječ je o *FacesEvent* i *PhaseEvent* događajima koji se isporučuju *FacesListener*-ima i *PhaseListener*-ima, respektivno. Međutim, ova dva mehanizma ne uključuju notifikacije o drugim događajima od interesa za vrijeme obrade jednog *Faces* zahtjeva. JSF 2.0 specifikacija uvodi *SystemEvent* događaje koji se isporučuju *SystemEventListener*-ima u proizvoljnim tačkama za vrijeme procesiranja zahtjeva. Postoje dvije vrste sistemskih događaja (*SystemEvent*-a): globalni sistemski događaji i sistemski događaji vezani za komponentu. Na slici 10 dat je primjer registracije metode *doPreVal* *bean*-a *testBean*, kao *pre-validation listener*-a za *inputText* komponentu.

```
<h:inputText>
<f:event type="preValidate" listener="#{testBean.doPreVal}"/>
</h:inputText>
```

Slika 10. Primjer registracije *pre-validation listener*-a za *inputText* komponentu

JSF 2.0 specifikacija uvodi i značajniju podršku za GET zahtjeve. Ova podrška uključuje i nove komponente `<h:link>` i `<h:button>`. Na slici 11 dat je primjer korištenja `<h:link>` komponente.

```
<h:link outcome="success">
  <f:param name="param1" value="abc"/>
</h:link>
```

Slika 11. Primjer upotrebe `<h:link>` komponente

IV. ZAKLJUČAK

JavaServer Faces aplikativno okruženje još od svojih inicijalnih verzija pruža stabilnu i robusnu platformu za razvoj naprednih i sigurnih informacionih sistema za kojima postoji velika potreba na tržištu.

JSF 2.0 specifikacija unosi dodatna poboljšanja koja dodatno doprinose kvalitetu razvijenih sistema, ujedno ispravljajući nedostatke otkrivene tokom relativno dugog perioda upotrebe ranijih verzija okruženja.

Na osnovu iznesenog u ovom radu moguće je sa sigurnošću zaključiti da će se trend rasta popularnosti JSF-baziranih web aplikacija nastaviti i da će se njihova zastupljenost povećavati paralelno sa napretkom informacionih tehnologija.

LITERATURA

- [1] JSR-000252 JavaServer™ Faces 1.2, <http://jcp.org/aboutJava/communityprocess/final/jsr252/index.html>, posljednja posjeta 27.10.2010.
- [2] JSR-000314 JavaServer™ Faces 2.0, <http://jcp.org/aboutJava/communityprocess/final/jsr314/index.html>, posljednja posjeta 30.09.2010.
- [3] JavaServer Faces 2.0 API, <https://javaserverfaces.dev.java.net/nonav/docs/2.0/javadocs/>, posljednja posjeta 30.09.2010.

- [4] David Geary, Cay S. Horstmann, "Core JavaServer™ Faces, Third Edition", Prentice Hall, May 27, 2010.
- [5] Zubin Wadia, Martin Marinschek, Hazem Saleh, Dennis Byrne, "The Definitive Guide to Apache MyFaces and Facelets", Apress, September 2008.
- [6] Chris Schalk, Ed Burns, James Holmes, "JavaServer Faces: The Complete Reference", McGraw-Hill, 2010.

Abstract – This paper presents the basic characteristics of the JavaServer Faces application framework. In addition, a comparison is given of different specification version functionalities, along with their respective advantages and drawbacks.

Keywords – *JavaServer Faces, web application, application environment, specification*

Comparative review of the JavaServer Faces application environment specifications

Farmakološki informacioni sistem za primenu u pedijatriji i neonatologiji

Branko Marović, Jovana Vuleta, Petar Partlov
Elektrotehnički fakultet Univerziteta u Beogradu
Beograd, Srbija

Milica Bajčetić
Jedinica za kliničku farmakologiju
Univerzitetska dečija klinika u Beogradu
Beograd, Srbija

Vladimir Ninković

Institut za farmakologiju, kliničku farmakologiju i toksikologiju
Medicinski fakultet Univerziteta u Beogradu
Beograd, Srbija

Sadržaj—U radu je opisan informacioni sistem koji pojednostavljuje pristup podacima o preporučenim propisivanjima i doziranjima lekova u neonatologiji i pedijatriji. Farmakološki informacioni sistem je razvijen za potrebe Univerzitetske dečje klinike u Beogradu. Iako je oblast primene opisanog sistema specifična, pri projektovanju se težilo generalnom rešenju da bi sistem mogao da se koristi i u drugim granama medicine.

Ključne reči—Farmakološki informacioni sistem; doziranje lekova; računarska podrška kliničkom odlučivanju; komputerizovano propisivanje i unos recepta

I. UVOD

Razvojem računarske tehnologije raste i primena ovih tehnologija u oblasti medicine. Jedan od značajnih vidova informatičke podrške u medicini su farmakološki informacioni sistemi [1][2].

Farmakološki informacioni sistemi su specijalizovani sistemi koji sadrže baze znanja o lekovima, indikacijama za koje se koriste, načinu doziranja, neželjenim dejstvima i slično. Ovakvi sistemi su razvijeni u SAD i većini evropskih zemalja i koriste se u sprezi sa bolničkim informacionim sistemima i informacionim sistemima apotekarskih ustanova, a neki su i javno dostupni preko veba, veb servisa ili SMS servisa [1][2].

Veliki broj objavljenih istraživanja pokazao je visok procenat primene lekova bez i van upotrebne licence u pedijatriji i neonatologiji i nepovoljan uticaj ovakvog korišćenja lekova na terapijsku efikasnost, dužinu trajanja lečenja, i pojavu neželjenih efekata [3][4][5][6]. Istraživanja su takođe pokazala da posledice neracionalne primene lekova dovode do rasta troškova lečenja, a samim tim i rasta ukupnog troška zdravstvene zaštite koju država pruža [7].

S obzirom da u Srbiji i na prostoru bivše Jugoslavije, prema našim saznanjima, ne postoji adekvatno informatičko rešenje koje bi omogućilo pružanje informacija o lekovima i načinu njihove primene i, s obzirom na značaj pokazan rezultatima istraživanja, u ovom radu ćemo opisati projekat farmakološkog informacionog sistema koji je realizovan za potrebe Univerzitetske dečje klinike u Beogradu. Iako se sistem

trenutno primenjuje samo u specifičnoj oblasti medicine, smatramo da je opisano rešenje dovoljno opšte da se može primeniti i za druge oblasti medicine.

II. OPIS PROBLEMA

Farmakoterapija pedijatrijske populacije je specifična po tome što se veliki broj lekova propisuje van ili bez upotrebne licence, što je direktna posledica nesprovođenja kliničkih ispitivanja lekova u pedijatriji. Primena lekova se vrši uglavnom na osnovu ekstrapolacije, osećaja i iskustva. Informacije o doziranju lekova koji su ispitani u poslednjih 10 godina su uglavnom nedostupne, a greške u doziranju lekova koji su pedijatrijski evaluirani su česte zbog razlika u dozama kod različitih starosnih grupa.

Veliki broj istraživanja sprovedenih u različitim oblastima medicine, starosnim grupama i geografskim oblastima otkrile su visok procenat primene lekova van upotrebne licence kod dece i novorođenčadi. Procenat dece koji su primili najmanje jedan lek van i/ili bez upotrebne licence kreće se od 36 do 92% u pedijatrijskim bolničkim odeljenjima, od 80 do 97% u neonatološkim bolničkim odeljenjima i do 37% u primarnoj praksi [6][3]. Takođe je pokazana značajna korelacija između pojave neželjenih efekata i primene lekova van upotrebne licence. Od 9 objavljenih istraživanja sprovedenih u bolničkim uslovima 6 su pokazala visoku korelaciju (od 23 do 60%) između pojave neželjenih efekata, smrtnih ishoda i primene lekova van upotrebne licence [6][4][5].

Nekoliko studija sprovedenih u Sjedinjenim Američkim Državama ispitalo je neželjena dejstva lekova kod hospitalizovanih bolesnika, kao i njihov uticaj na ukupne troškove lečenja. Učestalost neželjenih dejstava lekova, kod hospitalizovanih bolesnika, kreće se u rasponu od 2% do 7%. Pokazalo se da su bolesnici kod kojih se ispoljilo neželjeno dejstvo leka duže ležali u bolnici (1.2 do 3.8 dana duže), dok su ukupni troškovi njihovog lečenja bili viši za 2284\$ - 5640\$ po bolesniku. S druge strane, studije sprovedene na ambulantnim bolesnicima sa neželjenim dejstvima lekova, pokazale su da je 40 do 80% svih ozbiljnih neželjenih dejstava moglo da se spreči, a time i značajno smanje troškovi. Najnoviji podaci govore da su neželjena dejstva kod ambulantnih bolesnika

dovela do povećanja ukupnih troškova zdravstvene zaštite u 2000-toj godini u SAD za čak 177 miliona dolara, ili u proseku oko 5.6 miliona dolara po univerzitetskoj bolnici [8].

Neželjena dejstva koja nastaju kao posledica greške u primeni ili propisivanju lekova čine oko 10-20% svih neželjenih dejstava. Najčešće greške su: propuštena doza (7%), pogrešna tehnika primene leka (6%), pogrešno napisan recept (6%), dva puta primenjena ista terapija (5%), interakcije između lekova koje su bile prethodno poznate (3-5%), greške u pripremi leka (1%) i neodgovarajuće praćenje efekata leka (1%). Ovaj program omogućioće minimiziranje pomenutih grešaka ona čine oko 10-20% svih neželjenih dejstava. Najčešće greške su: propuštena doza (7%), pogrešna tehnika primene leka (6%), pogrešno napisan recept (6%), dva puta primenjena ista terapija (5%), interakcije između lekova koje su bile prethodno poznate (3-5%), greške u pripremi leka (1%) i neodgovarajuće praćenje efekata leka (1%) [8].

Uvođenjem informacionog sistema koji omogućava brzo dobijanje informacija i kontrolu propisivanja lekova može se obezbediti kvalitetnija, bezbednija, efikasnija i jeftinija terapija sprečavanjem neželjenih dejstava koja nastaju kao posledica greške u primeni ili propisivanju lekova.

III. ANALIZA PODATAKA O LEKOVIMA I NJIHOVIH ZAVISNOSTI

Definisanje skupa podataka vezanih za lekove i njihovo doziranje, kao i sagledavanje zavisnosti između ovih podataka su izvršeni kroz saradnju sa ekspertima sa Medicinskog fakulteta u Beogradu. Iako je u pitanju specifična oblast medicine, smatramo da su zaključci dobijeni kroz ovu saradnju dovoljno opšti da se dobijeni model podataka i funkcionalni zahtevi mogu primeniti i za druge oblasti medicine.

Uočeno je da veze između podataka iz ciljnog domena mogu biti dosta kompleksne. Na primer, jedan lek se može koristiti za tretman više različitih indikacija, njegova doza će pri tome zavistiti od indikacije, ali i brojnih drugih parametara, kao što su starost pacijenta, eventualne rizične grupe kojima pacijent pripada (na primer: bubrežni bolesnik, trudnica) i drugih faktora. Definisanje skupa podataka vezanih za lekove i njihovo doziranje i sagledavanje zavisnosti između ovih podataka izvršeno je na osnovu metodologije opisane u [6] uz dodatna prilagođavanja, analizom na primeru procesa doziranja lekova u neonatologiji i pedijatriji [9].

U opisanom domenu su značajni sledeće jaki entiteti:

- **Dijagnoza** – Za šifarnik dijagnoza je kao referentna usvojena revizija 10 međunarodne klasifikacije bolesti (MKB-10, odnosno ICD-10) [10]. Korišćenje MKB-10 šifara čini trivijalnim proces mapiranja liste dijagnoza sistema prema šiframa spoljašnjih sistema. Pored MKB-10 šifre, dijagnoza sadrži i naziv na engleskom i srpskom.
- **Starosna kategorija pacijenta** – Starosna kategorija pacijenta je bitna zbog različitog doziranja leka u zavisnosti od starosti. Često se za istu indikaciju kod dece i kod odraslih primenjuje različito doziranje. Nekada je potrebna i još finija podela po starosti, npr.

kod uzrasta do godinu dana starosni opsezi definisani su u broju dana, do dve godine u mesecima i za starije u godinama.

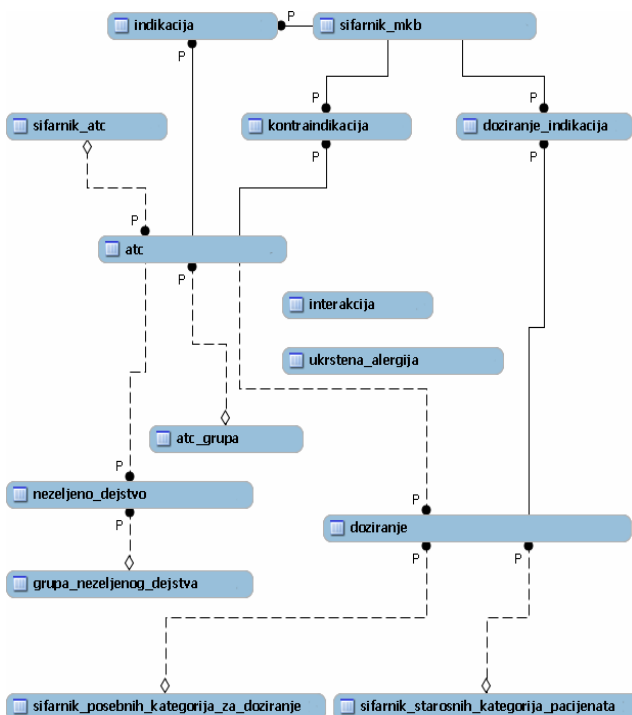
- **Lek (ATC)** – Pod pojmom leka podrazumevamo „generik“. Više farmaceutskih kompanija može proizvoditi isti lek (istog sastava) i njihovi komercijalni nazivi za lek mogu biti različiti. Ipak, svi ovi proizvodi nose isti generički naziv (internacionalno nezaštićeno ime leka), koji se navodi i na pakovanju, receptima, prospektima itd. pored komercijalnog naziva. Kao referentna klasifikacija za lekove usvojena je anatomsko terapijska klasifikacija (ATC) [11], koja svakom generičkom leku dodeljuje jedinstveni ATC kod. Korišćenje ATC kodova čini trivijalnim proces mapiranja liste lekova sistema prema spoljašnjim sistemima. Lek pored ATC koda i generičkog naziva sadrži i sledeće osobine: indikacije, kojima se opisuje za koje se sve dijagnoze lek prepisuje; kontraindikacije, koje se takođe odnose na dijagnoze; neželjena dejstva, koja mogu klasifikovati u odgovarajuće grupe; kao i skup svojstava koja se opisuju u slobodnom tekstu, kao što su upozorenja, mehanizam dejstva, i osobine koje opisuju farmakokinetiku leka (resorpcija, distribucija, metabolizam i eliminacija). Bitno je napomenuti da se mehanizam dejstva i farmakokinetika leka može razlikovati za decu i za odrasle, pa ih je poželjno odvojeno opisati za decu i za odrasle.
- **ATC grupa** – Anatomsko terapijska klasifikacija (ATC) je po strukturi hijerarhijska. Šifre lekova imaju uvek sedam karaktera, pri čemu prvi označava anatomsku grupu, drugi i treći karakter bliže određuje mesto leka u terapiji, četvrti glavnu terapijsku grupu, peti karakter terapijsku (hemijsku) podgrupu, dok poslednja dva karaktera određuju konkretan lek. Sve grupe u hijerarhiji, od najmanje tri, a najviše pet karaktera imaju svoj naziv.
- **Posebne kategorije za doziranje** – Na doziranje leka pored starosne kategorije, nekada utiču i druge osobine pacijenta koje se mogu kategorisati. Npr. kod doziranja, obraća se pažnja da li je pacijent u drugom stanju, da li ima neki zdravstveni problem, npr. bubrežnu insuficijenciju ili insuficijenciju jetre. U slučaju nekih kategorija, stanje se dodatno opisuje i numeričkom vrednošću koja može označavati nivo nekog zdravstvenog problema i uz veličinu se po potrebi navodi i jedinica mere.
- **Doziranje** – Doziranje leka je određeno indikacijom (dijagnozom) za koju se lek primenjuje, starosnom kategorijom pacijenta i posebnom kategorijom pacijenta. Pored navođenja jedne od unapred definisanih starosnih kategorija (novorođenčad, odojčad, deca, adolescenti, odrasli itd.) doziranje se može finije odrediti navođenjem starosnog opsega koji nije šifriran već važi samo za navedeno doziranje. Sem toga, na doziranje bitno utiče način primene, odnosno, da li se lek daje intravenozno, intranazalno, u obliku tableta ili na drugi način. I ovaj podatak se bira iz

odgovarajućeg šifarnika. Doziranje karakterišu veličine kao što su početna, udarna, pojedinačna, ukupna dnevna i maksimalna dnevna doza. Poslednje tri doze se mogu definisati i u odnosu na telesnu masu ili površinu kože pacijenta.

Pored odnosa pripadanja, koji su određeni samom prirodom opisanih pojmova, između njih postoje i sledeće veze:

- **Interakcija između lekova** – u situacijama kada pacijent uzima više od jednog leka oni mogu međusobno reagovati čime im se može promeniti dejstvo, javiti neželjeni efekat i slično. Interakciju karakteriše par lekova između kojih reakcija nastaje i opis efekta. Pored konkretnih lekova, interakcija se može definisati i na nivou grupa lekova (ATC grupa).
- **Ukrštena alergija** – ukoliko kod pacijenta postoji alergija na neki lek, antitela koja je organizam proizveo mogu reagovati i na neki drugi, „sličan“ alergen. Ovaj efekat, kada alergija na jedan lek indukuje i alergijsku reakciju na neki drugi lek naziva se „ukrštena alergija“. Ukrštena alergija se može vezati kako na konkretan lek, tako i na grupu lekova (ATC grupa).

Opisani objekti i njihovi odnosi prikazani su u pojednostavljenom obliku (slika 1). Zbog polivalentnosti koje dve poslednje opisane vrste veza imaju u odnosu na lekove i ATC grupe, kao i konvencija označavanja ATC grupa i lekova preko ATC kodova, odgovarajući pojmovi u prikazanom modelu nisu zbog preglednosti povezani sa lekovima i ATC grupama. Takođe, pošto u praksi u konkretnim slučajevima opisivanja lekova postoji izrazita fluidnost u specifikaciji ovih veza, oportuno je, umesto primenom relacija, ove veze implementirati korišćenjem ATC prefiksa koji jednoznačno određuju same lekove ili ATC grupe.



Slika 1. Pojednostavljen model podataka

IV. OPIS REŠENJA

S obzirom da je predviđeno da se farmakološki informacioni sistem koristi u sprezi sa informacionim sistemima bolnica, domova zdravlja, apoteka i drugih ustanova, klasifikacije koje se koriste su u skladu sa propisanim standardima što omogućava lako uparivanje sa šiframa na drugim sistemima sa kojima se komunicira. Tu su pre svega bilo značajno primeniti već pomenute referentne klasifikacije za bolesti (MKB-10) i lekove (ATC).

Sistem se sastoji od više modula, od kojih je u ovom trenutku realizovana većina. Spolja vidljivi moduli su sledeći:

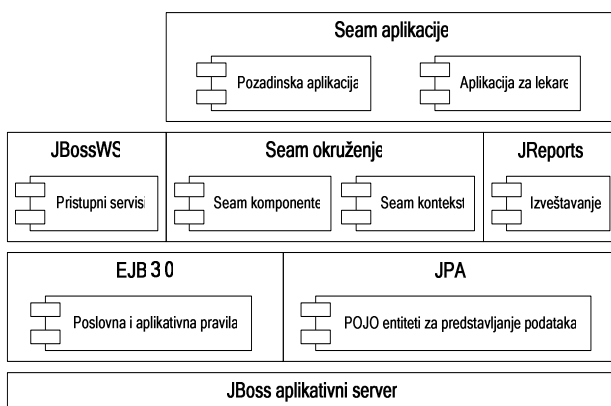
- Pozadinska aplikacija služi za održavanje sadržaja baze podataka farmakološkog informacionog sistema, a čiji korisnički interfejs je opisan u ovom radu.
- Sama baza podataka farmakološkog informacionog sistema trenutno sadrži oko 700 lekova koji se koriste u pedijatriji i neonatologiji, kao i oko 7000 relevantnih doziranja.
- Izveštajni modul je omogućio da se svi uneti podaci prikažu u tekstualnom obliku u PDF formatu, što je bio preduslov za vršenje *off-line* verifikacije i eksterne recenzije unetih podataka.
- Razvijena je aplikacija pomoću koje lekari za zadatac dijagnozu, starost i opcionu masu i površinu pacijenta mogu odrediti odgovarajući lek, odnosno proveriti osobine leka i utvrditi odgovarajuće doziranje. Lekar može i da uz dijagnozu odmah odabere neki lek, što pruža direktnu proveru doziranja.
- U toku je implementacija modula za automatsku proveru doziranja unetih u farmakološki informacioni sistem. Ove provere, od kojih je većina heurističke prirode, će se vršiti na osnovu odnosa doza u okviru jednog doziranja, odnosa veličina doziranja kod različitih starosnih grupa, prisutnosti ovih veličina kod više doziranja za isti lek, preklapanja starosnih opsega različitih doziranja za isti lek, odnosno neprimerenosti nekih veličina (kao što je veličina doze u odnosu na površinu) za celu grupu lekova.
- Planira se neposredna integracija sa informacionim sistemom Univerzitetske dečija klinike u Beogradu, tako da se pri propisivanju leka za pojedinačnog pacijenta izvrše odgovarajuće provere i generišu eventualna upozorenja. Pri tome će se, radi dodatne naknadne kontrole, posebno beležiti sva propisivanja koja iskaču iz preporučenih okvira, ali i propisivanja za koje ne postoji odgovarajuće doziranje u farmakološkoj bazi, što će omogućiti da se odrede prioriteta pri daljem ažuriranju podataka o lekovima i doziranjima.
- Planirana je i implementacija veb servisa koji bi olakšao integraciju sa zdravstvenim sistemima zdravstvenih ustanova. No, preduslovi za širu primenu ovakvog servisa su razrešavanje brojnih legislativnih i komercijalnih pitanja, što su i neophodni uslovi za postizanje dugoročne održivosti rešenja.

A. Opis tehnološke platforme

Na osnovu analize funkcionalnosti koje farmakološki informacijski sistem za primenu u neonatologiji i pedijatriji treba da obezbedi, za realizaciju prezentacionog sloja i sloja poslovne logike izabrano je *JBoss Seam* [12] okruženje, dok je za sloj baze podataka izabran *MySQL* sistem za upravljanje bazom podataka. Podaci iz relacione baze se transformišu u Java objekte primenom EJB 3 tehnologije, što je pristup koji omogućava vrlo elegantan programski model koji je neposredno integrisan u *JBoss Seam*.

JBoss Seam je Java okruženje koje omogućuje brz razvoj Web aplikacija sa bogatim korisničkim interfejsom korišćenjem *Java Server Faces* (JSF) i *AJAX* tehnologija, kao i projektovanje sloja poslovne logike bazirane na JEE tehnologiji [13]. Bogat korisnički interfejs, sa naprednim komponentama koje, na primer, nude mogućnost automatskog kompletiranja unosa i sortiranje podataka, značajno olakšavaju snalaženje i rad korisnicima. Ovo je bitno s obzirom na obim podataka koji ovaj sistem sadrži, brojne osobine koje opisuju lekove i doziranja i njihovu složenu zavisnost. Takođe, izabrano okruženje, s obzirom da je bazirano na JEE arhitekturi, omogućuje na brz i jednostavan način povezivanje ovog sistema sa drugim sistemima korišćenjem veb servisa. Na ovaj način, ostavljen je prostor za mogućnost povezivanje farmakološkog informacionog sistema sa informacionim sistemima bolnica i apotekarskih ustanova i drugim, kao i mogućnost preuzimanja i sinhronizacije šifarničkih podataka o dijagnozama, ATC, i drugih iz referentnih izvora. Izborom korisničkog interfejsa baziranog na vebu omogućeno je da se aplikaciji na lak način pristupa, korišćenjem veb browser-a, nezavisno od platforme korisničke mašine, te je otvorena mogućnost da korisnici aplikaciji pristupe kako preko intraneta same ustanove ili institucije u kojoj se server aplikacije nalazi, tako i „od spolja“ korišćenjem, na primer, VPN (*Virtual Private Network*) pristupa, pa čak i da se obezbedi da delovi aplikacije budu javno dostupni putem Interneta.

Arhitektura sistema je prikazana na slici 2.



Slika 2. Arhitektura farmakološkog informacionog sistema

B. Opis korišćenja

S obzirom na veliki obim podataka i njihove složene međuzavisnosti, korisnički interfejs je pažljivo osmišljen kako bi se korisnici što lakše snašli u njemu i efikasno ga koristili,

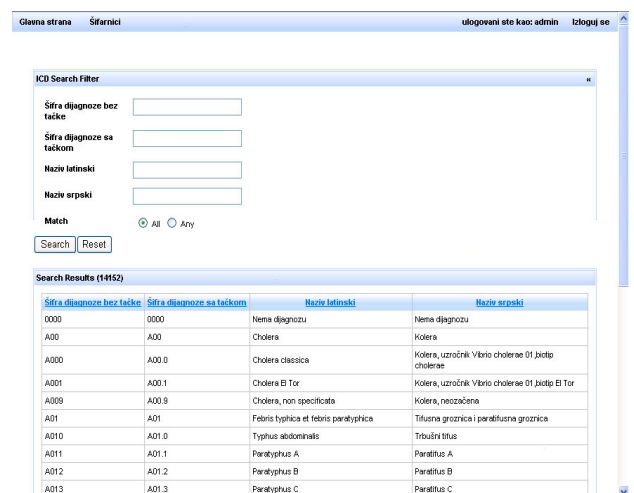
uprkos kompleksnosti modela podataka. Takođe je omogućeno generisanje izveštaja koji na pregledan način prikazuju unete podatke i preko kojih se može vršiti kontrola unetih podataka.



Slika 3. Početna strana sa glavnim menijem

Prilikom pristupa sistemu od korisnika se zahteva da unese korisničko ime (nalog na sistemu) i šifru. Po uspešnom logovanju prikazuje se početna strana sistema na kojoj se nalazi glavni meni preko koga se pristupa svim funkcionalnostima sistema: pregledu i ažuriranju šifarnika, pregledu, unosu i izmeni dijagnoza itd. (slika 3). Glavnom meniju se može pristupiti u bilo kom trenutku rada na sistemu, a ponuđene opcije u meniju zavise od definisanih privilegija korisnika na sistemu.

Korisniku se nudi mogućnost pregleda i ažuriranja svih šifarnika sistema. Mogu se ažurirati: ATC grupe, kategorije pacijenta za doziranje, dijagnoze (šifarnik MKB-10, slika 4), šifarnik jedinica mere, šifarnik načina primene, grupa neželjenih dejstava, kao i šifarnik starosnih kategorija pacijenta. Sistem takođe omogućava pregled i ažuriranja veza koje mogu da postoje između lekova, kao što su interakcije i ukrštene alergije.



Slika 4. Primer pretrage šifarnika: šifarnik dijagnoza

Izborom pregleda ATC, dobijamo mogućnost pretrage unetih lekova, izmenu opštih podataka o lekovima, kao i doziranja definisanih za lek (slika 5).

Slika 5. Unos podataka o leku (ATC)

Izborom opcije „ažuriranja doziranja“ prelazi se na novu stranu na kojoj se za izabrano doziranje može promeniti neki od detalja (na primer: maksimalna dnevna doza, način primene), dodati novo doziranje ili izbrisati izabrano (slika 6). Kako bi se olakšao unos novih doziranja, na primer za drugu starosnu kategoriju, a istu indikaciju omogućeno je da se novo doziranje inicijalno popuni podacima već postojećeg, nakon čega se menjaju samo veličine koje se razlikuju, čime se unos značajno ubrzava.

V. ANALIZA REZULTATA

Farmakološki informacioni sistem opisan u ovom radu projektovan je da pruži informatičku podršku za skladištenje saznanja o načinu doziranja lekova, i svim njihovim relevantnim osobinama i da pruži efikasan način za pretragu i dopunu ovih informacija. Najbolji dokaz uspešnosti u ispunjenju ovih ciljeva predstavlja činjenica da je ovaj informacioni sistem već u upotrebi u Univerzitetnoj dečjoj klinici u Beogradu (UDK). Na osnovu sugestija korisnika u UDK sistem je dalje usavršavan, pri čemu se najveći broj unapređenja odnosio na dizajn korisničkog interfejsa koji je dalje usavršavan kako bi se pretraga podataka, njihov prikaz i način ažuriranja dodatno unapredili i olakšao rad korisniku.

Kratkoročni ciljevi daljeg razvoja sistema odnose se na funkcionalnosti koje bi pomogle korisnicima u unosu i održavanju podataka. Na primer, sistem bi mogao obavestavati

korisnika ukoliko postoje lekovi za koje nije uneta nikakva informacija o doziranju ili je uneto više doziranja za isti uzrast. Takođe, sistem bi mogao automatizovano proveravati referentne izvore za klasifikaciji dijagnoza i lekova i obavestavati korisnika o pojavi novih dijagnoza i lekova, promeni u klasifikaciji postojećih i tako dalje. Ovo bi se postiglo uspostavljanjem saradnje sa relevantnim organizacijama zaduženim za registraciju lekova; u Srbiji je to Agencija za lekove i medicinska sredstva. Jedan od mehanizama koji se mogu primeniti u cilju automatizacije održavanja baze podataka farmakološkog informacionog sistema je i primena *Structured Product Labeling (SPL)* formata. Ovaj XML-bazirani ANSI/HL7 standard je podržan od strane američke Agencije za hranu i lekove (FDA) i omogućava mašinski čitljivu razmenu informacija o lekovima i srodnim proizvodima [14].

Slika 6. Unos podataka o doziranju

Pored postignutog osnovnog cilja formiranja baze znanja o lekovima i doziranju ovo rešenje predstavlja preduslov za realizaciju drugih servisa čiji doprinos može biti od velikog značaja. Dugoročan plan razvoja je da se opisani sistem integriše sa drugim, bolničkim i apotekarskim informacionim sistemima i omogućiti podrška za niz novih usluga. Pri propisivanju leka konkretnom pacijentu u okviru bolničkog sistema, lekar se može upozoriti ukoliko sistem ustanovi da je propisana doza nelogična poređenjem sa preporučenom u farmakološkoj bazi. Takođe, pri propisivanju leka pacijentu lekar se može upozoriti ako je pacijent alergičan na taj lek, ako pacijent pripada posebnoj kategoriji za doziranje, ili ako već prima lek sa kojim propisani može stupiti u interakciju. Na osnovu dijagnoze pacijenta, sistem može i preporučiti lekove za navedenu indikaciju, preporučiti doziranje i dati druge srodne preporuke ili upozorenja. Drugi pravac u primeni sistema u sprezi sa bolničkim i apotekarskim bio bi naknadna

analiza svih propisanih i izdatih lekova i njihovog doziranja. Na ovaj način moglo bi se porediti uneto znanje o doziranju sa načinom upotrebe ovih lekova u praksi, korelisati primenjena doziranja sa trajanjem i uspešnošću lečenja i vršiti druge komparacije i analize. Ovakvim poređenjima vršila bi se i dodatna provera tačnosti unosa u farmakološki informacioni sistem, s obzirom da visok procenat neslaganja u preporučenoj dozi i doziranju u praksi može sugerisati da je preporučena doza pogrešno uneta.

VI. ZAKLJUČAK

Farmakološki informacioni sistemi slični opisanom su razvijeni u SAD i većini evropskih zemalja i koriste se u sprezi sa bolničkim i apotekarskim informacionim sistemima [1][2][8]. Značaj ovih sistema dokazan je nizom istraživanja u svetu i u zemlji koja pokazuju da ovaj vid informatičke podrške smanjuje broj grešaka u doziranju, samim tim povećava šanse za uspešnost lečenja i smanjuje trajanje lečenja, što pored humanog aspekta značajno smanjuje i troškove zdravstvene zaštite [7]. S obzirom da u Srbiji i regionu prema našim saznanjima ne postoji ovakav sistem, da postojeća rešenja u svetu po pravilu nisu javno i besplatno dostupna i na prednosti raspoloživosti ovih informacija i na srpskom jeziku, sistem opisan u ovom radu omogućava značajan napredak u pružanju informatičke podrške zdravstvu u Srbiji i regionu.

ZAHVALNICA

Rad na ovom projektu finansiran je sredstvima Ministarstva za nauku i tehnološki razvoj Republike Srbije (Projekat broj TR12204).

LITERATURA

- [1] J. P. Glaser, The Strategic Application of Information Technology in Health Care Organizations, Second edition, John Wiley & Sons, San Francisco, 2002.
- [2] K. A. Wager, F. Wickham Lee, J. P. Glaser, L. P. Burns. Managing Health Care Information Systems: A Practical Approach for Health Care Executives, Jossey-Bass, First edition, San Francisco, 2005.
- [3] L. Cuzzolin, A. Atzei, V. Fanos, "Off-label and unlicensed prescribing for newborns and children in different settings: a review of the literature and a consideration about drug safety," *Expert Opin Drug Saf.* 2006;5:703-18.

- [4] C. Pandolfini, M. Bonati, "A literature review on off-label drug use in children." *Eur J Pediatr.* 2005;164:552-8.
- [5] T. E. Kairuz, D. Gargiulo, C. Bunt, S. Garg, "Quality, safety and efficacy in the 'off-label' use of medicines," *Curr Drug Saf.* 2007;2:89-95.
- [6] M. Bajcetic, M. Jelisavcic, J. Mitrovic, N. Divac, S. Simeunovic, R. Samardzic, R. Gorodischer., "Off label and unlicensed drugs use in paediatric cardiology," *Eur J Clin Pharmacol.* 2005;61:775-9.
- [7] R. Rodrigues-Monguio, M. Otero, J. Roveria., "Assessing the economic impact of adverse drug effects," *Pharmacoeconomics* 2003;21:623-50.
- [8] Reducing and Preventing Adverse Drug Events To Decrease Hospital Costs, Research in Action, Issue 1.AHRQ Publication Number 01-0020, Agency for Healthcare Research and Quality, Rockville, MD., <http://www.ahrq.gov/qual/aderia/aderia.htm>
- [9] M. Bajcetic, Il sistema informativo farmaceutico in un ospedale pediatrico universitario in Serbia, Master. Facoltà di Medicina e Chirurgia dell'Università degli studi di Roma "La Sapienza". Roma 2002
- [10] ICD-10. International Statistical Classification of Diseases and Related Health Problems, 10th Revision, <http://apps.who.int/classifications/apps/icd/icd10online/>
- [11] WHO. Anatomical therapeutic chemical index with defined daily doses (DDDs).Geneva: WHO Collaborating Centre for Drug Statistical Methodology, 1997.
- [12] JBoss Seam Framework, <http://seamframework.org>
- [13] Oracle Sun Developer Network (SDN), Java 2 Platform, Enterprise Edition (J2EE) Overview, <http://java.sun.com/j2ee/overview.html>
- [14] U.S. Food and Drug Administration, Structured Product Labeling Resources, <http://java.sun.com/j2ee/overview.html>

Abstract—The paper describes an information system for management of clinically relevant information about drugs most frequently used in pediatrics and neonatology. The solution particularly designed to provide access to actual recommendations related to prescription and dosage in pediatrics. This pharmacological information system is developed in order to address the needs of University Children's Hospital in Belgrade. However, it was projected to be applicable in other areas of medicine.

Keywords—*pharmacological information system; drug dosage; computer-based clinical decision support; computerized physician order entry*

Pharmacological Information System for Paediatrics and Neonatology

Primjena e-učenja u unapređenju nastave elektronike u srednjim školama

Olivera Banjac
Elektrotehnička škola Prijedor
Prijedor, Bosna i Hercegovina
obanjac@gmail.com

Slavko Marić
Elektrotehnički fakultet Banja Luka
Banja Luka, Bosna i Hercegovina
ms@etfbl.net

Sadržaj— Tekući tehnološki razvoj pruža mogućnost široke primjene informaciono-komunikacionih tehnologija u obrazovnom procesu. Veoma značajan aspekt primjene je e-učenje, koje ima ogroman potencijal za unapređenje kvaliteta obrazovnog procesa. U radu su opisani osnovni koncepti e-učenja, principi i postupak kreiranja savremenih nastavnih materijala kao i jedan pristup implementaciji koncepta e-učenja koji je primijenjen u nastavnom procesu iz oblasti elektronike u srednjim školama. U radu su takođe opisani alati koji su korišteni za kreiranje, pohranjivanje i upravljanje sadržajima za pomenuti, elektronski podržani proces učenja iz oblasti elektronike.

Ključne riječi— IKT; e-učenje; LMS; Moodle; PSpice; lekcija

I. UVOD

Nalazimo se u epohi izuzetno dinamičnog civilizacijskog razvoja, čiji je pokretač i katalizator buran razvoj informaciono-komunikacionih tehnologija (IKT). Tekući tehnološki razvoj pruža mogućnost i nameće potrebu za širokom primjenom IKT u svim sferama društva i djelovanja, pa tako i u obrazovnom procesu. Jedan važan aspekt primjene IKT u obrazovnom procesu je e-učenje, koji se odnosi na elektronski podržane postupke i metode prezentacije i usvajanja znanja. E-učenje ima ogroman potencijal za unapređenje kvaliteta obrazovnog procesa, i kao takav može biti jedan od važnih faktora u procesu razvoja obrazovnog sistema u Republici Srpskoj (RS) i Bosni i Hercegovini (BiH). Obrazovni sistem treba da kreira okruženje koje će mladim ljudima tokom školovanja omogućiti lakše i efikasnije usvajanje aktuelnih znanja i pobuditi kod njih interes za samostalno učenje, kreativno razmišljanje i zaključivanje.

Primjena koncepta i sredstava za elektronski podržano učenje u RS i BiH je još u početnoj fazi, iako su prihvatanjem

Bolonjske deklaracije na univerzitetima u Bosni i Hercegovini, univerziteti preuzeli obavezu da u obrazovanju svojih studenata koriste razne oblike elektronskog učenja. Evaluacija i akreditovanje visokoškolskih obrazovnih ustanova će u velikoj mjeri zavisiti od zastupljenosti elektronskog obrazovanja u takvim ustanovama. U Evropi se trenutno realizuje preko 120 projekata iz oblasti e-učenja, dok su univerziteti u BiH učestvovali u relativno malom broju projekata. Kroz međunarodne projekte i ulaganja strateških partnera Univerzitet u Banjoj Luci je realizovao 6 projekata, dok je Univerzitet u Tuzli kroz vlastita ulaganja realizovao 5 projekata [1].

Iz prethodno navedenog proističe da je uvođenje i primjena IKT na svim nivoima obrazovnog sistema ključni zadatak razvoja i unapređenja obrazovanja u RS i BiH. Shodno tome, klasičan oblik izvođenja nastave je potrebno osavremeniti različitim oblicima elektronskog učenja, korištenjem elektronskih udžbenika, realizacijom i primjenom elektronskih kurseva i on-line provjerama znanja, kreiranjem virtuelnih laboratorija kao i laboratorija sa daljinskim pristupom. Da bi se napravilo virtuelno okruženje za učenje, potreban je softver koji omogućava kreiranje i čuvanje multimedijalnih obrazovnih materijala u elektronskom obliku, pojedinačno dostavljanje materijala i zadataka učenicima kao i elektronski podržano testiranje znanja. Svi rezultati učenja moraju se bilježiti posebno za svakog učenika u bazu podataka, radi praćenja i analize procesa učenja. Komunikaciju nastavnik - učenici je potrebno dopuniti novim formama, kao na primjer elektronskom poštom ili putem foruma na kojima učestvuju, razmjenjuju mišljenja i saraduju svi učenici iz grupe. Ovakav zatvoren i kontrolisan sistem elektronskog učenja naziva se LMS (Learning Management System) [2],[3]. LMS sistem treba da bude standardizovan, odnosno treba da podržava SCORM (Sharable Content Object Reference Model) koji predstavlja skup standarda i pravila za učenje bazirano na Web-u. Ovakav vid učenja se ne koristi samostalno, već uglavnom kao pomoćno sredstvo pri izvođenju nastave na klasičan način. U ovom radu je izložen jedan pristup implementaciji koncepta e-učenja koji je primijenjen u nastavnom procesu iz oblasti elektronike u srednjoj elektrotehničkoj školi u Prijedoru.

U sekciji II rada su predstavljeni koncepti e-učenja, u sekciji III su navedeni osnovni principi dizajniranja elektronskih kurseva, a u sekciji IV je ilustrovan primijenjeni pristup na primjeru implementacije e-učenja u nastavnom procesu iz oblasti elektronike. U radu su opisani i osnovni alati korišteni za kreiranje, pohranjivanje i evaluaciju kreiranih sadržaja.

II. KONCEPTI E-UČENJA

E-učenje kao oblik obrazovanja postoji na više nivoa: kao potpuno samostalan oblik, ali i kao sastavni dio ili dopuna klasičnom obrazovanju [4]. Današnji oblici elektronskog učenja obuhvataju različite aspekte korištenja informaciono-komunikacionih tehnologija u obrazovanju, pa zavisno od intenziteta i načina korišćenja IKT-a razlikuju se sljedeći oblici elektronskog učenja:

- klasična nastava - nastava u učionici (*f2f* ili *face-to-face*);
- nastava uz pomoć IKT-a - tehnologija u službi poboljšanja klasične nastave (*ICT supported teaching and learning*);
- hibridna ili mješovita nastava - kombinacija nastave u učionici i nastave uz pomoć elektronskih tehnologija (*hybrid, mixed mode* ili *blended learning*);
- on-line nastava - nastava koja se uz pomoć IKT-a u potpunosti može organizovati na daljinu (*fully online*).

Ovakva klasifikacija e-obrazovanja prikazuje obrazovanje na "vremenskoj osi" kao kontinuum na čijem je lijevom kraju klasična ili tradicionalna nastava. Iskorak prema e-učenju započinje uvođenjem IKT u *f2f* nastavu. Ovakav "najprimitivniji" oblik e-učenja predstavlja, na primjer korištenje *MS PowerPoint* prezentacija pri predavanjima u razredu ili korištenje Web stranica sa informacijama o nekom predmetu. U centralnom dijelu "vremenske ose" je hibridna nastava ili prelazni pristup e-učenju. On-line obrazovanje, kao samostalan oblik nastave, je na desnom kraju ovog kontinuumu (slika 1.).



Slika 1. Kontinuum e-učenja

Integracija IKT-a u nastavni proces, nameće pitanje stručnosti nastavnika. Informaciono komunikacione vještine predavača koji bira sadržaje i oblikuje nastavni proces, od bitnog su značaja i utiču na kvalitet obrazovanja. Razvoj alata za izradu multimedijalnih sadržaja, koji uključuju alate za kombinovanje hiperteksta, grafike, zvuka, animacije i videa u jedinstvenu cjelinu, omogućuje nastavnicima da samostalno kreiraju nastavne materijale. Osim toga, u procesu pripremanja nastavnog procesa, u kome aktivnu ulogu imaju savremene tehnologije, predavači često samo djelimično zadovolje metodičke i pedagoške principe, stavljajući učenika, kome je sadržaj namijenjen, u drugi plan, što može dovesti u pitanje kvalitet kreiranih nastavnih materijala.

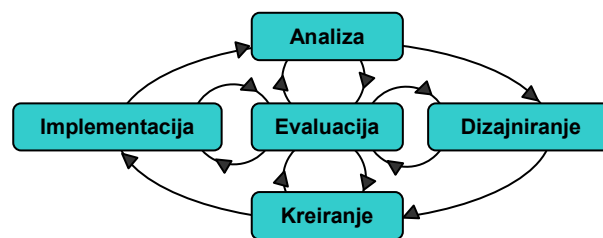
III. KREIRANJE SAVREMENIH NASTAVNIH MATERIJALA

Da bi se kreirao kvalitetan elektronski kurs, treba slijediti određena uputstva koja su nastala na osnovu analize nastavnog procesa u cjelini, novih mogućnosti koje pružaju elektronske tehnologije i pedagoških principa (teorija učenja) na kojima se elektronsko učenje temelji.

Na današnje oblike elektronske nastave najviše uticaja su imale biheioralna, kognitivna i konstruktivistička teorija učenja [4],[5]. Posebno se izdvaja konstruktivistička teorija na kojoj su uglavnom bazirana savremena virtuelna okruženja za učenje. Ova teorija učenika posmatra kao osobu koja znanja

stiče kroz svjesnu obradu informacija i ličnu interpretaciju naučenog. Učenik se stavlja u središte procesa učenja. Učenici treba sami da kreiraju svoje znanje i da imaju kontrolu nad procesom učenja. Zato je neophodno osmisлити takav nastavni proces koji će biti interesantan učeniku, ali u kojem će učenik aktivno učestvovati.

U izradi elektronskog kursa najčešće se koristi ADDIE model (eng. *Analyze, Design, Develop, Implement, Evaluate*-slika 2) u kojem su posebno značajne posljednje tri faze: kreiranje elektronskog kursa, implementacija kreiranog kursa i evaluacija [6],[7]. Rezultat svake faze koristi se kao ulaz za slijedeću fazu.



Slika 2. Faze ADDIE modela

U pojedinim fazama koriste se različiti alati za e-učenje. Tako na primjer, alati koji se koriste za razvoj nastavnih materijala su *Asymetrix Toolbook*, *Macromedia Director*, *Authorware Professional*, *Macromedia Flash*, *Camtasia Studio*, *ViewletBuilder*, kao i pojedini sistemi za upravljanje učenjem koji u sebi imaju ugrađene module za kreiranje lekcija kao npr. *Moodle*. Za pohranjivanje nastavnih materijala i evaluaciju znanja učenika koriste se različiti sistemi za upravljanje učenjem, dok je u fazi implementacije poželjno da se pored LMS-a koriste i softver za praćenje rada preko mreže, kao što je *NetSupport School (NSS)* ili slični alati, radi ostvarivanja veće interakcije na relaciji nastavnik-učenik.

A. Kreiranje elektronskog kursa

Faza kreiranja elektronskog kursa se bazira na aktivnostima koje se odnose na planiranje procesa podučavanja, pa je potrebno definisati:

- opšte ciljeve učenja (sadržaj kursa, suštinu sadržaja, želje učenika, njihovu motivaciju i očekivanja od kursa),
- ciljne grupe (identifikovanje individualnih karakteristika učenika i njihovih prethodno stečenih vještina i znanja, definisanje opštih karakteristika grupe),
- nastavne metode (kako koristiti savremene IKT u procesu učenja),
- resurse (sagledavanje tehničkih i pedagoških aspekata kojima raspolaže škola za implementaciju elektronskog kursa, obučavanje nastavnika da koriste savremene IKT),
- okruženje za učenje (utvrditi način korištenja: kao mjesto za distribuciju informacija, kao skladište podataka, kao interaktivno okruženje, kao okruženje u kojem se dijeli znanje između većeg broja učenika),

- materijal za učenje (kreiranje multimedijalnog materijala ili materijala u elektronskoj formi).

B. Implementacija elektronskog kursa

U fazi implementacije elektronskog kursa nadgleda se proces učenja i sagledavaju se aspekti koje nastavnik treba da uzme u obzir kada primjenjuje elektronsko učenje, proučavaju se individualne karakteristike studenata, biraju se sredstva interakcije i utvrđuju opšta pravila rada u on-line okruženju.

Najpopularniji LMS na Webu danas je Moodle koji se koristi za kreiranje i implementaciju elektronskih kurseva. Moodle može unaprijediti nastavni proces tako što nastavnicima omogućava dobijanje pouzdanih i povjerljivih povratnih informacija o napretku učenika u procesu učenja. Analizirajući zahtjeve učenika i povratne informacije koje od njih dobija, nastavnik može kritički sagledati šta je u njegovom elektronskom kursu dobro, a šta nije. Moodle nastavnicima i učenicima daje kako kvantitativne (preko ocjena) tako i kvalitativne (preko prilagodljivih skala ocjenjivanja) povratne informacije za gotovo sve aktivnosti. Na primjer, u aktivnosti zadatak, u kojoj učenici na sistem postavljaju fajlove sa svojim radovima u bilo kojem formatu, nastavnik detaljno može komentarisati učenikov rad u tekstualnom ili audio obliku.

Za dodatnu kontrolu i praćenje rada učenika te međusobnu komunikaciju između učenika i nastavnika, može se koristiti program za nadzor preko mreže, ka na primjer NetSupport School. NSS je interaktivni softverski proizvod koji nastavnicima omogućava pokazivanje, provjeravanje i interakciju sa učenicima preko personalnih računara u mreži. NSS omogućava potpuno upravljanje učenikovim računarom, potpuni nadzor nad korištenim aplikacijama i internetom u učionici ili više lokacija odjednom, on-line ispitivanje učenika, prikupljanje rezultata ispita, njihovu trenutnu prezentaciju ili ispis. To je interaktivni računarski program koji nastavniku omogućava demonstraciju, provjeravanje predznanja ili razumijevanja trenutne lekcije i druge oblike neposredne saradnje sa učenicima uključenim u nastavni proces. Primarni cilj je da svi učenici mogu vidjeti aktivnosti koje izvodi nastavnik dok objašnjava gradivo ili samo onaj učenik koji zatraži dodatno pojašnjenje.

S obzirom na to da su lekcije kreirane tako da učenici samostalno diktiraju brzinu i način učenja, ovo je vrlo koristan alat koji omogućava pojedinačnu komunikaciju učenika i nastavnika, ne ometajući pri tom rad drugih učenika.

Uzimajući u obzir da se nastava odvija i uz korištenje Interneta, veoma je korisno što NSS može da omogući rad samo onih aplikacija i Web sajtova koji su trenutno potrebni za realizaciju nastave, a da blokira rad ostalih aplikacija i pristup svim ostalim Web sajtovima.

C. Evaluacija elektronskog kursa

Evaluacija procesa učenja i provjera znanja učenika moraju biti u skladu sa postavljenim ciljevima učenja, i treba se provoditi kroz sve aktivnosti koje potpomažu postizanje tih ciljeva. Na osnovu povratnih informacija koje dobija od učenika, nastavnik može da ih dalje usmjerava u procesu sticanja znanja. Provjera znanja učenika samo je jedan od

oblika evaluacije. Moodle LMS obezbjeđuje niz aktivnosti koje omogućavaju evaluaciju procesa učenja i provjeru znanja učenika. Neke od njih su opisane u nastavku.

Aktivnost Zadatak omogućava dodjelu različitih vrsta zadataka učenicima, prikupljanje i čuvanje rješenja, kao i brzo i jednostavno unošenje ocjena. Postoje tri tipa zadataka:

- aktivnost van mreže (off-line) – učenici predaju zadatke u pisanom obliku,
- on-line tekst – učenik u HTML editoru u Moodle-u upisuje odgovor (odgovor može sadržavati slike, tabele, linkove na druge dokumente i sl.),
- postavljanje fajla – učenik lokalno piše odgovor a nakon toga ga u obliku fajla unosi u Moodle sistem.

Najkompleksniji oblik zadatka je postavljanje fajla. Pri postavljanju fajla određuje se njegova maksimalna veličina, može li se zadatak predati više puta, treba li učenik putem e-mail-a obavijestiti nastavnika da je predao zadatak i sl. Nakon predaje fajla, nastavnik preko korisničkog interfejsa pregleda rješenja, formira ocjenu i obavještava učenika.

Test je kompleksna aktivnost u Moodle sistemu, koja služi za provjeru znanja studenata korištenjem različitih vrsta pitanja (tačno/netačno, višestruki odabir, spajanje parova, kratki odgovor, prevlačenje, numerička pitanja, esej, itd.).

Pitanja za test se kreiraju nezavisno od testa, grupisana su po kategorijama i smještena u bazu podataka. Nastavnik iz određenih kategorija bira pitanja za test. Ovakav pristup kreiranju testa omogućava slučajan odabir pitanja za test i broj stalnih i promjenljivih (slučajnih) pitanja, kao i korištenje istog pitanja u više testova i slično. Na stranici sa pitanjima mogu biti ponuđeni odgovori (ako je odabrana takva vrsta pitanja), a raspored pitanja i odgovora je slučajan. Ako učenik više puta rješava isti test, pitanja i odgovori u svim pokušajima će biti raspoređeni na drugačiji način.

Test je dostupan za rješavanje u određenom vremenskom periodu. Nastavnik definiše koliko puta učenik ima pravo da polaže isti test i koliko vremena treba da prođe između dva uzastopna pokušaja. Takođe, definiše se kako se ponovni pokušaji tretiraju pri formiranju konačne ocjene.

Nakon rješavanja testa, nastavnik određuje koje su informacije vezane za test dostupne učeniku. Učeniku se može omogućiti uvid u sve svoje odgovore ili samo u tačne odgovore, mogu mu se dati rješenja testa i komentari, u slučaju da je test bio osmišljen u obliku eseja. Ove informacije se čuvaju u bazi podataka i mogu biti dostupne učeniku odmah po rješavanju testa ili kasnije. Podaci o tome koji su učenici polagali test, koliko im je vremena za to trebalo, koju ocjenu su dobili i slično se prikazuju u odgovarajućoj tabeli.

Konačna ocjena za pohađani kurs se izvodi na osnovu ocjena koje je učenik dobio iz pojedinih aktivnosti. Pri formiranju konačne ocjene, nastavnik može definisati težinu aktivnosti sa kojom ona ulazi u konačnu ocjenu (npr. testovi 50%, zadaci 20%, i sl.). Ipak, konačna ocjena se najčešće formira kao prosječna ocjena svih ocjena koje je učenik dobio iz pojedinih aktivnosti. Ocjene se čuvaju u bazi podataka, a nastavniku su dostupne za pregled u obliku tabele. Tabela sa

ocjenama se može eksportovati u MS Excel ili tekstualni format i dalje obrađivati. Ovim je nastavnicima omogućeno da na jednom mjestu imaju automatski generisanu statistiku o svim aktivnostima studenata na kursu.

IV. PRIMJER REALIZACIJE ELEKTRONSKOG KURSA U NASTAVI IZ OBLASTI ELEKTRONIKE

Problemi koji otežavaju izvođenje laboratorijskih vježbi iz stručnih predmeta, pa tako i iz elektronike su: nedovoljan broj instrumenata, zastarjela i/ili djelimično funkcionalna oprema, skupa nabavka novih instrumenata, nedostatak specijalizovanih instrumenata. Ovi problemi se mogu riješiti implementacijom virtualne laboratorije.

Hardverski dio realizovane virtualne laboratorije obuhvata računarski kabinet opremljen sa 14 računara, koji imaju stalnu, internet konekciju i na kojima je instaliran softver za simulaciju rada elektronskih kola PSpice. Primjenjen je koncept hibridne nastave, kao dopuna klasičnoj nastavi. Ciljna grupa su učenici drugog razreda elektrotehničke škole, koji tek počinju izučavati teoretske osnove elektronike i koji se pripremaju za realizaciju laboratorijskih vježbi iz tog predmeta. Učenici se kroz predmet *Primjena računara* obučavaju za rad u programu za simulaciju rada elektronskih kola PSpice, što ima za cilj lakše razumijevanje rada elektronskih kola i efikasniju realizaciju laboratorijskih vježbi. Sadržaji se pohranjuju na Moodle LMS sistem.

A. Razvijeni sadržaji

Kreirani nastavni sadržaji sastoje se od deset tema podijeljenih u lekcije. Teme su naslovi koji se izučavaju u srednjim elektrotehničkim školama u predmetu primjena računara, a prate laboratorijske vježbe iz predmeta elektronika. Svaka lekcija ima barem tri tipa sadržaja:

- Statičke lekcije organizovane kao knjige
- Demonstrativne lekcije
- Interaktivne lekcije

Na Slici 3 je predstavljena organizacija lekcija.



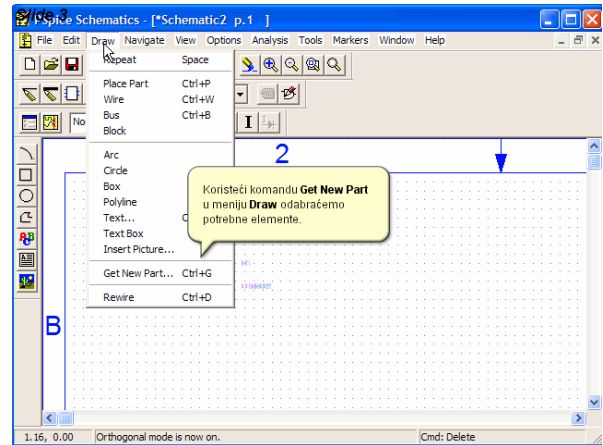
Slika 3. Organizacija lekcija na Moodle websajtu

Tri tipa lekcija su dostupna na Moodle Web sajtu, kao i off-line aktivnosti i testovi za provjeru znanja. Učenici imaju mogućnost da sami biraju najpogodniji oblik lekcije za savladavanje gradiva, shodno svojim sklonostima

Demonstrativne lekcije prikazuju dinamički ono što je opisano u statičkoj lekciji kroz kratke savjete koji se ispisuju na ekranu. Dizajnirane su tako da ih i apsolutni početnik u korištenju računara može koristiti i opisuju korak po korak rad u programu PSpice. Učenik sam diktira tempo učenja

nezavisno od drugih učenika i u svakom momentu može se vratiti na prethodne korake i utvrditi gradivo.

U tekstu koji slijedi prezentovana je primjena elektronskog kursa kroz nekoliko ilustracija. Slika 4 prikazuje jedan okvir demonstrativne lekcije - Crtanje jednostavne električne šeme. Animacija procesa je dodatno opisana u 'oblaku' koji je predstavljen na slici.



Slika 4. Jedan okvir demonstrativne lekcije

Interaktivne lekcije se sastoje od jednostavnih zadataka koje traže od učenika da klikne na odgovarajuće mjesto ili da unese neki podatak kako bi izvršio zadatak. Zavisno od situacije i odgovor na svaki korak je različit. Ako je učenik pravilno odgovorio, biće informisan o tome i može da ide na slijedeći korak. Ako je odgovor pogrešan od učenika se zahtijeva da ponovi zadatak. Procentualni rezultati o postignutom uspjehu prikazuju se učeniku odmah nakon završetka lekcije. Učenik može da ponovi interaktivnu vježbu, ako nije zadovoljan nivoom postignutog znanja, kao i demonstrativnu lekciju kako bi mogao uspješno kompletirati vježbu.

Prema statistici kursa više od 80% učenika uspješno riješi interaktivnu vježbu iz prvog pokušaja sa procentom većim od 90%.

Za razvoj demonstrativnih i interaktivnih lekcija korišten je softver *ViewletBuilder* kao glavni alat za kreiranje, animiranih on-line prezentacija, demonstracija i lekcija. Ovaj softver je odabran zbog njegove jednostavnosti pri kreiranju animiranih Flash demonstracija koje su prikladne za on-line softver koji se koristi u procesu obuke i učenja. Lekcija se sastoji od frejmova koji su hronološki poredani i koji pokazuju, korak po korak, za implementirani primjer, rad u računarskom softveru PSpice. Statičke lekcije su u pdf formatu.

B. Implementacija

Razvijeni sadržaji su objavljeni na Moodle systemu i dostupni su učenicima iz škole, kuće ili putem Interneta. Svaki učenik treba da ima samo jedan nalog za cijeli server. Pojednim nalozima se mogu dodijeliti različita prava pristupa, kao što je *Učenik*, *Nastavnik sa ili bez uređivačkih prava*, *Kreator kursa* i *Administrator*. Učenici mogu da pristupe LMS-

u uz pomoć bilo kog Web čitača. Razlog izbora Moodle-a za objavljivanje sadržaja je što Moodle ima jednostavan, efikasan, ne pretjerano zahtjevan interfejs za Web čitače i što je pogodan za on-line nastavu kao i za dopunu klasičnom nastavnom procesu.

Sve aktivnosti učenika u bilo kom vremenskom trenutku ostaju zabilježene na sistemu, te omogućavaju nastavnicima praćenje napretka učenika. Više od 60% učenika pristupa redovno nastavnim sadržajima i od kuće, što ukazuje na opravdanost uvođenja ovakvog načina učenja.

C. Evaluacija

Osim lekcija, razvijen je i kviz koji omogućava nastavniku da provjeri znanje učenika. Moodle ima podršku za razvoj kvizova i omogućava jednostavno upravljanje kvizovima. Učenicima se iz baze pitanja u momentu pristupanja testu izdvajaju pitanja po slučajnom odabiru iz odgovarajućih grupa pitanja. Test je vremenski ograničen, a rezultati testa sa povratnim informacijama prikazuju se na ekranu odmah po izvršenju testa. Prema sprovedenoj anketi među učenicima, 100% učenika se izjasnilo da im se dopada ovakav vid provjere znanja, jer odmah znaju postignute rezultate.

Takođe postoji podrška za off-line aktivnosti koje učenici rade praktično u softveru koji izučavaju, te nakon što završe zadatak za vježbu, rad predaju na Moodle sistem. Predaja radova je vremenski ograničena. Nakon isteka roka nije moguće predavati radove. Ocjene i komentari nastavnika učenicima su dostupni on-line u svakom momentu.

Obrazovno-vaspitni efekti koji se javljaju prilikom primjene ovakve individualizovane nastave su: povećanje obrazovnih efekata nastave u cjelini, brzo napredovanje pojedinaca, smanjenje broja učenika koji ne mogu da savladaju gradivo, jer je gradivo predstavljeno na računaru korištenjem odgovarajućih obrazovnih softverskih paketa mnogo dinamičnije i zanimljivije.

V. ZAKLJUČAK

Tekući tehnološki razvoj pruža mogućnost i nameće potrebu za širokom primjenom IKT u obrazovnom procesu. Jedan važan aspekt primjene IKT u ovom domenu je e-učenje, koje ima ogroman potencijal za unapređenje kvaliteta obrazovnog procesa. Elektronski kursevi su pogodno sredstvo za lakše i efikasnije usvajanje aktuelnih znanja, posebno kada se kombinuju sa klasičnim nastavnim metodama. Koncept e-učenja podržava samoinicijativno učenje gdje svaki svaki korisnik napreduje sopstvenim tempom što, kako istraživanja pokazuju, uvećava količinu zapamćenog gradiva. Pri osmišljavanju kursa, posebno treba voditi računa o pedagoškim i metodološkim aspektima.

Upotrebom računara u procesu izvođenja nastave olakšava se dostupnost nastavnih materijala u više različitih oblika, zatim izvođenje nastave, laboratorijskih vježbi, povjera znanja, kao i realizacija ostalih nastavnih aktivnosti.

Komunikacija prilikom pripreme i izvođenja laboratorijskih vježbi na relaciji učenik-nastavnik i učenik-učenik može se znatno unaprijediti i olakšati primjenom PC računara i odgovarajućih softverskih paketa, kao i poslovi nastavnog osoblja vezani za evidenciju aktivnosti učenika, evaluaciju i ocjenjivanje.

Elektronske kurseve je pogodno implementirati u Moodle sistem za upravljanje učenjem, jer ovaj sistem nastavniku omogućava jednostavno upravljanje kursom, a učenicima lako snalaženje u novom okruženju za učenje. Kombinacija ViewletBuilder i Moodle omogućava razvoj sadržaja za e-učenje koji su samostimulirajući za učenike i imaju više interaktivnosti. Ovakvi sadržaji donose moderan i osvježavajući pristup izučavanju nastavnih sadržaja, što u kombinaciji sa tradicionalnim pristupom povećava interes učenika i nivo znanja koja stiču u nastavnom procesu.

LITERATURA

- [1] WUS Austria, BiH eLearning Task Force, Cross Cuuting Report 2007, Score Project, Sarajevo 2008.
- [2] M. Weller, Virtual Learning Environments: Using, choosing and developing your VLE, Routledge, New York, 2007.
- [3] Information and Communication Technology in European Education Systems, 2001, <http://promitheas.iacm.forth.gr/i-curriculum/Assets/Docs/ICT.pdf>
- [4] M. Ally, Foundations of Educational Theory for Online Learning, in T. Anderson, F. Elloumi, editors, The Theory and Practice of Online Learning, 2nd ed, AU Press, Athabasca University, 2008.
- [5] Banjac O., Yahara H., Miyakawa T. & Isoda M. (2006). Development of e-Learning Contents with ICT in Informatics Focused on Secondary Level Software Training. In Proceedings of The 30th Annual Meeting of JSSE (pp.263-264).
- [6] Sue-Jen Chen, Instructional Design Strategies for Intensive Online Courses: An Objectivist-Constructivist Blended Approach, Journal of Interactive Online Learning, Volume 6, Number 1, pp. 72-86, Spring R. Nicole, "Title of paper with only first word capitalized," J. Name Stand. Abbrev., in press.
- [7] Erika Löfström, Kaisa Kanerva, Leena Tuuttila, Anu Lehtinen, Anne Nevgi, Quality Teaching in Web-Based Environments: Handbook for University Teachers, University of Helsinki, Academic Affairs, 2006

Abstract— Current technological development allows wide implementation of ICT in education. A very important aspect of implementaion is e-learning, which has huge potential for improving the quality of the educational process. This paper describes the basic concepts of e-learning principles and the process of creating modern teaching materials and also an approach to implementing the concept of e-learning applied in the teaching process in electronics in high school. The paper also describes tools that are used to create, store and manage content for the above mentioned, electronically supported learning process in the field of electronics.

Keywords — ICT; eLearning ; LMS; Moodle; PSpice; lecture

Implementation of e-learning in improving the teaching of electronics in high schools

INDEKS

- Adžić, E. 167
 Ajkalo, S. 312
 Andrejević-Stošović, M. 92
 Arsov, G. 50
 Atanasković, A. 130
 Avramović, A. 134
- Babić, I. 307
 Babić, Z. 96, 134
 Babković, K. 158, 162
 Backhaus, M. 86
 Bajić, J. 27, 32
 Bajić, M. 125
 Bajčetić, M. 377
 Banjac, O. 383
 Bjelica, O. 312
 Bogičević, D. 140
 Božić, M. 288
 Brkić, M. 207, 211
 Brodić, D. 240, 244
 Bulić, P. 134
 Bundalo, D. 115
 Bundalo, Z. 115
- Cvetković, Z. 125
 Cvijić, N. 211
- Damnjanović, Mil. 105
 Damnjanović, Mir. 158
 Danković, D. 120
 Dedić-Nešić, S. 41, 45
 Dejanović, Z. 363
 Despotović, Ž. 74, 184
 Dimcev, V. 195, 199
 Dimitrijević, B. 203
 Dimitrijević, M. 92, 189
 Dogan, V. 207, 211
 Dokić, B. 244
 Dokoski, G. 351, 357
 Dubravić, A. 268
 Dujković, D. 41, 45
- Galić, J. 236
 Gavrovski, C. 195, 199
 Golubović, L.J. 220
 Grubišić, L. 41, 45
 Gušavac, S. 140
- Halilčević, S. 323
- Jakimovska, D. 351, 357
 Janković, I. 236
 Jokić, D. 312
 Jokić, S. 148, 153, 328
 Joldžić, O. 372
 Jovanović, B. 105, 174
- Kalendar, M. 351, 357
- Knežević, B. 317
 Kokolanski, Z. 195, 199
 Kosev, J. 57, 195, 284
 Kosić, D. 293
 Kostadinović, M. 115
 Kovačević, D. 203
 Križan, D. 162
 Krklješ, D. 158, 162
 Kupusinac, A. 368
- Lale, S. 312
 Lazić, M. 68
 Litovski, V. 92, 100, 189
 Lubura, S. 80, 279
 Lukač, D. 346
- Malbaški, D. 368
 Maleš-Ilić, N. 130
 Mančić, G. 207
 Marić, P. 293
 Marić, S. 383
 Markić, S. 63
 Marović, B. 377
 Marčetić, D. 167
 Matić, P. 262
 Mihić, D. 148, 153
 Mikulović, J. 307
 Milivojević, Z. 240
 Milić, M. 100
 Miličević, V. 184
 Milovanović, B. 130
 Milošević, D. 120
 Mitić, V. 22
 Mitrović, Z. 179, 215
 Močević, B. 140
- Nagy, L. 158, 162
 Ninković, V. 377
 Novaković, B. 328
- Pajkanović, A. 226
 Partlov, P. 377
 Paunović, V. 22
 Perić, L.J. 2
 Petković, P. 110, 174
 Petrović, D. 68
 Pešić-Brđanin, T. 236
 Popov, N. 148, 153
 Porobić, V. 167
 Prijić, A. 37
 Prijić, Z. 37, 120
- Raca, D. 298
 Rajaković, N. 14, 339
 Rakić, A. 262
 Reljin, B. 41, 45
 Reljin, I. 41, 45
- Ribić, A. 74, 272
 Risojević, V. 134
- Savić, M. 288
 Simić, M. 203
 Sinadinović, V. 120
 Slankamenac, M. 27, 32
 Softić, F. 115
 Softić, I. 323
 Sovilj, P. 215
 Stanojlović, M. 110
 Stevanović, D. 174
 Stojanović, G. 68
 Stojanović, N. 27, 32
 Stojić, M. 252
 Stojić, Đ. 252
 Stojčev, M. 220
 Stupar, D. 27, 32
- Tentov, A. 351, 357
 Trebar, M. 232
 Trifunović, M. 258
- Vanovski, A. 284
 Varga, Z. 211
 Vračar, L.J. 37
 Vujičić, B. 179
 Vujičić, Vladan 63
 Vujičić, Vladimir 179, 215
 Vukoje, N. 207, 211
 Vukosavić, S. 2, 148, 153
 Vuković, G. 148, 153
 Vuleta, J. 377
 Vučković, D. 37
- Zeljковиć, Č. 334, 339
 Zerbe, V. 86, 279
 Zubić, S. 334, 339
- Ćosović, M. 96
 Đalić, V. 293
 Đedović, M. 307
 Đorđević, G. 279
 Đukić, S. 140
 Đurić, M. 317, 334
 Đurić, Z. 372
 Đurišić, Ž. 307, 328
- Šehić, Z. 268
 Šekara, T. 258
 Šilj, M. 80
 Šinik, V. 184
 Šoja, M. 80, 312
 Živanov, M. 27, 32, 158, 162, 207, 211
 Živković, L.J. 22
 Župunski, I. 179, 215